



**BL702/704/706**

参考手册

版本: 1.1

版权 @ 2021

[www.bouffalolab.com](http://www.bouffalolab.com)

1 系统和存储器概述 . . . . .	5
1.1 简介 . . . . .	5
1.2 主要特征 . . . . .	5
1.3 功能描述 . . . . .	5
2 复位和时钟 . . . . .	9
2.1 简介 . . . . .	9
2.2 复位源 . . . . .	9
2.3 时钟源 . . . . .	10
3 GLB . . . . .	12
3.1 简介 . . . . .	12
3.2 功能描述 . . . . .	12
3.2.1 时钟管理 . . . . .	12
3.2.2 复位管理 . . . . .	12
3.2.3 总线管理 . . . . .	13
3.2.4 内存管理 . . . . .	14
3.2.5 GPIO 概述 . . . . .	14
3.2.6 GPIO 主要特点 . . . . .	14
3.2.7 GPIO 功能描述 . . . . .	14
3.2.8 GPIO 功能设定 . . . . .	15
3.2.9 GPIO 输出设置 . . . . .	19
3.2.10 GPIO 输入设置 . . . . .	20
3.2.11 GPIO 可选功能设置 . . . . .	20
3.2.12 GPIO 中断设置 . . . . .	20

3.3	寄存器描述	20
3.3.1	clk_cfg0	23
3.3.2	clk_cfg1	23
3.3.3	clk_cfg2	24
3.3.4	clk_cfg3	25
3.3.5	swrst_cfg0	26
3.3.6	swrst_cfg1	26
3.3.7	swrst_cfg2	28
3.3.8	cgen_cfg0	28
3.3.9	cgen_cfg1	29
3.3.10	bmx_cfg1	30
3.3.11	bmx_cfg2	30
3.3.12	bmx_err_addr	31
3.3.13	seam_misc	31
3.3.14	CPU_CLK_CFG	31
3.3.15	GPADC_32M_SRC_CTRL	32
3.3.16	DIG32K_WAKEUP_CTRL	32
3.3.17	UART_SIG_SEL_0	33
3.3.18	GPIO_CFGCTL0	35
3.3.19	GPIO_CFGCTL1	36
3.3.20	GPIO_CFGCTL2	37
3.3.21	GPIO_CFGCTL3	38
3.3.22	GPIO_CFGCTL4	39
3.3.23	GPIO_CFGCTL5	40
3.3.24	GPIO_CFGCTL6	40
3.3.25	GPIO_CFGCTL7	41
3.3.26	GPIO_CFGCTL8	42
3.3.27	GPIO_CFGCTL9	43
3.3.28	GPIO_CFGCTL10	44
3.3.29	GPIO_CFGCTL11	45
3.3.30	GPIO_CFGCTL12	46
3.3.31	GPIO_CFGCTL13	47
3.3.32	GPIO_CFGCTL14	47
3.3.33	GPIO_CFGCTL15	48
3.3.34	GPIO_CFGCTL16	49

3.3.35	GPIO_CFGCTL17 . . . . .	50
3.3.36	GPIO_CFGCTL18 . . . . .	51
3.3.37	GPIO_CFGCTL30 . . . . .	51
3.3.38	GPIO_CFGCTL32 . . . . .	53
3.3.39	GPIO_CFGCTL34 . . . . .	54
3.3.40	GPIO_CFGCTL35 . . . . .	56
3.3.41	GPIO_INT_MASK1 . . . . .	57
3.3.42	GPIO_INT_STAT1 . . . . .	57
3.3.43	GPIO_INT_CLR1 . . . . .	58
3.3.44	GPIO_INT_MODE_SET1 . . . . .	58
3.3.45	GPIO_INT_MODE_SET2 . . . . .	59
3.3.46	GPIO_INT_MODE_SET3 . . . . .	60
3.3.47	GPIO_INT_MODE_SET4 . . . . .	61
3.3.48	GPIO_INT2_MASK1 . . . . .	62
3.3.49	GPIO_INT2_STAT1 . . . . .	62
3.3.50	GPIO_INT2_CLR1 . . . . .	63
3.3.51	GPIO_INT2_MODE_SET1 . . . . .	63
3.3.52	GPIO_INT2_MODE_SET2 . . . . .	64
3.3.53	GPIO_INT2_MODE_SET3 . . . . .	65
3.3.54	GPIO_INT2_MODE_SET4 . . . . .	66
3.3.55	led_driver . . . . .	67
3.3.56	usb_xcvr . . . . .	68
3.3.57	usb_xcvr_config . . . . .	69
3.3.58	gpdac_ctrl . . . . .	70
3.3.59	gpdac_actrl . . . . .	71
3.3.60	gpdac_bctrl . . . . .	71
3.3.61	gpdac_data . . . . .	72
4	ADC . . . . .	73
4.1	简介 . . . . .	73
4.2	主要特点 . . . . .	73
4.3	功能描述 . . . . .	74
4.3.1	ADC 引脚和内部信号 . . . . .	74
4.3.2	ADC 通道 . . . . .	75
4.3.3	ADC 时钟 . . . . .	76
4.3.4	ADC 转换模式 . . . . .	77

4.3.5	ADC 结果 . . . . .	77
4.3.6	ADC 异常中断 . . . . .	78
4.3.7	ADC FIFO 与阈值中断 . . . . .	78
4.3.8	ADC 设置流程 . . . . .	79
4.3.9	VBAT 测量 . . . . .	79
4.3.10	TSEN 测量 . . . . .	79
4.4	寄存器描述 . . . . .	80
4.4.1	gpadc_config . . . . .	80
4.4.2	gpadc_dma_rdata . . . . .	81
4.4.3	gpadc_reg_cmd . . . . .	82
4.4.4	gpadc_reg_config1 . . . . .	85
4.4.5	gpadc_reg_config2 . . . . .	87
4.4.6	gpadc_reg_scn_pos1 . . . . .	89
4.4.7	gpadc_reg_scn_pos2 . . . . .	89
4.4.8	gpadc_reg_scn_neg1 . . . . .	90
4.4.9	gpadc_reg_scn_neg2 . . . . .	90
4.4.10	gpadc_reg_status . . . . .	91
4.4.11	gpadc_reg_isr . . . . .	91
4.4.12	gpadc_reg_raw_result . . . . .	91
4.4.13	gpadc_reg_define . . . . .	92
5	DAC . . . . .	93
5.1	简介 . . . . .	93
5.2	主要特点 . . . . .	93
5.3	功能描述 . . . . .	93
5.4	寄存器描述 . . . . .	95
5.4.1	gpdac_config . . . . .	95
5.4.2	gpdac_dma_config . . . . .	96
5.4.3	gpdac_dma_wdata . . . . .	97
5.4.4	gpdac_ctrl . . . . .	97
5.4.5	gpdac_actrl . . . . .	98
5.4.6	gpdac_bctrl . . . . .	98
5.4.7	gpdac_data . . . . .	99
6	DMA . . . . .	100
6.1	简介 . . . . .	100
6.2	主要特征 . . . . .	100

6.3	功能描述	101
6.3.1	工作原理	101
6.3.2	DMA 通道配置	102
6.3.3	外设支持	102
6.3.4	链表模式	103
6.3.5	DMA 中断	104
6.4	传输模式	104
6.4.1	内存到内存	104
6.4.2	内存到外设	104
6.4.3	外设到内存	105
6.5	寄存器描述	105
6.5.1	DMA_IntStatus	107
6.5.2	DMA_IntTCStatus	107
6.5.3	DMA_IntTCClear	108
6.5.4	DMA_IntErrorStatus	108
6.5.5	DMA_IntErrClr	108
6.5.6	DMA_RawIntTCStatus	109
6.5.7	DMA_RawIntErrorStatus	109
6.5.8	DMA_EnbldChns	110
6.5.9	DMA_SoftBReq	110
6.5.10	DMA_SoftSReq	110
6.5.11	DMA_SoftLBReq	111
6.5.12	DMA_SoftLSReq	111
6.5.13	DMA_Config	111
6.5.14	DMA_Sync	112
6.5.15	DMA_C0SrcAddr	112
6.5.16	DMA_C0DstAddr	112
6.5.17	DMA_C0LLI	113
6.5.18	DMA_C0Control	113
6.5.19	DMA_C0Config	114
6.5.20	DMA_C1SrcAddr	115
6.5.21	DMA_C1DstAddr	115
6.5.22	DMA_C1LLI	116
6.5.23	DMA_C1Control	116
6.5.24	DMA_C1Config	117

6.5.25	DMA_C2SrcAddr . . . . .	118
6.5.26	DMA_C2DstAddr . . . . .	118
6.5.27	DMA_C2LLI . . . . .	119
6.5.28	DMA_C2Control . . . . .	119
6.5.29	DMA_C2Config . . . . .	120
6.5.30	DMA_C3SrcAddr . . . . .	121
6.5.31	DMA_C3DstAddr . . . . .	121
6.5.32	DMA_C3LLI . . . . .	122
6.5.33	DMA_C3Control . . . . .	122
6.5.34	DMA_C3Config . . . . .	123
6.5.35	DMA_C4SrcAddr . . . . .	124
6.5.36	DMA_C4DstAddr . . . . .	124
6.5.37	DMA_C4LLI . . . . .	125
6.5.38	DMA_C4Control . . . . .	125
6.5.39	DMA_C4Config . . . . .	126
6.5.40	DMA_C5SrcAddr . . . . .	127
6.5.41	DMA_C5DstAddr . . . . .	127
6.5.42	DMA_C5LLI . . . . .	128
6.5.43	DMA_C5Control . . . . .	128
6.5.44	DMA_C5Config . . . . .	129
6.5.45	DMA_C6SrcAddr . . . . .	130
6.5.46	DMA_C6DstAddr . . . . .	130
6.5.47	DMA_C6LLI . . . . .	131
6.5.48	DMA_C6Control . . . . .	131
6.5.49	DMA_C6Config . . . . .	132
6.5.50	DMA_C7SrcAddr . . . . .	133
6.5.51	DMA_C7DstAddr . . . . .	133
6.5.52	DMA_C7LLI . . . . .	134
6.5.53	DMA_C7Control . . . . .	134
6.5.54	DMA_C7Config . . . . .	135
7	L1C . . . . .	137
7.1	简介 . . . . .	137
7.2	主要特征 . . . . .	137
7.3	功能描述 . . . . .	138
7.3.1	TCM 与 Cache RAM 资源相互变换 . . . . .	138

7.3.2	缓存 (Cache)	138
7.4	寄存器描述	139
7.4.1	l1c_config	139
7.4.2	hit_cnt_lsb	140
7.4.3	hit_cnt_msb	140
7.4.4	miss_cnt	141
8	IR	142
8.1	简介	142
8.2	主要特征	142
8.3	功能描述	142
8.3.1	固定协议接收	142
8.3.2	脉冲宽度接收	144
8.3.3	普通发送模式	144
8.3.4	脉冲宽度发送	144
8.3.5	载波调制	144
8.3.6	IR 中断	144
8.4	寄存器描述	145
8.4.1	irtx_config	145
8.4.2	irtx_int_sts	146
8.4.3	irtx_data_word0	147
8.4.4	irtx_data_word1	147
8.4.5	irtx_pulse_width	148
8.4.6	irtx_pw	148
8.4.7	irtx_swm_pw_0	149
8.4.8	irtx_swm_pw_1	149
8.4.9	irtx_swm_pw_2	150
8.4.10	irtx_swm_pw_3	150
8.4.11	irtx_swm_pw_4	150
8.4.12	irtx_swm_pw_5	151
8.4.13	irtx_swm_pw_6	151
8.4.14	irtx_swm_pw_7	152
8.4.15	irrx_config	152
8.4.16	irrx_int_sts	153
8.4.17	irrx_pw_config	153
8.4.18	irrx_data_count	154



8.4.19	irrx_data_word0 . . . . .	154
8.4.20	irrx_data_word1 . . . . .	154
8.4.21	irrx_swm_fifo_config_0 . . . . .	155
8.4.22	irrx_swm_fifo_rdata . . . . .	155
9	SPI . . . . .	156
9.1	简介 . . . . .	156
9.2	主要特征 . . . . .	156
9.3	功能描述 . . . . .	156
9.3.1	时钟控制 . . . . .	156
9.3.2	主设备持续传输模式 . . . . .	157
9.3.3	接收过滤功能 . . . . .	157
9.3.4	接收去差错功能 . . . . .	158
9.3.5	从模式超时机制 . . . . .	158
9.3.6	I/O 传输模式 . . . . .	158
9.3.7	DMA 传输模式 . . . . .	158
9.3.8	SPI 中断 . . . . .	158
9.4	寄存器描述 . . . . .	159
9.4.1	spi_config . . . . .	159
9.4.2	spi_int_sts . . . . .	161
9.4.3	spi_bus_busy . . . . .	162
9.4.4	spi_prd_0 . . . . .	162
9.4.5	spi_prd_1 . . . . .	163
9.4.6	spi_rxd_ignr . . . . .	163
9.4.7	spi_sto_value . . . . .	164
9.4.8	spi_fifo_config_0 . . . . .	164
9.4.9	spi_fifo_config_1 . . . . .	164
9.4.10	spi_fifo_wdata . . . . .	165
9.4.11	spi_fifo_rdata . . . . .	165
10	UART . . . . .	167
10.1	简介 . . . . .	167
10.2	主要特征 . . . . .	167
10.3	功能描述 . . . . .	168
10.3.1	数据格式描述 . . . . .	168
10.3.2	基本架构图 . . . . .	168
10.3.3	时钟源 . . . . .	168

10.3.4	波特率设定	169
10.3.5	发送器	169
10.3.6	接收器	170
10.3.7	自动波特率检测	170
10.3.8	硬件流控	171
10.3.9	LIN 传输模式	171
10.3.10	DMA 传输模式	171
10.3.11	UART 中断	171
10.4	寄存器描述	172
10.4.1	utx_config	173
10.4.2	urx_config	174
10.4.3	uart_bit_prd	175
10.4.4	data_config	175
10.4.5	utx_ir_position	175
10.4.6	urx_ir_position	176
10.4.7	urx_rto_timer	176
10.4.8	uart_sw_mode	176
10.4.9	uart_int_sts	177
10.4.10	uart_int_mask	178
10.4.11	uart_int_clear	178
10.4.12	uart_int_en	179
10.4.13	uart_status	179
10.4.14	sts_urx_abr_prd	180
10.4.15	uart_fifo_config_0	180
10.4.16	uart_fifo_config_1	181
10.4.17	uart_fifo_wdata	181
10.4.18	uart_fifo_rdata	182
11	I2C	183
11.1	简介	183
11.2	主要特征	183
11.3	功能描述	183
11.3.1	起始和停止条件	184
11.3.2	数据传输格式	184
11.3.3	仲裁	185
11.4	I2C 时钟设定	186

11.5	I2C 配置流程	186
11.5.1	配置项	186
11.5.2	读写标志位	187
11.5.3	从设备地址	187
11.5.4	从设备寄存器地址	187
11.5.5	从设备寄存器地址长度	187
11.5.6	数据	187
11.5.7	数据长度	187
11.5.8	使能信号	187
11.6	FIFO 管理	188
11.7	搭配使用 DMA	188
11.7.1	DMA 发送流程	188
11.7.2	DMA 接收流程	189
11.8	中断	189
11.9	寄存器描述	190
11.9.1	i2c_config	190
11.9.2	i2c_int_sts	191
11.9.3	i2c_sub_addr	192
11.9.4	i2c_bus_busy	193
11.9.5	i2c_prd_start	193
11.9.6	i2c_prd_stop	194
11.9.7	i2c_prd_data	194
11.9.8	i2c_fifo_config_0	195
11.9.9	i2c_fifo_config_1	195
11.9.10	i2c_fifo_wdata	196
11.9.11	i2c_fifo_rdata	196
12	PWM	197
12.1	简介	197
12.2	主要特征	197
12.3	功能描述	197
12.3.1	时钟与分频器	197
12.3.2	脉冲产生原理	198
12.3.3	PWM 中断	198
12.4	寄存器描述	199
12.4.1	pwm_int_config	200

12.4.2	pwm0_clkdiv . . . . .	201
12.4.3	pwm0_thre1 . . . . .	201
12.4.4	pwm0_thre2 . . . . .	201
12.4.5	pwm0_period . . . . .	202
12.4.6	pwm0_config . . . . .	202
12.4.7	pwm0_interrupt . . . . .	203
12.4.8	pwm1_clkdiv . . . . .	203
12.4.9	pwm1_thre1 . . . . .	204
12.4.10	pwm1_thre2 . . . . .	204
12.4.11	pwm1_period . . . . .	204
12.4.12	pwm1_config . . . . .	205
12.4.13	pwm1_interrupt . . . . .	205
12.4.14	pwm2_clkdiv . . . . .	206
12.4.15	pwm2_thre1 . . . . .	206
12.4.16	pwm2_thre2 . . . . .	206
12.4.17	pwm2_period . . . . .	207
12.4.18	pwm2_config . . . . .	207
12.4.19	pwm2_interrupt . . . . .	208
12.4.20	pwm3_clkdiv . . . . .	208
12.4.21	pwm3_thre1 . . . . .	209
12.4.22	pwm3_thre2 . . . . .	209
12.4.23	pwm3_period . . . . .	209
12.4.24	pwm3_config . . . . .	210
12.4.25	pwm3_interrupt . . . . .	210
12.4.26	pwm4_clkdiv . . . . .	211
12.4.27	pwm4_thre1 . . . . .	211
12.4.28	pwm4_thre2 . . . . .	211
12.4.29	pwm4_period . . . . .	212
12.4.30	pwm4_config . . . . .	212
12.4.31	pwm4_interrupt . . . . .	213
13	TIMER . . . . .	214
13.1	简介 . . . . .	214
13.2	主要特征 . . . . .	215
13.3	功能描述 . . . . .	215
13.3.1	8-bit 分频器 . . . . .	215

13.3.2	通用定时器工作原理 . . . . .	216
13.3.3	看门狗定时器工作原理 . . . . .	217
13.3.4	报警设定 . . . . .	217
13.3.5	看门狗报警 . . . . .	217
13.4	寄存器描述 . . . . .	218
13.4.1	TCCR . . . . .	220
13.4.2	TMR2_0 . . . . .	220
13.4.3	TMR2_1 . . . . .	221
13.4.4	TMR2_2 . . . . .	221
13.4.5	TMR3_0 . . . . .	221
13.4.6	TMR3_1 . . . . .	222
13.4.7	TMR3_2 . . . . .	222
13.4.8	TCR2 . . . . .	222
13.4.9	TCR3 . . . . .	223
13.4.10	TMSR2 . . . . .	223
13.4.11	TMSR3 . . . . .	224
13.4.12	TIER2 . . . . .	224
13.4.13	TIER3 . . . . .	224
13.4.14	TPLVR2 . . . . .	225
13.4.15	TPLVR3 . . . . .	225
13.4.16	TPLCR2 . . . . .	226
13.4.17	TPLCR3 . . . . .	226
13.4.18	WMER . . . . .	226
13.4.19	WMR . . . . .	227
13.4.20	WVR . . . . .	227
13.4.21	WSR . . . . .	228
13.4.22	TICR2 . . . . .	228
13.4.23	TICR3 . . . . .	228
13.4.24	WICR . . . . .	229
13.4.25	TCER . . . . .	229
13.4.26	TCMR . . . . .	230
13.4.27	TILR2 . . . . .	230
13.4.28	TILR3 . . . . .	231
13.4.29	WCR . . . . .	231
13.4.30	WFAR . . . . .	232

13.4.31	WSAR	232
13.4.32	TCVWR2	233
13.4.33	TCVWR3	233
13.4.34	TCVSYN2	233
13.4.35	TCVSYN3	234
13.4.36	TCDR	234
14	QDEC	235
14.1	简介	235
14.2	主要特征	235
14.3	功能描述	235
14.4	寄存器描述	236
14.4.1	qdec0_ctrl0	237
14.4.2	qdec0_ctrl1	238
14.4.3	qdec0_value	239
14.4.4	qdec0_int_en	239
14.4.5	qdec0_int_sts	240
14.4.6	qdec0_int_clr	240
14.4.7	qdec1_ctrl0	241
14.4.8	qdec1_ctrl1	242
14.4.9	qdec1_value	242
14.4.10	qdec1_int_en	243
14.4.11	qdec1_int_sts	243
14.4.12	qdec1_int_clr	244
14.4.13	qdec2_ctrl0	244
14.4.14	qdec2_ctrl1	245
14.4.15	qdec2_value	246
14.4.16	qdec2_int_en	246
14.4.17	qdec2_int_sts	247
14.4.18	qdec2_int_clr	247
15	KeyScan	249
15.1	简介	249
15.2	主要特征	249
15.3	功能描述	249
15.3.1	可配置的行列数	249
15.3.2	GPIO 选择	249

15.3.3	键值	249
15.3.4	中断	250
15.4	寄存器描述	250
15.4.1	ks_ctrl	250
15.4.2	ks_int_en	251
15.4.3	ks_int_sts	251
15.4.4	keycode_clr	251
15.4.5	keycode_value	252
16	I2S	253
16.1	简介	253
16.2	主要特征	253
16.3	功能描述	253
16.4	寄存器描述	254
16.4.1	i2s_config	254
16.4.2	i2s_int_sts	256
16.4.3	i2s_bclk_config	257
16.4.4	i2s_fifo_config_0	257
16.4.5	i2s_fifo_config_1	258
16.4.6	i2s_fifo_wdata	259
16.4.7	i2s_fifo_rdata	259
16.4.8	i2s_io_config	259
17	Emac	261
17.1	简介	261
17.2	主要特征	261
17.3	功能描述	262
17.4	时钟	264
17.5	收发缓冲描述符 (BD, Buffer Descriptor)	264
17.6	PHY 交互	264
17.7	编程流程	265
17.7.1	PHY 初始化	265
17.7.2	发送数据帧	265
17.7.3	接收数据帧	266
17.8	寄存器描述	266
17.8.1	MODE	267
17.8.2	INT_SOURCE	269

17.8.3	INT_MASK	270
17.8.4	IPGT	271
17.8.5	PACKETLEN	271
17.8.6	COLLCONFIG	272
17.8.7	TX_BD_NUM	273
17.8.8	MIIMODE	273
17.8.9	MIICOMMAND	274
17.8.10	MIIADDRESS	274
17.8.11	MIITX_DATA	275
17.8.12	MIIRX_DATA	275
17.8.13	MIISTATUS	275
17.8.14	MAC_ADDR0	276
17.8.15	MAC_ADDR1	276
17.8.16	HASH0_ADDR	277
17.8.17	HASH1_ADDR	277
17.8.18	TXCTRL	277
18	USB	279
18.1	简介	279
18.2	主要特征	279
18.3	功能描述	279
18.3.1	USB 使用步骤	279
18.3.2	部分寄存器配置及功能描述	279
18.3.3	USB 枚举阶段中断处理流程	282
18.3.4	各传输事务的寄存器操作流程	282
18.4	寄存器描述	286
18.4.1	usb_config	288
18.4.2	usb_lpm_config	289
18.4.3	usb_resume_config	290
18.4.4	usb_frame_no	290
18.4.5	usb_error	291
18.4.6	usb_int_en	291
18.4.7	usb_int_sts	293
18.4.8	usb_int_mask	294
18.4.9	usb_int_clear	296
18.4.10	ep1_config	297



18.4.11	ep2_config . . . . .	298
18.4.12	ep3_config . . . . .	299
18.4.13	ep4_config . . . . .	300
18.4.14	ep5_config . . . . .	301
18.4.15	ep6_config . . . . .	302
18.4.16	ep7_config . . . . .	303
18.4.17	ep0_fifo_config . . . . .	304
18.4.18	ep0_fifo_status . . . . .	304
18.4.19	ep0_tx_fifo_wdata . . . . .	305
18.4.20	ep0_rx_fifo_rdata . . . . .	305
18.4.21	ep1_fifo_config . . . . .	306
18.4.22	ep1_fifo_status . . . . .	306
18.4.23	ep1_tx_fifo_wdata . . . . .	307
18.4.24	ep1_rx_fifo_rdata . . . . .	307
18.4.25	ep2_fifo_config . . . . .	308
18.4.26	ep2_fifo_status . . . . .	308
18.4.27	ep2_tx_fifo_wdata . . . . .	309
18.4.28	ep2_rx_fifo_rdata . . . . .	309
18.4.29	ep3_fifo_config . . . . .	310
18.4.30	ep3_fifo_status . . . . .	310
18.4.31	ep3_tx_fifo_wdata . . . . .	311
18.4.32	ep3_rx_fifo_rdata . . . . .	311
18.4.33	ep4_fifo_config . . . . .	312
18.4.34	ep4_fifo_status . . . . .	312
18.4.35	ep4_tx_fifo_wdata . . . . .	313
18.4.36	ep4_rx_fifo_rdata . . . . .	313
18.4.37	ep5_fifo_config . . . . .	314
18.4.38	ep5_fifo_status . . . . .	314
18.4.39	ep5_tx_fifo_wdata . . . . .	315
18.4.40	ep5_rx_fifo_rdata . . . . .	315
18.4.41	ep6_fifo_config . . . . .	316
18.4.42	ep6_fifo_status . . . . .	316
18.4.43	ep6_tx_fifo_wdata . . . . .	317
18.4.44	ep6_rx_fifo_rdata . . . . .	317
18.4.45	ep7_fifo_config . . . . .	318

18.4.46	ep7_fifo_status . . . . .	318
18.4.47	ep7_tx_fifo_wdata . . . . .	319
18.4.48	ep7_rx_fifo_rdata . . . . .	319
18.4.49	xcvr_if_config . . . . .	320
19	LowPower . . . . .	321
19.1	概述 . . . . .	321
19.2	主要特征 . . . . .	321
19.3	功能描述 . . . . .	321
19.3.1	电源域 . . . . .	322
19.3.2	唤醒源 . . . . .	323
19.3.3	功耗模式 . . . . .	324
19.4	PDS 寄存器描述 . . . . .	324
19.4.1	PDS_CTL . . . . .	325
19.4.2	PDS_TIME1 . . . . .	327
19.4.3	PDS_INT . . . . .	327
19.4.4	PDS_CTL2 . . . . .	328
19.4.5	PDS_CTL3 . . . . .	329
19.4.6	PDS_CTL4 . . . . .	331
19.4.7	pds_stat . . . . .	332
19.4.8	pds_ram1 . . . . .	333
19.4.9	pds_gpio_set_pu_pd . . . . .	334
19.4.10	pds_gpio_int . . . . .	336
19.5	HBN 寄存器描述 . . . . .	336
19.5.1	HBN_CTL . . . . .	337
19.5.2	HBN_TIME_L . . . . .	338
19.5.3	HBN_TIME_H . . . . .	338
19.5.4	RTC_TIME_L . . . . .	339
19.5.5	RTC_TIME_H . . . . .	339
19.5.6	HBN_IRQ_MODE . . . . .	340
19.5.7	HBN_IRQ_STAT . . . . .	340
19.5.8	HBN_IRQ_CLR . . . . .	341
19.5.9	HBN_PIR_CFG . . . . .	341
19.5.10	HBN_PIR_VTH . . . . .	342
19.5.11	HBN_PIR_INTERVAL . . . . .	342
19.5.12	HBN_MISC . . . . .	343

19.5.13 HBN_GLB . . . . .	344
19.5.14 HBN_SRAM . . . . .	345
20 版本信息 . . . . .	347

## 1.1 简介

芯片内处理器采用 RISC-V 32-bit 带浮点。搭配高速处理内存系统 (详见 L1C 章节), 达到优质的运算效率。处理器外部为多层 32-bit AHB 架构, 具有低功耗、低延迟、高弹性的特性。内存的部分包含高速紧耦合内存以及缓存和系统共享内存。片外存储器支持 Flash 扩充。

## 1.2 主要特征

- RISC-V 32-bit 带浮点
- 多层 32-bit AHB 总线架构
- 132KB RAM
- 192KB ROM
- 片外存储器 Flash

## 1.3 功能描述

BL702/704/706 总线连接与地址访问总结如下。总线主包括 CPU, 以太网,DMA, 加密引擎, 调试接口。总线从包括内存, 外设,

Zigbee/BLE。除了以太网和加密引擎只能访问内存外, 其余总线主皆可访问所有总线从。

表 1.1: 总线连接

从/主	CPU	以太网	DMA	加密引擎	调试接口
内存	V	V	V	V	V
外设	V	-	V	-	V
Zigbee/BLE	V	-	V	-	V

地址访问主要以 [27:24] 来区分“存储”或“外设”，可忽略 [31:28]。内存空间是连续的 X2010000~X202FFFF (128KB SRAM)，只读内存 X1000000，深度睡眠内存 X0010000。片外空间是 X3000000 (最大支持 8MB Flash)。外设空间是 X0000000~X000F000。

表 1.2: 地址映像

目标	开始地址	大小	描述
RETRAM	0x40010000	4KB	深度睡眠内存（保留 RAM）
HBN	0x4000F000	4KB	深度睡眠控制（休眠）
PDS	0x4000E000	4KB	睡眠控制（掉电睡眠）
USB	0x4000D800	1KB	USB 控制
EMAC	0x4000D000	2KB	EMAC 控制
DMA	0x4000C000	4KB	DMA 控制
QSPI	0x4000B000	4KB	闪存/pSRAM QSPI 控制
I2S	0x4000AA00	256B	I2S 控制
KYS	0x4000A900	256B	Key-Scan 控制
QDEC2	0x4000A880	64B	求积译码器控制
QDEC1	0x4000A840	64B	求积译码器控制
QDEC0	0x4000A800	64B	求积译码器控制
IRR	0x4000A600	256B	红外遥控器
TIMER	0x4000A500	256B	计时器控制
PWM	0x4000A400	256B	脉冲宽度调制控制
I2C	0x4000A300	256B	I2C 控制
SPI	0x4000A200	256B	SPI 主/从控制
UART1	0x4000A100	256B	UART 控制
UART0	0x4000A000	256B	UART 控制
L1C	0x40009000	4KB	缓存控制
eFuse	0x40007000	4KB	eFuse 存储器控制
SEC	0x40004000	4KB	安全引擎
GPIP	0x40002000	4KB	通用 DAC / ADC / ACOMP 接口控制
MIX	0x40001000	4KB	混合信号寄存器
GLB	0x40000000	4KB	全局寄存器
pSRAM	0x24000000	8MB	pSRAM 存储器
XIP	0x23000000	8MB	XIP 闪存
OCRAM	0x22020000	64KB	片上存储器

表 1.2: 地址映像

目标	开始地址	大小	描述
DTCM	0x22014000	48KB	数据高速缓存
ITCM	0x22010000	16KB	指令高速缓存
ROM	0x21000000	192KB	只读存储器

中断源共 64 个，列举如下，电平或边沿触发由 CPU 配置，可屏蔽使用。

表 1.3: 中断源

编号	信号源
54~63	wireless
53	brown-out
51~52	hbn_irq
50	pds_int
47~49	wireless
44	gpio_irq
40~42	qdec_int
39	kys_int
35~38	timer_irq
34	pwm_int
32	i2c_int
30	uart1_irq
29	uart0_irq
27	spi_int
26	efuse_int
25	adc_int
23	flash_int
22	emac_int
21	usb_int
19~20	ir_remote_int

表 1.3: 中断源

编号	信号源
18	i2s_int
15	dma_int
9~14	sec_eng_int
8	err_int
5~6	rf_int
0~4	err_int

## 2.1 简介

芯片内部包含的复位源：硬件重置，看门狗重置，软件复位。芯片内包含多个时钟源：XTAL，DLL，RC。搭配分频等配置送至各模块。

## 2.2 复位源

复位源包含

- 硬件重置: 通过管脚进行重置
  - 管脚电源重置 (PU\_CHIP = 0-> 1): 类似电源上电重置
  - 电源上电重置: 芯片从断电中复电，HBN 逻辑将芯片系统进行重置
- 看门狗重置
  - 当看门狗报警触发重置信号号，重置管理单元将在必要准备后，重置芯片系统，看门狗内部逻辑会记录看门狗重置的状态
- 软件复位: 通过软件设置寄存器进行局部或局部复位
  - 软件初始重置 (reg\_ctrl\_pwron\_rst): 通过软件触发此寄存器的上升沿，进行芯片系统重置
  - 软件 CPU 复位 (reg\_ctrl\_cpu\_reset): 通过软件触发此寄存器的上升沿，进行 CPU 部分系统复位
  - 软件系统复位 (reg\_ctrl\_sys\_reset): 通过软件触发此寄存器的上升沿，保留必要的逻辑处理如电源管理单元，进行芯片部分系统复位
  - 软件模块复位: 根据特定模块的需求，设置软件复位



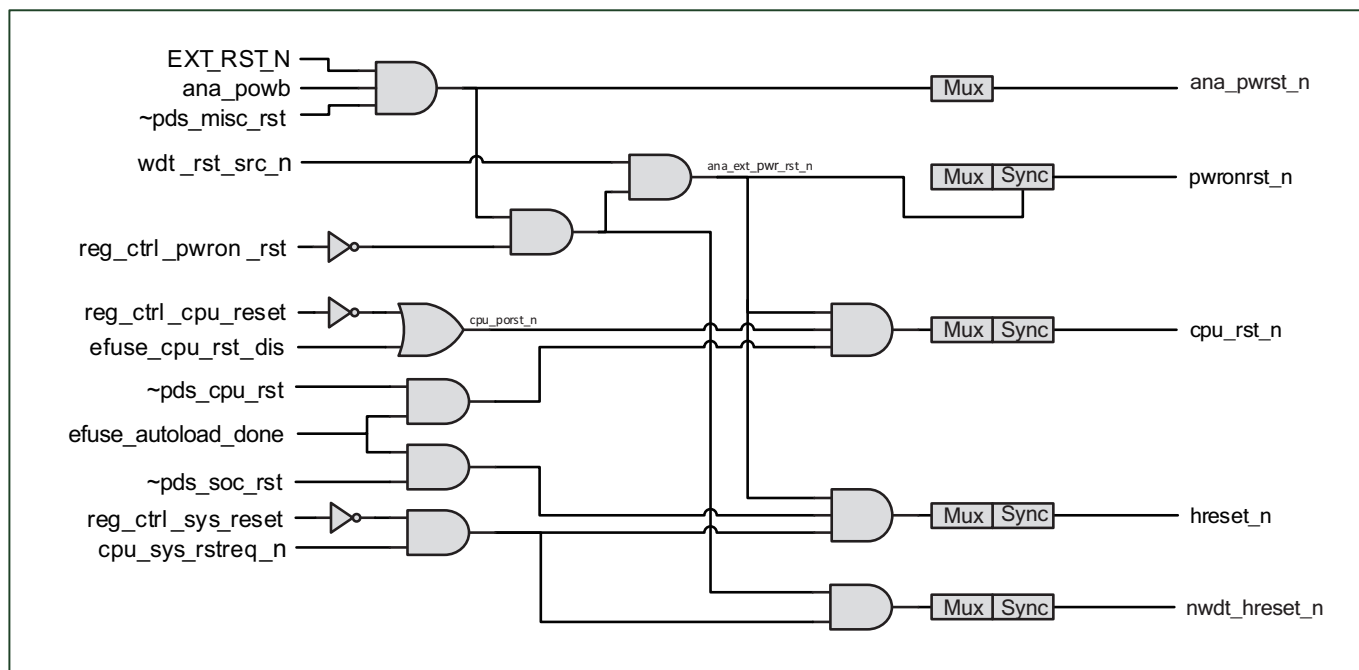


图 2.1: 复位源

## 2.3 时钟源

时钟源包含：

- XTAL：外部晶振时钟，主要支持频率 32MHz
- XTAL32K：外部晶振时钟，频率 32KHz
- RC32M：RC 振荡器时钟，频率 32MHz，提供校准
- DLL：锁相回路时钟，内部系统高速时钟，最高频率支持 144MHz

时钟控制单元将来自振荡器的时钟分配给内核和外围设备。可通过选择系统时钟源，动态分频器，时钟配置，睡眠使用 32KHz 时钟，以达到低功耗时钟管理。

外围设备时钟包括: Flash、USB2.0、Ethernet、UART、I2C、I2S、SPI、PWM、IR-remote、QDEC、KeyScan、ADC、DAC。

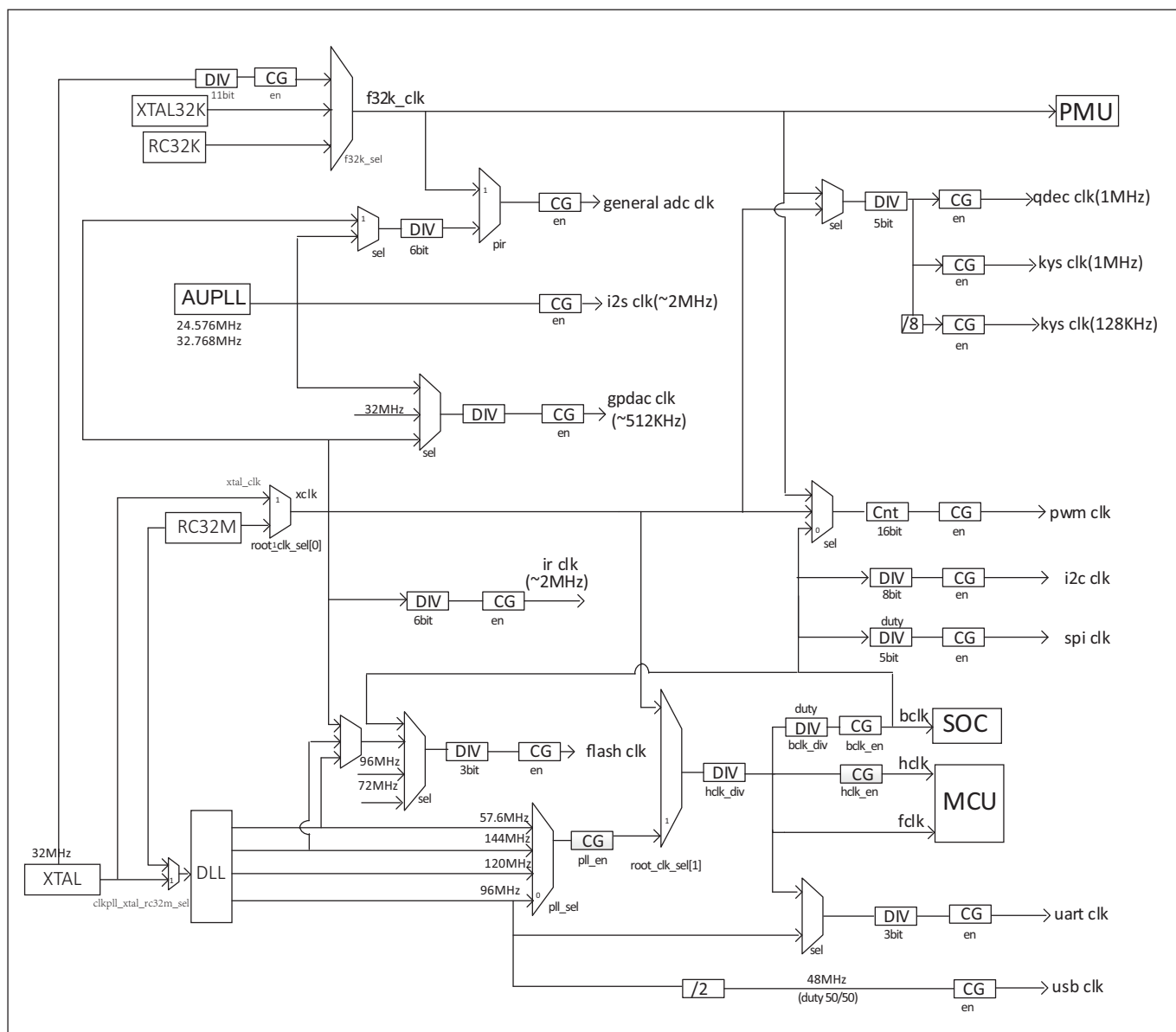


图 2.2: 时钟架构

### 3.1 简介

GLB(Global Register) 是芯片通用全局设定模块，主要包含了时钟管理、复位管理、总线管理、内存管理以及 GPIO 管理等功能。

### 3.2 功能描述

#### 3.2.1 时钟管理

时钟管理功能主要用于设定处理器、总线、各个外设的时钟，通过该模块可以设定上述模块工作的时钟源，时钟分频等，同时也可以实现对上述模块时钟的门控，以达到系统低功耗的目的。详细设定可以参考复位和时钟章节。

#### 3.2.2 复位管理

提供各个外设模块的单独复位功能以及芯片复位功能。芯片复位包括：

- CPU 复位：仅仅复位 CPU 模块，程序会重新运行，外设不会被复位
- 系统复位：各个外设和 CPU 会被复位，但是 AON 域的相关寄存器不会被复位
- 上电复位：整个系统包括 AON 域的相关寄存器都会被复位

应用程序可以根据需要，选择使用对应的复位方式。

表 3.1: 软件复位功能表

BL702	EXT_RST (GPIO) ana_powb(HBN 产生) wdt_rst_src_n(Watch Dog 产生) reg_ctrl_pwron_rst	SW.Reset	cpuresetreq (CPU 产生) pds_rst_soc reg_ctrl_sys_reset	pds_rst_np reg_ctrl_cpu_reset	pds_rst_usb
CPU	✓			✓	

表 3.1: 软件复位功能表

BL702	EXT_RST (GPIO) ana_powb(HBN 产生) wdt_rst_src_n(Watch Dog 产生) reg_ctrl_pwron_rst	SW.Reset	cpuresetreq (CPU 产生) pds_rst_soc reg_ctrl_sys_reset	pds_rst_np reg_ctrl_cpu_reset	pds_rst_usb
bus	✓		✓		
glb	✓	swrst_s1[0]			
gpip	✓	swrst_s1[2]	✓		
l1c	✓	swrst_s1[9]	✓	✓	
dma	✓	swrst_s1[12]	✓		
emac	✓	swrst_s1[13]	✓		
usb	✓	swrst_s1a[12]	✓		✓
pds		swrst_s1[14]			
uart0	✓	swrst_s1a[0]	✓		
uart1	✓	swrst_s1a[1]	✓		
spi	✓	swrst_s1a[2]	✓		
I2C	✓	swrst_s1a[3]	✓		
pwm	✓	swrst_s1a[4]	✓		
timer	✓	swrst_s1a[5]	✓		
irr	✓	swrst_s1a[6]	✓		
qdec0	✓	swrst_s1a[8]	✓		
qdec1	✓	swrst_s1a[8]	✓		
qdec2	✓	swrst_s1a[8]	✓		
kys	✓	swrst_s1a[9]	✓		
i2s	✓	swrst_s1a[10]	✓		

### 3.2.3 总线管理

提供总线的仲裁设定以及总线出错设定，可以设定在总线出错时候是否产生中断，并提供出错总线地址信息，方便用户调试程序。

### 3.2.4 内存管理

提供各个内存模块在芯片系统低功耗模式时的功耗管理，包含两种设定模式：

- **retention 模式**: 在该模式下, 内存上的数据可以保存, 但是在退出低功耗模式之前, 无法读写。
- **sleep 模式**: 在该模式下, 内存的数据会丢失, 仅用于降低系统功耗。

### 3.2.5 GPIO 概述

GPIO 管理功能提供 GPIO 控制寄存器, 实现软件对 GPIO 属性的配置, 使用户能够方便的操作 GPIO。每个 GPIO 可以配置为 **software GPIO** 或其它复用功能。在每个功能下, 提供设置上拉, 下拉, 浮空三种端口状态 (配置为模拟功能时必须设置为浮空), 此外 GPIO 还提供中断功能, 可以配置为上升沿触发, 下降沿触发、高电平触发或者低电平触发。每个 GPIO 可以拥有两组中断配置, 两组中断配置可以同时起效, 例如 GPIO0 的 INT0 配置为上升沿触发、INT1 配置为下降沿触发, 则最终效果为 GPIO 双边沿都会触发中断。

### 3.2.6 GPIO 主要特点

- 可以配置为 **software GPIO** 功能,
- 可以配置为其它复用功能, 搭配外设功能使用, 在配置为模拟功能时, 必须设置为浮空。
- 可以设置输入或输出模式, 并设定为上拉, 下拉或者浮空。
- 可以设置驱动能力, 以提供更大的输出电流。
- 可以设置施密特触发器功能, 提供简单硬件防抖功能。

### 3.2.7 GPIO 功能描述

每个 GPIO 可以通过软件配置为:

- 复用功能: I2S、SPI、I2C、UART、PWM、USB、SWGPIO..... 多达 24 种 function
- InputEnable/OutputEnable: 输入、输出、高阻 (ie=0,oe=0)
- PullUp/PullDown: 上拉、下拉、浮空 (pu=0,pd=0)
- drive strength: 0、1、2、3 四个档位, 数值越大, 驱动能力越强
- smt 触发器: smt enable、smt disable, 用以防止触发阈值附近的抖动

当 GPIO 复用功能配置为 SWGPIO input 时还可以为其配置中断触发方式, 且每个 GPIO 可以有两个中断模式, 两个中断模式均可以单独/同时起效:

- 中断模式 1: 上升沿触发、下降沿触发、高电平触发、低电平触发
- 中断模式 2: 上升沿触发、下降沿触发、高电平触发、低电平触发

GPIO 模块基本框图如图所示。

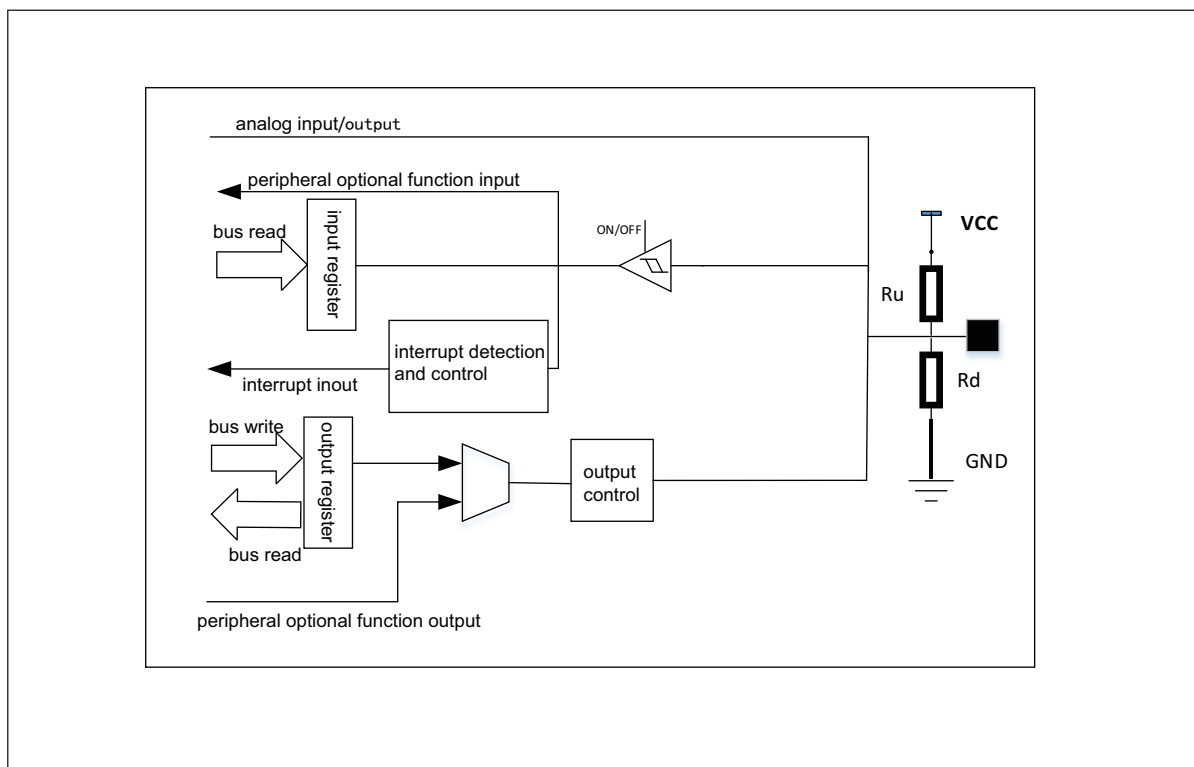


图 3.1: GPIO 基本框图

### 3.2.8 GPIO 功能设定

GPIO 的功能通过 GPIO\_CFGCTL 寄存器组设定，主要设定项包括：

- func\_sel: 选择 GPIO 功能
- pu: 选择是否上拉
- pd: 选择是否下拉
- drv: 设定驱动能力
- smt: 选择是否使能施密特触发器
- ie: 设定输入使能
- oe: 设定输出使能

GPIO 可以设定的功能包括：

- Flash/QSPI: 设定 GPIO 为 QSPI 功能，可以连接 Flash，作为程序存储/运行介质
- SPI: 设定 GPIO 为 SPI 功能
- I2C: 设定 GPIO 为 I2C 功能
- UART: 设定 GPIO 为 UART 功能

- PWM: 设定 GPIO 为 PWM 功能
- ANA: 设定 GPIO 为 Analog 功能
- SWGPIO: 设定 GPIO 为通用 IO 功能
- JTAG: 设定 GPIO 为 JTAG 功能
- 其它复用功能

为了尽可能最大限度的满足客户需求，每个 GPIO 基本上都可以选择上述可选功能，当选择某个可选功能时，GPIO 与对应的功能信号如下表所示：

表 3.2: GPIO 功能表 1

GPIO	CLK_OUT	Flash_PSRAM	I2S	SPI0	I2C	UART	PWM
GPIO0	clk_out[0]		BCLK	MISO/MOSI	SCL	SIG0/SIG4	PWM[0]
GPIO1	clk_out[1]		FS	MOSI/MISO	SDA	SIG1/SIG5	PWM[1]
GPIO2	clk_out[0]		DIO/DO	SS	SCL	SIG2/SIG6	PWM[2]
GPIO3	clk_out[1]		RCLK_O/DI	SCLK	SDA	SIG3/SIG7	PWM[3]
GPIO4	clk_out[0]		BCLK	MISO/MOSI	SCL	SIG4/SIG0	PWM[4]
GPIO5	clk_out[1]		FS	MOSI/MISO	SDA	SIG5/SIG1	PWM[0]
GPIO6	clk_out[0]		DIO/DO	SS	SCL	SIG6/SIG2	PWM[1]
GPIO7	clk_out[1]		RCLK_O/DI	SCLK	SDA	SIG7/SIG3	PWM[2]
GPIO8	clk_out[0]		BCLK	MISO/MOSI	SCL	SIG0/SIG4	PWM[3]
GPIO9	clk_out[1]		FS	MOSI/MISO	SDA	SIG1/SIG5	PWM[4]
GPIO10	clk_out[0]		DIO/DO	SS	SCL	SIG2/SIG6	PWM[0]
GPIO11	clk_out[1]		RCLK_O/DI	SCLK	SDA	SIG3/SIG7	PWM[1]
GPIO12	clk_out[0]		BCLK	MISO/MOSI	SCL	SIG4/SIG0	PWM[2]
GPIO13	clk_out[1]		FS	MOSI/MISO	SDA	SIG5/SIG1	PWM[3]
GPIO14	clk_out[0]		DIO/DO	SS	SCL	SIG6/SIG2	PWM[4]
GPIO15	clk_out[1]		RCLK_O/DI	SCLK	SDA	SIG7/SIG3	PWM[0]
GPIO16	clk_out[0]		BCLK	MISO/MOSI	SCL	SIG0/SIG4	PWM[1]
GPIO17	clk_out[1]	SF_IO_0/SF2_CS2	FS	MOSI/MISO	SDA	SIG1/SIG5	PWM[2]
GPIO18	clk_out[0]	SF_IO_1	DIO/DO	SS	SCL	SIG2/SIG6	PWM[3]
GPIO19	clk_out[1]	SF_CS	RCLK_O/DI	SCLK	SDA	SIG3/SIG7	PWM[4]
GPIO20	clk_out[0]	SF_IO_3	BCLK	MISO/MOSI	SCL	SIG4/SIG0	PWM[0]
GPIO21	clk_out[1]	SF_CLK	FS	MOSI/MISO	SDA	SIG5/SIG1	PWM[1]
GPIO22	clk_out[0]	SF_IO_2	DIO/DO	SS	SCL	SIG6/SIG2	PWM[2]

表 3.2: GPIO 功能表 1

GPIO	CLK_OUT	Flash_PSRAM	I2S	SPI0	I2C	UART	PWM
GPIO23	clk_out[1]	SF2_IO_2	RCLK_O/DI	SCLK	SDA	SIG7/SIG3	PWM[3]
GPIO24	clk_out[0]	SF2_IO_1	BCLK	MISO/MOSI	SCL	SIG0/SIG4	PWM[4]
GPIO25	clk_out[1]	SF2_CS	FS	MOSI/MISO	SDA	SIG1/SIG5	PWM[0]
GPIO26	clk_out[0]	SF2_IO_3	DIO/DO	SS	SCL	SIG2/SIG6	PWM[1]
GPIO27	clk_out[1]	SF2_CLK	RCLK_O/DI	SCLK	SDA	SIG3/SIG7	PWM[2]
GPIO28	clk_out[0]	SF2_IO_0	BCLK	MISO/MOSI	SCL	SIG4/SIG0	PWM[3]
GPIO29	clk_out[1]		FS	MOSI/MISO	SDA	SIG5/SIG1	PWM[4]
GPIO30	clk_out[0]		DIO/DO	SS	SCL	SIG6/SIG2	PWM[0]
GPIO31	clk_out[1]		RCLK_O/DI	SCLK	SDA	SIG7/SIG3	PWM[1]

表 3.3: GPIO 功能表 2

GPIO	Analog	SWGPIO	JTAG	Ether_Mac	QDEC
GPIO0		GPIO[0]	TMS/TCK	MII_REF_CLK	a
GPIO1		GPIO[1]	TDI/TDO	MII_TXD[0]	b
GPIO2		GPIO[2]	TCK/TMS	MII_TXD[1]	led
GPIO3		GPIO[3]	TDO/TDI		a
GPIO4		GPIO[4]	TMS/TCK		b
GPIO5		GPIO[5]	TDI/TDO		led
GPIO6		GPIO[6]	TCK/TMS		a
GPIO7	USB_DP/gpip_ch[6]/gpdac_vref_ext	GPIO[7]	TDO/TDI	MII_RXD[0]	b
GPIO8	USB_DM/gpip_ch[0]	GPIO[8]	TMS/TCK	MII_RXD[1]	led
GPIO9	pmip_dc_tp/clkpll_dc_tp/gpip_ch[7]	GPIO[9]	TDI/TDO		a
GPIO10	MICBIAS	GPIO[10]	TCK/TMS		b
GPIO11	gpip_ch[3]	GPIO[11]	TDO/TDI		led
GPIO12	gpip_ch[4]	GPIO[12]	TMS/TCK		a
GPIO13		GPIO[13]	TDI/TDO		b
GPIO14	gpip_ch[5]/atest_out_0	GPIO[14]	TCK/TMS		led
GPIO15	gpip_ch[1]/atest_out_1	GPIO[15]	TDO/TDI		a
GPIO16		GPIO[16]	TMS/TCK		b



表 3.3: GPIO 功能表 2

GPIO	Analog	SWGPIIO	JTAG	Ether_Mac	QDEC
GPIO17	gpiop_ch[2]/psw_irrcv	GPIO[17]	TDI/TDO		led
GPIO18	gpiop_ch[8]	GPIO[18]	TCK/TMS	RMII_MDC	a
GPIO19	gpiop_ch[9]	GPIO[19]	TDO/TDI	RMII_MDIO	b
GPIO20	gpiop_ch[10]	GPIO[20]	TMS/TCK	RMII_RXERR	led
GPIO21	gpiop_ch[11]	GPIO[21]	TDI/TDO	RMII_TX_EN	a
GPIO22	leddrv[0]	GPIO[22]	TCK/TMS	RMII_RX_DV	b
GPIO23	leddrv[1]/flash_pull_out[0]	GPIO[23]	TDO/TDI		led
GPIO24	flash_pull_out[1]	GPIO[24]	TMS/TCK	RMII_MDC	a
GPIO25	flash_pull_out[2]	GPIO[25]	TDI/TDO	RMII_MDIO	b
GPIO26	flash_pull_out[3]	GPIO[26]	TCK/TMS	RMII_RXERR	led
GPIO27	flash_pull_out[4]	GPIO[27]	TDO/TDI	RMII_TX_EN	a
GPIO28	flash_pull_out[5]	GPIO[28]	TMS/TCK	RMII_RX_DV	b
GPIO29		GPIO[29]	TDI/TDO		led
GPIO30		GPIO[30]	TCK/TMS		a
GPIO31		GPIO[31]	TDO/TDI		b

表 3.4: GPIO 功能表 3

GPIO	SWGPIIO
GPIO	SWGPIIO
GPIO17	pad_irrx_i,irrxgpsl=1
GPIO18	pad_irrx_i,irrxgpsl=2
GPIO19	pad_irrx_i,irrxgpsl=3
GPIO20	pad_irrx_i,irrxgpsl=4
GPIO21	pad_irrx_i,irrxgpsl=5
GPIO22	pad_irrx_i,irrxgpsl=6
GPIO23	pad_irrx_i,irrxgpsl=7
GPIO24	pad_irrx_i,irrxgpsl=8
GPIO25	pad_irrx_i,irrxgpsl=9
GPIO26	pad_irrx_i,irrxgpsl=10

表 3.4: GPIO 功能表 3

GPIO	SWGPIO
GPIO27	pad_irrx_i,irrxgpsl=11
GPIO28	pad_irrx_i,irrxgpsl=12
GPIO29	pad_irrx_i,irrxgpsl=13
GPIO30	pad_irrx_i,irrxgpsl=14
GPIO31	pad_irrx_i,irrxgpsl=15

当使用 IR 功能时，需要将 GPIO 设置为 SWGPIO，并设置 irrxgpsl 寄存器（GPIO17~GPIO31 可以作为 IR 引脚）

在上述表格中，当选择 UART 功能时，只是选择了 UART 的一个信号，并没有指定该引脚的具体功能（比如是 UART TX 还是 UART RX），还需要通过 UART\_SIGX\_SEL(X=0-7) 进一步选择具体的 UART 信号及对应的功能。每一个 UART\_SIGX\_SEL 可以选择的信号包括：

- 0 : UART0\_RTS
- 1 : UART0\_CTS
- 2 : UART0\_TXD
- 3 : UART0\_RXD
- 4 : UART1\_RTS
- 5 : UART1\_CTS
- 6 : UART1\_TXD
- 7 : UART1\_RXD

以 GPIO0 为例，当 fun\_sel 选择 UART 的时候，GPIO0 选择的是 UART\_SIG0，在默认情况下 UART\_SIG0\_SEL 的值是 0，也就是 UART0\_RTS，即 GPIO 是 UART0\_RTS 功能。如果应用程序想把 GPIO 作为 UART1\_TXD，那只要把 UART\_SIG0\_SEL 设置为 6，那么 GPIO0 的功能就是 UART1\_TXD。

### 3.2.9 GPIO 输出设置

通过设定 func\_sel 为 SWGPIO，GPIO 可以作为普通 GPIO 的输入/输出，将 IE 设置为 0，OE 设置为 1，就可以将 GPIO 配置为输出功能，输出的数值通过 GPIO\_O 寄存器组设定。当 GPIO\_O 对应 Bit 设置为 0 时，GPIO 输出低电平，当 GPIO\_O 对应 Bit 设置为 1 时，GPIO 输出高电平。可以通过 DRV 控制位设置输出能力。

### 3.2.10 GPIO 输入设置

通过设定 `func_sel` 为 `SWGPIO`，将 `IE` 设置为 1，`OE` 设置为 0，就可以将 `GPIO` 配置为输入功能，可以通过 `SMT` 控制位设置是否使能施密特触发器，通过 `PD`，`PU` 控制位设置上拉下拉属性。外部输入的数值，可以通过读取 `GPIO_I` 寄存器对应的 `Bit` 获取到。

### 3.2.11 GPIO 可选功能设置

通过设定 `func_sel` 为对应的外设功能，可以实现 `GPIO` 与外设的连接，实现外设的输入输出，从 `GPIO` 的基础功能框图可以看出，当选择可选功能时，需要将 `IE` 设置为 1，`OE` 设置为 0，也就是断开普通 `GPIO` 的输出控制功能。这样，对于固定输入功能的外设，外设的 `OE` 信号始终为 0，从而实现输入功能；对于固定输出的外设，其 `OE` 信号始终为 1，从而实现输出是被外设控制，而此时的输入信号就是输出信号，但是不会被正在输出的外设采集；当外设既需要输入又要输出时，通过控制外设 `OE` 信号就可以实现输入输出。即：对于除了 `swgpio` 以外的 `function`，作为输出方向的功能时，`IE` 和 `OE` 的配置值不影响功能，但是作为输入方向时，`IE` 必须置一而 `OE` 的配置不影响功能；当作为 `swgpio` 时，`IE` 和 `OE` 都需要正确配置。

### 3.2.12 GPIO 中断设置

要使用 `GPIO` 的中断功能，需要先将 `GPIO` 设置为输入模式，中断触发模式通过 `GPIO_INT_MODE_SET` 寄存器组进行设定。可以设定的中断模式包括：

- 下降沿触发中断
- 上升沿触发中断
- 低电平触发中断
- 高电平触发中断

每个 `GPIO` 都可以设定为中断功能，是否使能某个 `GPIO` 中断可以通过 `GPIO_INT_MASK` 寄存器进行设定，中断产生时，在中断函数中可以通过 `GPIO_INT_STAT` 寄存器获取到产生中断的 `GPIO` 引脚号，同时可以通过 `GPIO_INT_CLR` 清除掉对应的中断信号。

## 3.3 寄存器描述

名称	描述
<code>clk_cfg0</code>	Clock configuration-processor, bus
<code>clk_cfg1</code>	Clock configuration1-ble,qdec,i2s
<code>clk_cfg2</code>	Clock configuration-UART,Flash
<code>clk_cfg3</code>	Clock configuration-I2C,SPI
<code>swrst_cfg0</code>	software reset configuration0
<code>swrst_cfg1</code>	software reset configuration1

名称	描述
swrst_cfg2	software reset configuration2
cgen_cfg0	clock ungate configuration0
cgen_cfg1	clock ungate configuration1
bmx_cfg1	Bus configuration1
bmx_cfg2	Bus configuration2
bmx_err_addr	Bus error address
seam_misc	em select
CPU_CLK_CFG	CPU clock configuration
GPADC_32M_SRC_CTRL	Clock configuration-GPADC
DIG32K_WAKEUP_CTRL	DIG32K wakeup control
UART_SIG_SEL_0	UART Signal Select
GPIO_CFGCTL0	GPIO0, GPIO1 configuration
GPIO_CFGCTL1	GPIO2, GPIO3 configuration
GPIO_CFGCTL2	GPIO4, GPIO5 configuration
GPIO_CFGCTL3	GPIO6, GPIO7 configuration
GPIO_CFGCTL4	GPIO8, GPIO9 configuration
GPIO_CFGCTL5	GPIO10, GPIO11 configuration
GPIO_CFGCTL6	GPIO12, GPIO13 configuration
GPIO_CFGCTL7	GPIO14, GPIO15 configuration
GPIO_CFGCTL8	GPIO16, GPIO17 configuration
GPIO_CFGCTL9	GPIO18, GPIO19 configuration
GPIO_CFGCTL10	GPIO20, GPIO21 configuration
GPIO_CFGCTL11	GPIO22, GPIO23 configuration
GPIO_CFGCTL12	GPIO24, GPIO25 configuration
GPIO_CFGCTL13	GPIO26, GPIO27 configuration
GPIO_CFGCTL14	GPIO28,GPIO29 configuration
GPIO_CFGCTL15	GPIO30,GPIO31 configuration
GPIO_CFGCTL16	GPIO32,GPIO33 configuration
GPIO_CFGCTL17	GPIO34,GPIO35 configuration

名称	描述
GPIO_CFGCTL18	GPIO36,GPIO37 configuration
GPIO_CFGCTL30	Register Controlled GPIO Input value
GPIO_CFGCTL32	Register controlled GPIO output value
GPIO_CFGCTL34	Register controlled GPIO output enable
GPIO_CFGCTL35	Register controlled GPIO output enable
GPIO_INT_MASK1	GPIO interrupt mask
GPIO_INT_STAT1	GPIO interrupt state
GPIO_INT_CLR1	GPIO interrupt clear
GPIO_INT_MODE_SET1	GPIO interrupt mode set1
GPIO_INT_MODE_SET2	GPIO interrupt mode set2
GPIO_INT_MODE_SET3	GPIO interrupt mode set3
GPIO_INT_MODE_SET4	GPIO interrupt mode set4
GPIO_INT2_MASK1	GPIO interrupt2 mask1
GPIO_INT2_STAT1	GPIO interrupt2 state1
GPIO_INT2_CLR1	GPIO interrupt2 clear1
GPIO_INT2_MODE_SET1	GPIO interrupt 2 mode set1
GPIO_INT2_MODE_SET2	GPIO interrupt 2 mode set2
GPIO_INT2_MODE_SET3	GPIO interrupt 2 mode set3
GPIO_INT2_MODE_SET4	GPIO interrupt 2 mode set4
led_driver	Led driver
usb_xcvr	USB configuration
usb_xcvr_config	USB xcvr configuration
gpdac_ctrl	GPDAC control
gpdac_actrl	GPDAC channelA control
gpdac_bctrl	GPDAC channelB control
gpdac_data	GPDAC data

### 3.3.1 clk\_cfg0

地址: 0x40000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD								BCLKDIV							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HCLKDIV								RCSEL		PLLSEL		BLCK EN	HCLK EN	FCLK EN	PLL EN

位	名称	权限	复位值	描述
31:24	RSVD			
23:16	BCLKDIV	R/W	0	bclk divide from hclk
15:8	HCLKDIV	R/W	0	hclk divide from root clock (clock source selected by hbn_root_clk_sel)
7:6	RCSEL	R	0	root clock selection from HBN (0: RC32M 1: XTAL 2/3: PLL others)
5:4	PLLSEL	R/W	0	pll clock selection 0: 57.6MHz 1: 96MHz 2: 144MHz 3: 120MHz (Clock Freq will be changes with Audio PLL, not sugges use this CLK)
3	BLCKEN	R/W	1	bclk force on
2	HCLKEN	R/W	1	hclk force on
1	FCLKEN	R/W	1	fclk force on
0	PLEN	R/W	1	pll clock enable for fclk

### 3.3.2 clk\_cfg1

地址: 0x40000004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD						MAC ZBEN	BLE EN	RSVD		BLECLKSL					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	I2S CLK	I2S CLEN	I2S CSEL	RSVD		USB DIV	USB CLK	QDEC CSEL	RSVD		QDECCDIV				

位	名称	权限	复位值	描述
31:26	RSVD			
25	MACZBEN	R/W	1	mac154 zigbee clock enable
24	BLEEN	R/W	1	ble clock enable
23:22	RSVD			
21:16	BLECLKSL	R/W	6'd16	HW reserved ; for ble to generate 1us/0.5us tick pulse
15	RSVD			
14	I2SCLK	R/W	0	0 : no output reference clock on I2S_0 ref_clock port ; 1: output reference clock on I2S_0 ref_clock port
13	I2SCLEN	R/W	0	I2S0 Clock Enable
12	I2SCSEL	R/W	0	I2S Clock Source Select. 0: Audio PLL, 1: reserved
11:10	RSVD			
9	USBDIV	R/W	1	USB Clock div2 from 96MHz
8	USBCLK	R/W	1	USB Clock Enable
7	QDECCSEL	R/W	0	QDEC Clock Source Select. 0:xclk 1:f32k (PDS mode)
6:5	RSVD			
4:0	QDECCDIV	R/W	5'd31	QDEC Clock Divider qdec_clk_sel/(N+1), default 1MHz

### 3.3.3 clk\_cfg2

地址: 0x40000008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMAEN								IRCL EN	RSVD	IRCLDIV					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SFSEL2		SFSEL		SFEN	SFDIV			HUC SEL	RSVD		UART EN	RSVD	UARTDIV		

位	名称	权限	复位值	描述
31:24	DMAEN	R/W	8'hff	DMA CH0 7 Clock Enable ; config all 0 if disable DMA
23	IRCLLEN	R/W	1	IR remote Clock Enable
22	RSVD			
21:16	IRCLDIV	R/W	6'd15	IR remote Clock Divider xclk(N+1)

位	名称	权限	复位值	描述
15:14	SFSEL2	R/W	0	For sf_clk_sel=0 0: 144MHz 1: xclk 3: 57.6MHz
13:12	SFSEL	R/W	2'd2	Flash Clock Select (0:sf_clk_sel2, 1:72M, 2:bclk, 3:96M)
11	SFEN	R/W	1	Flash Clock Enable
10:8	SFDIV	R/W	3'd3	Flash Clock Divider (Selected Flash Clock)/(N+1)
7	HUCSEL	R	0	uart clock selection from HBN (0:fclk 1:96MHz)
6:5	RSVD			
4	UARTEN	R/W	1	UART Clock Enable
3	RSVD			
2:0	UARTDIV	R/W	3'd7	UART Clock Divider hbn_uart_clk_sel/(N+1)

### 3.3.4 clk\_cfg3

地址: 0x4000000c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCO1S		CCO0S		RSVD			I2C EN	I2CDIV							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					ICT MRX	IRFT CLK	SPI EN	ICT MTX	ICT PHY	SREF CLK	SPIDIV				

位	名称	权限	复位值	描述
31:30	CCO1S	R/W	2'b0	clk_out_1 selection (0: no chip clock out, 1: i2s_ref_clk out, 2: audio_pll_clk out, 3: clk_xtal_soc_32M)
29:28	CCO0S	R/W	2'b0	clk_out_0 selection (0: no chip clock out, 1: i2s_ref_clk out, 2: audio_pll_clk out, 3: clk_xtal_soc_32M)
27:25	RSVD			
24	I2CEN	R/W	1	I2C Master Clock Out Enable
23:16	I2CDIV	R/W	8'd255	I2C Master Clock Out Divider (Freq_of_BCLK/(N+1))
15:11	RSVD			
10	ICTMRX	R/W	1'b1	Invert clock to our RMII MAC RX
9	IRFTCLK	R/W	1	1: invert rf_test_clk out, 0 : no change



位	名称	权限	复位值	描述
8	SPIEN	R/W	1	SPI Clock Enable (Default : Enable)
7	ICTMTX	R/W	1'b1	Invert clock to our RMII MAC TX
6	ICTPHY	R/W	1'b1	if [5] = 1, set this bit to 1 will invert the clock to RMII PHY
5	SREFCLK	R/W	1'b0	0 : select outside 50MHz RMII ref clock, 1: select inside 50MHz RMII ref clock
4:0	SPIDIV	R/W	5'd3	SPI Clock Divider (BUS_CLK/(N+1)), default BUS_CLK/4

### 3.3.5 swrst\_cfg0

地址: 0x40000010

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							SR S30	RSVD			SR S20	RSVD			

位	名称	权限	复位值	描述
31:9	RSVD			
8	SRS30	R/W	0	software reset BLE
7:5	RSVD			
4	SRS20	R/W	0	software reset M154
3:0	RSVD			

### 3.3.6 swrst\_cfg1

地址: 0x40000014

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			SR S1AC	RSVD	SR S1AA	SR S1A9	SR S1A8	SR S1A7	SR S1A6	SR S1A5	SR S1A4	SR S1A3	SR S1A2	SR S1A1	SR S1A0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	SR S1E	SR S1D	SR S1C	SR S1B	RSVD	SR S19	SR S18	SR S17	SR S16	SR S15	SR S14	SR S13	SR S12	SR S11	SR S10

位	名称	权限	复位值	描述
31:29	RSVD			
28	SRS1AC	R/W	0	software reset USB
27	RSVD			
26	SRS1AA	R/W	0	software reset I2S
25	SRS1A9	R/W	0	software reset KYS
24	SRS1A8	R/W	0	software reset QDEC
23	SRS1A7	R/W	0	software reset Checksum
22	SRS1A6	R/W	0	software reset IR Remote
21	SRS1A5	R/W	0	software reset Timer
20	SRS1A4	R/W	0	software reset PWM
19	SRS1A3	R/W	0	software reset I2C
18	SRS1A2	R/W	0	software reset SPI
17	SRS1A1	R/W	0	software reset UART1
16	SRS1A0	R/W	0	software reset UART0
15	RSVD			
14	SRS1E	R/W	0	software reset PDS
13	SRS1D	R/W	0	software reset EMAC
12	SRS1C	R/W	0	software reset DMA
11	SRS1B	R/W	0	software reset SF
10	RSVD			
9	SRS19	R/W	0	software reset L1C
8	SRS18	R/W	0	software reset CCI
7	SRS17	R/W	0	software reset eFuse
6	SRS16	R/W	0	software reset TZ2
5	SRS15	R/W	0	software reset TZ1
4	SRS14	R/W	0	software reset SEC_ENG
3	SRS13	R/W	0	software reset SEC_DBG
2	SRS12	R/W	0	software reset GPIIP
1	SRS11	R/W	0	software reset MIX
0	SRS10	R/W	0	software reset GLB

### 3.3.7 swrst\_cfg2

地址：0x40000018

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD							PKA CLK	RSVD							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							RSTDUM				RSVD		SYS RST	CPU RST	PWO RST

位	名称	权限	复位值	描述
31:25	RSVD			
24	PKACK	R/W	0	pka clock select 0:HCLK 1:96M
23:8	RSVD			
7:4	RSTDUM	R/W	0	reset dummy
3	RSVD			
2	SYSRST	R/W	0	system reset, see the software reset table for details
1	CPURST	R/W	0	cpu reset, see the software reset table for details
0	PWORST	R/W	0	power on reset, see the software reset table for details

### 3.3.8 cgen\_cfg0

地址：0x40000020

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								CGENM							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	CGENM	R/W	8'hff	[0] CPU clock ungate enable [1] SDU clock ungate enable [2] SEC clock ungate enable [3] DMA clock ungate enable [4] CCI clock ungate enable

### 3.3.9 cgen\_cfg1

地址：0x40000024

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CGENS1A															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CGENS1															

位	名称	权限	复位值	描述
31:16	CGENS1A	R/W	16'h9B23	[0] uart0 clock ungat enable [1] uart1 clock ungat enable [2] spi clock ungat enable [3] i2c clock ungat enable [4] pwm clock ungat enable [5] timer clock ungat enable [6] ir_remote clock ungat enable [7] checksum clock ungat enable [8] qdec0 clock ungat enable [9] qdec1 clock ungat enable [10] i2s and qdec2 clock ungat enable [11] kys clock ungat enable [12] usb clock ungat enable
15:0	CGENS1	R/W	16'hCFFF	[2] gpip (gpadc, gpdac) clock ungat enable [3] sec_dbg clock ungat enable [4] sec_eng clock ungat enable [5] tzc clock ungat enable [7] ef_ctrl clock ungat enable [11] sf_ctrl clock ungat enable [12] DMA clock ungat enable [13] emac clock ungat enable

### 3.3.10 bmx\_cfg1

地址：0x40000050

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							ERR EN	RSVD		ARBMODE		TIMOUTEN			

位	名称	权限	复位值	描述
31:9	RSVD			
8	ERREN	R/W	0	Bus error response enable
7:6	RSVD			
5:4	ARBMODE	R/W	0	Bus arbiter: 0:fix, 2:round-robin, 3:random
3:0	TIMOUTEN	R/W	0	Bus timeout enable: detect slave no response in 1024 cycles

### 3.3.11 bmx\_cfg2

地址: 0x40000054

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD										ERR TZ	ERR DEC	RSVD			ADDR DIS

位	名称	权限	复位值	描述
31:6	RSVD			
5	ERRTZ	R	0	Bus trustzone decode error
4	ERRDEC	R	0	Bus addr decode error
3:1	RSVD			
0	ADDRDIS	R/W	0	Bus addr error monitor disable

### 3.3.12 bmx\_err\_addr

地址: 0x40000058

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADDR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR															

位	名称	权限	复位值	描述
31:0	ADDR	R	0	Bus error addr (the first one)

### 3.3.13 seam\_misc

地址: 0x4000007c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												EMSEL			

位	名称	权限	复位值	描述
31:4	RSVD			
3:0	EMSEL	R/W	4'h3	em/ocram share memory em select 0x0: 0KB ; 0x3:8KB ; 0xF:16KB

### 3.3.14 CPU\_CLK\_CFG

地址: 0x40000090

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD												RTC SEL	RTC EN	RSVD	RTC DIV
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCDIV															

位	名称	权限	复位值	描述
31:20	RSVD			
19	RTCSEL	R/W	1	0: Bus clock 1: 32KHz
18	RTCEN	R/W	0	CPU RTC clock enable
17	RSVD			
16:0	RTCDIV	R/W	17'h10	CPU RTC clock = (e21_rtc_sel) / (e21_rtc_div+1)

### 3.3.15 GPADC\_32M\_SRC\_CTRL

地址: 0x400000a4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							GADC DIV	GADC SEL	RSVD	GADCDIV					

位	名称	权限	复位值	描述
31:9	RSVD			
8	GADCDIV	R/W	1	GPADC 32M Clock Divider Enable
7	GADCSEL	R/W	0	GPADC Clock Source Select. 0: Audio PLL, 1: xclk
6	RSVD			
5:0	GADCDIV	R/W	6'd2	GPADC 32M Clock Divider (gpadc clock)/(N+1)

### 3.3.16 DIG32K\_WAKEUP\_CTRL

地址: 0x400000a8

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		CLKSCSEL		RSVD		COMP	512K EN	RSVD	512KDIV						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		32K COMP	32K EN	RSVD	32KDIV										

位	名称	权限	复位值	描述
31:30	RSVD			
29:28	CLKSCSEL	R/W	0	0:PLL 32MHz 1:xclk 2:Audio PLL
27:26	RSVD			
25	COMP	R/W	1	Compensation => Duty of dig_512k_out = N : N+1
24	512KEN	R/W	1	Enable dig_512k_out
23	RSVD			
22:16	512KDIV	R/W	7'd62	(PLL 32MHz or xclk) / dig_512k_div Ex: Set 46 for 24MHz ; Set 62 for 32MHz ; Set 75 for 38.4MHz ; Set 78 for 40MHz
15:14	RSVD			
13	32KCOMP	R/W	0	Compensation => Duty of dig_32k_out = dig_32k_div : (dig_32k_div+1)

位	名称	权限	复位值	描述
12	32KEN	R/W	1	Enable dig_32k_out
11	RSVD			
10:0	32KDIV	R/W	11'd1000	(PLL 32MHz or xclk) / dig_32k_div Ex: Set 750 for 24MHz ; Set 1000 for 32MHz ; Set 1200 for 38.4MHz ; Set 1250 for 40MHz

### 3.3.17 UART\_SIG\_SEL\_0

地址: 0x400000c0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SIG7SEL				SIG6SEL				SIG5SEL				SIG4SEL			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIG3SEL				SIG2SEL				SIG1SEL				SIG0SEL			

位	名称	权限	复位值	描述
31:28	SIG7SEL	R/W	4'd7	UART Signal7 Select : 0 : UART0_RTS 1 : UART0_CTS 2 : UART0_TXD 3 : UART0_RXD 4 : UART1_RTS 5 : UART1_CTS 6 : UART1_TXD 7 : UART1_RXD
27:24	SIG6SEL	R/W	4'd6	UART Signal6 Select : 0 : UART0_RTS 1 : UART0_CTS 2 : UART0_TXD 3 : UART0_RXD 4 : UART1_RTS 5 : UART1_CTS 6 : UART1_TXD 7 : UART1_RXD



位	名称	权限	复位值	描述
23:20	SIG5SEL	R/W	4'd5	UART Signal5 Select : 0 : UART0_RTS 1 : UART0_CTS 2 : UART0_TXD 3 : UART0_RXD 4 : UART1_RTS 5 : UART1_CTS 6 : UART1_TXD 7 : UART1_RXD
19:16	SIG4SEL	R/W	4'd4	UART Signal4 Select : 0 : UART0_RTS 1 : UART0_CTS 2 : UART0_TXD 3 : UART0_RXD 4 : UART1_RTS 5 : UART1_CTS 6 : UART1_TXD 7 : UART1_RXD
15:12	SIG3SEL	R/W	4'd3	UART Signal3 Select : 0 : UART0_RTS 1 : UART0_CTS 2 : UART0_TXD 3 : UART0_RXD 4 : UART1_RTS 5 : UART1_CTS 6 : UART1_TXD 7 : UART1_RXD
11:8	SIG2SEL	R/W	4'd2	UART Signal2 Select : 0 : UART0_RTS 1 : UART0_CTS 2 : UART0_TXD 3 : UART0_RXD 4 : UART1_RTS 5 : UART1_CTS 6 : UART1_TXD 7 : UART1_RXD

位	名称	权限	复位值	描述
7:4	SIG1SEL	R/W	4'd1	UART Signal1 Select : 0 : UART0_RTS 1 : UART0_CTS 2 : UART0_TXD 3 : UART0_RXD 4 : UART1_RTS 5 : UART1_CTS 6 : UART1_TXD 7 : UART1_RXD
3:0	SIG0SEL	R/W	0	UART Signal0 Select : 0 : UART0_RTS 1 : UART0_CTS 2 : UART0_TXD 3 : UART0_RXD 4 : UART1_RTS 5 : UART1_CTS 6 : UART1_TXD 7 : UART1_RXD

### 3.3.18 GPIO\_CFGCTL0

地址: 0x40000100

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP1FUNC					RSVD		GP1 PD	GP1 PU	GP1DRV		GP1 SMT	GP1 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP0FUNC					RSVD		GP0 PD	GP0 PU	GP0DRV		GP0 SMT	GP0 IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP1FUNC	R/W	5'hE	GPIO Function Select (Default : JTAG)
23:22	RSVD			
21	GP1PD	R/W	0	GPIO Pull Down Control
20	GP1PU	R/W	0	GPIO Pull Up Control
19:18	GP1DRV	R/W	0	GPIO Driving Control
17	GP1SMT	R/W	1	GPIO SMT Control

位	名称	权限	复位值	描述
16	GP1IE	R/W	1	GPIO Input Enable
15:13	RSVD			
12:8	GP0FUNC	R/W	5'hE	GPIO Function Select (Default : JTAG)
7:6	RSVD			
5	GP0PD	R/W	0	GPIO Pull Down Control
4	GP0PU	R/W	0	GPIO Pull Up Control
3:2	GP0DRV	R/W	0	GPIO Driving Control
1	GP0SMT	R/W	1	GPIO SMT Control
0	GP0IE	R/W	1	GPIO Input Enable

### 3.3.19 GPIO\_CFGCTL1

地址: 0x40000104

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP3FUNC					RSVD		GP3 PD	GP3 PU	GP3DRV		GP3 SMT	GP3 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP2FUNC					RSVD		GP2 PD	GP2 PU	GP2DRV		GP2 SMT	GP2 IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP3FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO)
23:22	RSVD			
21	GP3PD	R/W	0	GPIO Pull Down Control
20	GP3PU	R/W	0	GPIO Pull Up Control
19:18	GP3DRV	R/W	0	GPIO Driving Control
17	GP3SMT	R/W	1	GPIO SMT Control
16	GP3IE	R/W	1	GPIO Input Enable
15:13	RSVD			
12:8	GP2FUNC	R/W	5'hE	GPIO Function Select (Default : JTAG)
7:6	RSVD			
5	GP2PD	R/W	0	GPIO Pull Down Control

位	名称	权限	复位值	描述
4	GP2PU	R/W	0	GPIO Pull Up Control
3:2	GP2DRV	R/W	0	GPIO Driving Control
1	GP2SMT	R/W	1	GPIO SMT Control
0	GP2IE	R/W	1	GPIO Input Enable

### 3.3.20 GPIO\_CFGCTL2

地址：0x40000108

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP5FUNC					RSVD		GP5 PD	GP5 PU	GP5DRV		GP5 SMT	GP5 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP4FUNC					RSVD		GP4 PD	GP4 PU	GP4DRV		GP4 SMT	GP4 IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP5FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO)
23:22	RSVD			
21	GP5PD	R/W	0	GPIO Pull Down Control
20	GP5PU	R/W	0	GPIO Pull Up Control
19:18	GP5DRV	R/W	0	GPIO Driving Control
17	GP5SMT	R/W	1	GPIO SMT Control
16	GP5IE	R/W	1	GPIO Input Enable
15:13	RSVD			
12:8	GP4FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO)
7:6	RSVD			
5	GP4PD	R/W	0	GPIO Pull Down Control
4	GP4PU	R/W	0	GPIO Pull Up Control
3:2	GP4DRV	R/W	0	GPIO Driving Control
1	GP4SMT	R/W	1	GPIO SMT Control
0	GP4IE	R/W	1	GPIO Input Enable

### 3.3.21 GPIO\_CFGCTL3

地址: 0x4000010c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP7FUNC					RSVD		GP7 PD	GP7 PU	GP7DRV		GP7 SMT	GP7 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP6FUNC					RSVD		GP6 PD	GP6 PU	GP6DRV		GP6 SMT	GP6 IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP7FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO)
23:22	RSVD			
21	GP7PD	R/W	0	GPIO Pull Down Control
20	GP7PU	R/W	0	GPIO Pull Up Control
19:18	GP7DRV	R/W	0	GPIO Driving Control
17	GP7SMT	R/W	1	GPIO SMT Control
16	GP7IE	R/W	1	GPIO Input Enable
15:13	RSVD			
12:8	GP6FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP6PD	R/W	0	GPIO Pull Down Control
4	GP6PU	R/W	0	GPIO Pull Up Control
3:2	GP6DRV	R/W	0	GPIO Driving Control
1	GP6SMT	R/W	1	GPIO SMT Control
0	GP6IE	R/W	1	GPIO Input Enable

### 3.3.22 GPIO\_CFGCTL4

地址: 0x40000110

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP9FUNC					RSVD		GP9 PD	GP9 PU	GP9DRV		GP9 SMT	GP9 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP8FUNC					RSVD		GP8 PD	GP8 PU	GP8DRV		GP8 SMT	GP8 IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP9FUNC	R/W	5'hE	GPIO Function Select (Default : JTAG )
23:22	RSVD			
21	GP9PD	R/W	0	GPIO Pull Down Control (Use this bit if reg_en_hw_pu_pd := 0 (0x4000F014[16]))
20	GP9PU	R/W	0	GPIO Pull Up Control (Use this bit if reg_en_hw_pu_pd := 0 (0x4000F014[16]))
19:18	GP9DRV	R/W	0	GPIO Driving Control
17	GP9SMT	R/W	1	GPIO SMT Control(Useless, IE depend on reg_aon_pad_ie_smt[0] : 0x4000F014[8])
16	GP9IE	R/W	0	GPIO Input Enable (Useless, IE depend on reg_aon_pad_ie_smt[0] : 0x4000F014[8])
15:13	RSVD			
12:8	GP8FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP8PD	R/W	0	GPIO Pull Down Control
4	GP8PU	R/W	0	GPIO Pull Up Control
3:2	GP8DRV	R/W	0	GPIO Driving Control
1	GP8SMT	R/W	1	GPIO SMT Control
0	GP8IE	R/W	1	GPIO Input Enable

### 3.3.23 GPIO\_CFGCTL5

地址: 0x40000114

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP11FUNC					RSVD		GP11 PD	GP11 PU	GP11DRV		GP11 SMT	GP11 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP10FUNC					RSVD		GP10 PD	GP10 PU	GP10DRV		GP10 SMT	GP10 IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP11FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP11PD	R/W	0	GPIO Pull Down Control
20	GP11PU	R/W	0	GPIO Pull Up Control
19:18	GP11DRV	R/W	0	GPIO Driving Control
17	GP11SMT	R/W	1	GPIO SMT Control(Useless, IE depend on reg_aon_pad_ie_smt[2] : 0x4000F014[10])
16	GP11IE	R/W	1	GPIO Input Enable (Useless, IE depend on reg_aon_pad_ie_smt[2] : 0x4000F014[10])
15:13	RSVD			
12:8	GP10FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP10PD	R/W	0	GPIO Pull Down Control
4	GP10PU	R/W	0	GPIO Pull Up Control
3:2	GP10DRV	R/W	0	GPIO Driving Control
1	GP10SMT	R/W	1	GPIO SMT Control(Useless, IE depend on reg_aon_pad_ie_smt[1] : 0x4000F014[9])
0	GP10IE	R/W	1	GPIO Input Enable (Useless, IE depend on reg_aon_pad_ie_smt[1] : 0x4000F014[9])

### 3.3.24 GPIO\_CFGCTL6

地址: 0x40000118

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP13FUNC					RSVD		GP13 PD	GP13 PU	GP13DRV		GP13 SMT	GP13 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP12FUNC					RSVD		GP12 PD	GP12 PU	GP12DRV		GP12 SMT	GP12 IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP13FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP13PD	R/W	0	GPIO Pull Down Control
20	GP13PU	R/W	0	GPIO Pull Up Control
19:18	GP13DRV	R/W	0	GPIO Driving Control
17	GP13SMT	R/W	1	GPIO SMT Control(Useless, IE depend on reg_aon_pad_ie_smt[4] : 0x4000F014[12])
16	GP13IE	R/W	1	GPIO Input Enable (Useless, IE depend on reg_aon_pad_ie_smt[4] : 0x4000F014[12])
15:13	RSVD			
12:8	GP12FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP12PD	R/W	0	GPIO Pull Down Control
4	GP12PU	R/W	0	GPIO Pull Up Control
3:2	GP12DRV	R/W	0	GPIO Driving Control
1	GP12SMT	R/W	1	GPIO SMT Control(Useless, IE depend on reg_aon_pad_ie_smt[3] : 0x4000F014[11])
0	GP12IE	R/W	1	GPIO Input Enable (Useless, IE depend on reg_aon_pad_ie_smt[3] : 0x4000F014[11])

### 3.3.25 GPIO\_CFGCTL7

地址: 0x4000011c



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP15FUNC					RSVD		GP15 PD	GP15 PU	GP15DRV		GP15 SMT	GP15 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP14FUNC					RSVD		GP14 PD	GP14 PU	GP14DRV		GP14 SMT	GP14 IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP15FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP15PD	R/W	0	GPIO Pull Down Control
20	GP15PU	R/W	0	GPIO Pull Up Control
19:18	GP15DRV	R/W	0	GPIO Driving Control
17	GP15SMT	R/W	1	GPIO SMT Control
16	GP15IE	R/W	1	GPIO Input Enable
15:13	RSVD			
12:8	GP14FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP14PD	R/W	0	GPIO Pull Down Control
4	GP14PU	R/W	0	GPIO Pull Up Control
3:2	GP14DRV	R/W	0	GPIO Driving Control
1	GP14SMT	R/W	1	GPIO SMT Control
0	GP14IE	R/W	1	GPIO Input Enable

### 3.3.26 GPIO\_CFGCTL8

地址: 0x40000120

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP17FUNC					RSVD		GP17 PD	GP17 PU	GP17DRV		GP17 SMT	GP17 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP16FUNC					RSVD		GP16 PD	GP16 PU	GP16DRV		GP16 SMT	GP16 IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP17FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP17PD	R/W	0	GPIO Pull Down Control (Use this bit if reg_en_hw_pu_pd := 0 (0x4000F014[16])
20	GP17PU	R/W	0	GPIO Pull Up Control (Use this bit if reg_en_hw_pu_pd := 0 (0x4000F014[16])
19:18	GP17DRV	R/W	0	GPIO Driving Control
17	GP17SMT	R/W	1	GPIO SMT Control
16	GP17IE	R/W	1	GPIO Input Enable
15:13	RSVD			
12:8	GP16FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP16PD	R/W	0	GPIO Pull Down Control
4	GP16PU	R/W	0	GPIO Pull Up Control
3:2	GP16DRV	R/W	0	GPIO Driving Control
1	GP16SMT	R/W	1	GPIO SMT Control
0	GP16IE	R/W	1	GPIO Input Enable

### 3.3.27 GPIO\_CFGCTL9

地址: 0x40000124

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP19FUNC					RSVD		GP19 PD	GP19 PU	GP19DRV		GP19 SMT	GP19 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP18FUNC					RSVD		GP18 PD	GP18 PU	GP18DRV		GP18 SMT	GP18 IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP19FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP19PD	R/W	0	GPIO Pull Down Control

位	名称	权限	复位值	描述
20	GP19PU	R/W	0	GPIO Pull Up Control
19:18	GP19DRV	R/W	0	GPIO Driving Control
17	GP19SMT	R/W	1	GPIO SMT Control
16	GP19IE	R/W	1	GPIO Input Enable
15:13	RSVD			
12:8	GP18FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP18PD	R/W	0	GPIO Pull Down Control
4	GP18PU	R/W	0	GPIO Pull Up Control
3:2	GP18DRV	R/W	0	GPIO Driving Control
1	GP18SMT	R/W	1	GPIO SMT Control
0	GP18IE	R/W	1	GPIO Input Enable

### 3.3.28 GPIO\_CFGCTL10

地址: 0x40000128

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP21FUNC					RSVD		GP21 PD	GP21 PU	GP21DRV		GP21 SMT	GP21 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP20FUNC					RSVD		GP20 PD	GP20 PU	GP20DRV		GP20 SMT	GP20 IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP21FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP21PD	R/W	0	GPIO Pull Down Control
20	GP21PU	R/W	0	GPIO Pull Up Control
19:18	GP21DRV	R/W	0	GPIO Driving Control
17	GP21SMT	R/W	1	GPIO SMT Control
16	GP21IE	R/W	1	GPIO Input Enable
15:13	RSVD			

位	名称	权限	复位值	描述
12:8	GP20FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP20PD	R/W	0	GPIO Pull Down Control
4	GP20PU	R/W	0	GPIO Pull Up Control
3:2	GP20DRV	R/W	0	GPIO Driving Control
1	GP20SMT	R/W	1	GPIO SMT Control
0	GP20IE	R/W	1	GPIO Input Enable

### 3.3.29 GPIO\_CFGCTL11

地址: 0x4000012c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP23FUNC					RSVD		GP23 PD	GP23 PU	GP23DRV		GP23 SMT	GP23 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP22FUNC					RSVD		GP22 PD	GP22 PU	GP22DRV		GP22 SMT	GP22 IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP23FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP23PD	R/W	0	GPIO Pull Down Control
20	GP23PU	R/W	0	GPIO Pull Up Control
19:18	GP23DRV	R/W	0	GPIO Driving Control
17	GP23SMT	R/W	1	GPIO SMT Control
16	GP23IE	R/W	1	GPIO Input Enable
15:13	RSVD			
12:8	GP22FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP22PD	R/W	0	GPIO Pull Down Control
4	GP22PU	R/W	0	GPIO Pull Up Control
3:2	GP22DRV	R/W	0	GPIO Driving Control

位	名称	权限	复位值	描述
1	GP22SMT	R/W	1	GPIO SMT Control
0	GP22IE	R/W	1	GPIO Input Enable

### 3.3.30 GPIO\_CFGCTL12

地址: 0x40000130

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP25FUNC					RSVD		GP25 PD	GP25 PU	GP25DRV		GP25 SMT	GP25 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP24FUNC					RSVD		GP24 PD	GP24 PU	GP24DRV		GP24 SMT	GP24 IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP25FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP25PD	R/W	0	GPIO Pull Down Control
20	GP25PU	R/W	0	GPIO Pull Up Control
19:18	GP25DRV	R/W	0	GPIO Driving Control
17	GP25SMT	R/W	1	GPIO SMT Control
16	GP25IE	R/W	1	GPIO Input Enable
15:13	RSVD			
12:8	GP24FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP24PD	R/W	1	GPIO Pull Down Control
4	GP24PU	R/W	0	GPIO Pull Up Control
3:2	GP24DRV	R/W	0	GPIO Driving Control
1	GP24SMT	R/W	1	GPIO SMT Control
0	GP24IE	R/W	1	GPIO Input Enable

### 3.3.31 GPIO\_CFGCTL13

地址: 0x40000134

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP27FUNC					RSVD		GP27 PD	GP27 PU	GP27DRV		GP27 SMT	GP27 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP26FUNC					RSVD		GP26 PD	GP26 PU	GP26DRV		GP26 SMT	GP26 IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP27FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP27PD	R/W	0	GPIO Pull Down Control
20	GP27PU	R/W	0	GPIO Pull Up Control
19:18	GP27DRV	R/W	0	GPIO Driving Control
17	GP27SMT	R/W	1	GPIO SMT Control
16	GP27IE	R/W	1	GPIO Input Enable
15:13	RSVD			
12:8	GP26FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP26PD	R/W	0	GPIO Pull Down Control
4	GP26PU	R/W	0	GPIO Pull Up Control
3:2	GP26DRV	R/W	0	GPIO Driving Control
1	GP26SMT	R/W	1	GPIO SMT Control
0	GP26IE	R/W	1	GPIO Input Enable

### 3.3.32 GPIO\_CFGCTL14

地址: 0x40000138

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP29FUNC					RSVD		GP29PD	GP29PU	GP29DRV		GP29SMT	GP29IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP28FUNC					RSVD		GP28PD	GP28PU	GP28DRV		GP28SMT	GP28IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP29FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP29PD	R/W	0	GPIO Pull Down Control
20	GP29PU	R/W	0	GPIO Pull Up Control
19:18	GP29DRV	R/W	0	GPIO Driving Control
17	GP29SMT	R/W	1	GPIO SMT Control
16	GP29IE	R/W	1	GPIO Input Enable
15:13	RSVD			
12:8	GP28FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP28PD	R/W	0	GPIO Pull Down Control
4	GP28PU	R/W	0	GPIO Pull Up Control
3:2	GP28DRV	R/W	0	GPIO Driving Control
1	GP28SMT	R/W	1	GPIO SMT Control
0	GP28IE	R/W	1	GPIO Input Enable

### 3.3.33 GPIO\_CFGCTL15

地址: 0x4000013c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			GP31FUNC					RSVD		GP31PD	GP31PU	GP31DRV		GP31SMT	GP31IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			GP30FUNC					RSVD		GP30PD	GP30PU	GP30DRV		GP30SMT	GP30IE

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	GP31FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP31PD	R/W	0	GPIO Pull Down Control
20	GP31PU	R/W	0	GPIO Pull Up Control
19:18	GP31DRV	R/W	0	GPIO Driving Control
17	GP31SMT	R/W	1	GPIO SMT Control
16	GP31IE	R/W	1	GPIO Input Enable
15:13	RSVD			
12:8	GP30FUNC	R/W	5'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP30PD	R/W	0	GPIO Pull Down Control
4	GP30PU	R/W	0	GPIO Pull Up Control
3:2	GP30DRV	R/W	0	GPIO Driving Control
1	GP30SMT	R/W	1	GPIO SMT Control
0	GP30IE	R/W	1	GPIO Input Enable

### 3.3.34 GPIO\_CFGCTL16

地址: 0x40000140

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD										GP33PD	GP33PU	GP33DRV		GP33 SMT	GP33 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD										GP32 PD	GP32 PU	GP32DRV		GP32 SMT	GP32 IE

位	名称	权限	复位值	描述
31:22	RSVD			
21	GP33PD	R/W	0	GPIO Pull Down Control
20	GP33PU	R/W	0	GPIO Pull Up Control
19:18	GP33DRV	R/W	0	GPIO Driving Control
17	GP33SMT	R/W	1	GPIO SMT Control



位	名称	权限	复位值	描述
16	GP33IE	R/W	1	GPIO Input Enable
15:6	RSVD			
5	GP32PD	R/W	0	GPIO Pull Down Control
4	GP32PU	R/W	0	GPIO Pull Up Control
3:2	GP32DRV	R/W	0	GPIO Driving Control
1	GP32SMT	R/W	1	GPIO SMT Control
0	GP32IE	R/W	1	GPIO Input Enable

### 3.3.35 GPIO\_CFGCTL17

地址: 0x40000144

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD										GP35 PD	GP35 PU	GP35DRV		GP35 SMT	GP35 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD										GP34 PD	GP34 PU	GP34DRV		GP34 SMT	GP34 IE

位	名称	权限	复位值	描述
31:22	RSVD			
21	GP35PD	R/W	0	GPIO Pull Down Control
20	GP35PU	R/W	0	GPIO Pull Up Control
19:18	GP35DRV	R/W	0	GPIO Driving Control
17	GP35SMT	R/W	1	GPIO SMT Control
16	GP35IE	R/W	1	GPIO Input Enable
15:6	RSVD			
5	GP34PD	R/W	0	GPIO Pull Down Control
4	GP34PU	R/W	0	GPIO Pull Up Control
3:2	GP34DRV	R/W	0	GPIO Driving Control
1	GP34SMT	R/W	1	GPIO SMT Control
0	GP34IE	R/W	1	GPIO Input Enable

### 3.3.36 GPIO\_CFGCTL18

地址: 0x40000148

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD										GP37 PD	GP37 PU	GP37DRV		GP37 SMT	GP37 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD										GP36 PD	GP36 PU	GP36DRV		GP36 SMT	GP36 IE

位	名称	权限	复位值	描述
31:22	RSVD			
21	GP37PD	R/W	0	GPIO Pull Down Control
20	GP37PU	R/W	0	GPIO Pull Up Control
19:18	GP37DRV	R/W	0	GPIO Driving Control
17	GP37SMT	R/W	1	GPIO SMT Control
16	GP37IE	R/W	1	GPIO Input Enable
15:6	RSVD			
5	GP36PD	R/W	0	GPIO Pull Down Control
4	GP36PU	R/W	0	GPIO Pull Up Control
3:2	GP36DRV	R/W	0	GPIO Driving Control
1	GP36SMT	R/W	1	GPIO SMT Control
0	GP36IE	R/W	1	GPIO Input Enable

### 3.3.37 GPIO\_CFGCTL30

地址: 0x40000180

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GP31 I	GP30 I	GP29 I	GP28 I	GP27 I	GP26 I	GP25 I	GP24 I	GP23 I	GP22 I	GP21 I	GP20 I	GP19 I	GP18 I	GP17 I	GP16 I
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GP15 I	GP14 I	GP13 I	GP12 I	GP11 I	GP10 I	GP9 I	GP8 I	GP7 I	GP6 I	GP5 I	GP4 I	GP3 I	GP2 I	GP1 I	GP0 I

位	名称	权限	复位值	描述
31	GP31I	R	0	Register Controlled GPIO Input value

位	名称	权限	复位值	描述
30	GP30I	R	0	Register Controlled GPIO Input value
29	GP29I	R	0	Register Controlled GPIO Input value
28	GP28I	R	0	Register Controlled GPIO Input value
27	GP27I	R	0	Register Controlled GPIO Input value
26	GP26I	R	0	Register Controlled GPIO Input value
25	GP25I	R	0	Register Controlled GPIO Input value
24	GP24I	R	0	Register Controlled GPIO Input value
23	GP23I	R	0	Register Controlled GPIO Input value
22	GP22I	R	0	Register Controlled GPIO Input value
21	GP21I	R	0	Register Controlled GPIO Input value
20	GP20I	R	0	Register Controlled GPIO Input value
19	GP19I	R	0	Register Controlled GPIO Input value
18	GP18I	R	0	Register Controlled GPIO Input value
17	GP17I	R	0	Register Controlled GPIO Input value
16	GP16I	R	0	Register Controlled GPIO Input value
15	GP15I	R	0	Register Controlled GPIO Input value
14	GP14I	R	0	Register Controlled GPIO Input value
13	GP13I	R	0	Register Controlled GPIO Input value
12	GP12I	R	0	Register Controlled GPIO Input value
11	GP11I	R	0	Register Controlled GPIO Input value
10	GP10I	R	0	Register Controlled GPIO Input value
9	GP9I	R	0	Register Controlled GPIO Input value
8	GP8I	R	0	Register Controlled GPIO Input value
7	GP7I	R	0	Register Controlled GPIO Input value
6	GP6I	R	0	Register Controlled GPIO Input value
5	GP5I	R	0	Register Controlled GPIO Input value
4	GP4I	R	0	Register Controlled GPIO Input value
3	GP3I	R	0	Register Controlled GPIO Input value
2	GP2I	R	0	Register Controlled GPIO Input value
1	GP1I	R	0	Register Controlled GPIO Input value
0	GP0I	R	0	Register Controlled GPIO Input value

### 3.3.38 GPIO\_CFGCTL32

地址: 0x40000188

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GP31 O	GP30 O	GP29 O	GP28 O	GP27 O	GP26 O	GP25 O	GP24 O	GP23 O	GP22 O	GP21 O	GP20 O	GP19 O	GP18 O	GP17 O	GP16 O
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GP15 O	GP14 O	GP13 O	GP12 O	GP11 O	GP10 O	GP9 O	GP8 O	GP7 O	GP6 O	GP5 O	GP4 O	GP3 O	GP2 O	GP1 O	GP0 O

位	名称	权限	复位值	描述
31	GP31O	R/W	0	Register Controlled GPIO Output Value
30	GP30O	R/W	0	Register Controlled GPIO Output Value
29	GP29O	R/W	0	Register Controlled GPIO Output Value
28	GP28O	R/W	0	Register Controlled GPIO Output Value
27	GP27O	R/W	0	Register Controlled GPIO Output Value
26	GP26O	R/W	0	Register Controlled GPIO Output Value
25	GP25O	R/W	0	Register Controlled GPIO Output Value
24	GP24O	R/W	0	Register Controlled GPIO Output Value
23	GP23O	R/W	0	Register Controlled GPIO Output Value
22	GP22O	R/W	0	Register Controlled GPIO Output Value
21	GP21O	R/W	0	Register Controlled GPIO Output Value
20	GP20O	R/W	0	Register Controlled GPIO Output Value
19	GP19O	R/W	0	Register Controlled GPIO Output Value
18	GP18O	R/W	0	Register Controlled GPIO Output Value
17	GP17O	R/W	0	Register Controlled GPIO Output Value
16	GP16O	R/W	0	Register Controlled GPIO Output Value
15	GP15O	R/W	0	Register Controlled GPIO Output Value
14	GP14O	R/W	0	Register Controlled GPIO Output Value
13	GP13O	R/W	0	Register Controlled GPIO Output Value
12	GP12O	R/W	0	Register Controlled GPIO Output Value
11	GP11O	R/W	0	Register Controlled GPIO Output Value
10	GP10O	R/W	0	Register Controlled GPIO Output Value
9	GP9O	R/W	0	Register Controlled GPIO Output Value
8	GP8O	R/W	0	Register Controlled GPIO Output Value

位	名称	权限	复位值	描述
7	GP7O	R/W	0	Register Controlled GPIO Output Value
6	GP6O	R/W	0	Register Controlled GPIO Output Value
5	GP5O	R/W	0	Register Controlled GPIO Output Value
4	GP4O	R/W	0	Register Controlled GPIO Output Value
3	GP3O	R/W	0	Register Controlled GPIO Output Value
2	GP2O	R/W	0	Register Controlled GPIO Output Value
1	GP1O	R/W	0	Register Controlled GPIO Output Value
0	GP0O	R/W	0	Register Controlled GPIO Output Value

### 3.3.39 GPIO\_CFGCTL34

地址: 0x40000190

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GP31 OE	GP30 OE	GP29 OE	GP28 OE	GP27 OE	GP26 OE	GP25 OE	GP24 OE	GP23 OE	GP22 OE	GP21 OE	GP20 OE	GP19 OE	GP18 OE	GP17 OE	GP16 OE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GP15 OE	GP14 OE	GP13 OE	GP12 OE	GP11 OE	GP10 OE	GP9 OE	GP8 OE	GP7 OE	GP6 OE	GP5 OE	GP4 OE	GP3 OE	GP2 OE	GP1 OE	GP0 OE

位	名称	权限	复位值	描述
31	GP31OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
30	GP30OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
29	GP29OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
28	GP28OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
27	GP27OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
26	GP26OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
25	GP25OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)

位	名称	权限	复位值	描述
24	GP24OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
23	GP23OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
22	GP22OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
21	GP21OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
20	GP20OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
19	GP19OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
18	GP18OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
17	GP17OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
16	GP16OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
15	GP15OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
14	GP14OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
13	GP13OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
12	GP12OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
11	GP11OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
10	GP10OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
9	GP9OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
8	GP8OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
7	GP7OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)

位	名称	权限	复位值	描述
6	GP6OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
5	GP5OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
4	GP4OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
3	GP3OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
2	GP2OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
1	GP1OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
0	GP0OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)

### 3.3.40 GPIO\_CFGCTL35

地址: 0x40000194

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							GP40 OE	GP39 OE	GP38 OE	GP37 OE	GP36 OE	GP35 OE	GP34 OE	GP33 OE	GP32 OE

位	名称	权限	复位值	描述
31:9	RSVD			
8	GP40OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
7	GP39OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
6	GP38OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
5	GP37OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
4	GP36OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)

位	名称	权限	复位值	描述
3	GP35OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
2	GP34OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
1	GP33OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)
0	GP32OE	R/W	0	Register Controlled GPIO Output Enable (Used when GPIO Function select to Register Control GPIO)

### 3.3.41 GPIO\_INT\_MASK1

地址: 0x400001a0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GPITMS1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPITMS1															

位	名称	权限	复位值	描述
31:0	GPITMS1	R/W	32'hFFFFFFFF	reg_gpio_int_mask[31:0]

### 3.3.42 GPIO\_INT\_STAT1

地址: 0x400001a8

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GPITSTA1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPITSTA1															

位	名称	权限	复位值	描述
31:0	GPITSTA1	R	0	gpio_int_stat[31:0]



### 3.3.43 GPIO\_INT\_CLR1

地址: 0x400001b0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GPITCLR1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPITCLR1															

位	名称	权限	复位值	描述
31:0	GPITCLR1	R/W	0	reg_gpio_int_clr[31:0]

### 3.3.44 GPIO\_INT\_MODE\_SET1

地址: 0x400001c0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		GPITMS1													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPITMS1															

位	名称	权限	复位值	描述
31:30	RSVD			

位	名称	权限	复位值	描述
29:0	GPITMS1	R/W	0	[2:0] : GPIO 0 Interrupt Mode Control[2:0] [5:3] : GPIO 1 Interrupt Mode Control[2:0] [8:6] : GPIO 2 Interrupt Mode Control[2:0] [11:9] : GPIO 3 Interrupt Mode Control[2:0] [14:12] : GPIO 4 Interrupt Mode Control[2:0] [17:15] : GPIO 5 Interrupt Mode Control[2:0] [20:18] : GPIO 6 Interrupt Mode Control[2:0] [23:21] : GPIO 7 Interrupt Mode Control[2:0] [26:24] : GPIO 8 Interrupt Mode Control[2:0] [29:27] : GPIO 9 Interrupt Mode Control[2:0] GPIO X Interrupt Mode Control [2:0] [2] : 1 : async mode 0 : sync mode [1:0] : 00 : negedge pulse 01 : posedge pulse 10 : negedge level (32k 3T) 11 : posedge level (32k 3T)

### 3.3.45 GPIO\_INT\_MODE\_SET2

地址：0x400001c4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		GPITMS2													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPITMS2															

位	名称	权限	复位值	描述
31:30	RSVD			

位	名称	权限	复位值	描述
29:0	GPITMS2	R/W	0	[2:0] : GPIO 10 Interrupt Mode Control[2:0] [5:3] : GPIO 11 Interrupt Mode Control[2:0] [8:6] : GPIO 12 Interrupt Mode Control[2:0] [11:9] : GPIO 13 Interrupt Mode Control[2:0] [14:12] : GPIO 14 Interrupt Mode Control[2:0] [17:15] : GPIO 15 Interrupt Mode Control[2:0] [20:18] : GPIO 16 Interrupt Mode Control[2:0] [23:21] : GPIO 17 Interrupt Mode Control[2:0] [26:24] : GPIO 18 Interrupt Mode Control[2:0] [29:27] : GPIO 19 Interrupt Mode Control[2:0] GPIO X Interrupt Mode Control [2:0] [2] : 1 : async mode 0 : sync mode [1:0] : 00 : negedge pulse 01 : posedge pulse 10 : negedge level (32k 3T) 11 : posedge level (32k 3T)

### 3.3.46 GPIO\_INT\_MODE\_SET3

地址: 0x400001c8

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		GPITMS3													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPITMS3															

位	名称	权限	复位值	描述
31:30	RSVD			

位	名称	权限	复位值	描述
29:0	GPITMS3	R/W	0	[2:0] : GPIO 20 Interrupt Mode Control[2:0] [5:3] : GPIO 21 Interrupt Mode Control[2:0] [8:6] : GPIO 22 Interrupt Mode Control[2:0] [11:9] : GPIO 23 Interrupt Mode Control[2:0] [14:12] : GPIO 24 Interrupt Mode Control[2:0] [17:15] : GPIO 25 Interrupt Mode Control[2:0] [20:18] : GPIO 26 Interrupt Mode Control[2:0] [23:21] : GPIO 27 Interrupt Mode Control[2:0] [26:24] : GPIO 28 Interrupt Mode Control[2:0] [29:27] : GPIO 29 Interrupt Mode Control[2:0] GPIO X Interrupt Mode Control [2:0] [2] : 1 : async mode 0 : sync mode [1:0] : 00 : negedge pulse 01 : posedge pulse 10 : negedge level (32k 3T) 11 : posedge level (32k 3T)

### 3.3.47 GPIO\_INT\_MODE\_SET4

地址：0x400001cc

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD											GPITMS4				

位	名称	权限	复位值	描述
31:6	RSVD			

位	名称	权限	复位值	描述
5:0	GPITMS4	R/W	0	[2:0] : GPIO 30 Interrupt Mode Control[2:0] [5:3] : GPIO 31 Interrupt Mode Control[2:0] [8:6] : GPIO 32 Interrupt Mode Control[2:0] [11:9] : GPIO 33 Interrupt Mode Control[2:0] [14:12] : GPIO 34 Interrupt Mode Control[2:0] [17:15] : GPIO 35 Interrupt Mode Control[2:0] [20:18] : GPIO 36 Interrupt Mode Control[2:0] [23:21] : GPIO 37 Interrupt Mode Control[2:0] [26:24] : GPIO 38 Interrupt Mode Control[2:0] [29:27] : GPIO 39 Interrupt Mode Control[2:0] GPIO X Interrupt Mode Control [2:0] [2] : 1 : async mode 0 : sync mode [1:0] : 00 : negedge pulse 01 : posedge pulse 10 : negedge level (32k 3T) 11 : posedge level (32k 3T)

### 3.3.48 GPIO\_INT2\_MASK1

地址：0x400001d0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GPIT2M1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPIT2M1															

位	名称	权限	复位值	描述
31:0	GPIT2M1	R/W	32'hFFFFFFFF	reg_gpio_int2_mask[31:0]

### 3.3.49 GPIO\_INT2\_STAT1

地址：0x400001d4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GPIT2ST1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPIT2ST1															

位	名称	权限	复位值	描述
31:0	GPIT2ST1	R	0	gpio_int2_stat[31:0]

### 3.3.50 GPIO\_INT2\_CLR1

地址: 0x400001d8

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GPIT2CL1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPIT2CL1															

位	名称	权限	复位值	描述
31:0	GPIT2CL1	R/W	0	reg_gpio_int2_clr[31:0]

### 3.3.51 GPIO\_INT2\_MODE\_SET1

地址: 0x400001dc

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		GPIT2MS1													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPIT2MS1															

位	名称	权限	复位值	描述
31:30	RSVD			

位	名称	权限	复位值	描述
29:0	GPIT2MS1	R/W	0	[2:0] : GPIO 0 Interrupt Mode Control[2:0] [5:3] : GPIO 1 Interrupt Mode Control[2:0] [8:6] : GPIO 2 Interrupt Mode Control[2:0] [11:9] : GPIO 3 Interrupt Mode Control[2:0] [14:12] : GPIO 4 Interrupt Mode Control[2:0] [17:15] : GPIO 5 Interrupt Mode Control[2:0] [20:18] : GPIO 6 Interrupt Mode Control[2:0] [23:21] : GPIO 7 Interrupt Mode Control[2:0] [26:24] : GPIO 8 Interrupt Mode Control[2:0] [29:27] : GPIO 9 Interrupt Mode Control[2:0] GPIO X Interrupt Mode Control [2:0] [2] : 1 : async mode 0 : sync mode [1:0] : 00 : negedge pulse 01 : posedge pulse 10 : negedge level (32k 3T) 11 : posedge level (32k 3T)

### 3.3.52 GPIO\_INT2\_MODE\_SET2

地址：0x400001e0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		GPIT2MS2													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPIT2MS2															

位	名称	权限	复位值	描述
31:30	RSVD			

位	名称	权限	复位值	描述
29:0	GPIT2MS2	R/W	0	[2:0] : GPIO 10 Interrupt Mode Control[2:0] [5:3] : GPIO 11 Interrupt Mode Control[2:0] [8:6] : GPIO 12 Interrupt Mode Control[2:0] [11:9] : GPIO 13 Interrupt Mode Control[2:0] [14:12] : GPIO 14 Interrupt Mode Control[2:0] [17:15] : GPIO 15 Interrupt Mode Control[2:0] [20:18] : GPIO 16 Interrupt Mode Control[2:0] [23:21] : GPIO 17 Interrupt Mode Control[2:0] [26:24] : GPIO 18 Interrupt Mode Control[2:0] [29:27] : GPIO 19 Interrupt Mode Control[2:0] GPIO X Interrupt Mode Control [2:0] [2] : 1 : async mode 0 : sync mode [1:0] : 00 : negedge pulse 01 : posedge pulse 10 : negedge level (32k 3T) 11 : posedge level (32k 3T)

### 3.3.53 GPIO\_INT2\_MODE\_SET3

地址: 0x400001e4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		GPIT2MS3													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPIT2MS3															

位	名称	权限	复位值	描述
31:30	RSVD			



位	名称	权限	复位值	描述
29:0	GPIT2MS3	R/W	0	[2:0] : GPIO 20 Interrupt Mode Control[2:0] [5:3] : GPIO 21 Interrupt Mode Control[2:0] [8:6] : GPIO 22 Interrupt Mode Control[2:0] [11:9] : GPIO 23 Interrupt Mode Control[2:0] [14:12] : GPIO 24 Interrupt Mode Control[2:0] [17:15] : GPIO 25 Interrupt Mode Control[2:0] [20:18] : GPIO 26 Interrupt Mode Control[2:0] [23:21] : GPIO 27 Interrupt Mode Control[2:0] [26:24] : GPIO 28 Interrupt Mode Control[2:0] [29:27] : GPIO 29 Interrupt Mode Control[2:0] GPIO X Interrupt Mode Control [2:0] [2] : 1 : async mode 0 : sync mode [1:0] : 00 : negedge pulse 01 : posedge pulse 10 : negedge level (32k 3T) 11 : posedge level (32k 3T)

### 3.3.54 GPIO\_INT2\_MODE\_SET4

地址：0x400001e8

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD											GPIT2MS4				

位	名称	权限	复位值	描述
31:6	RSVD			

位	名称	权限	复位值	描述
5:0	GPIT2MS4	R/W	0	[2:0] : GPIO 30 Interrupt Mode Control[2:0] [5:3] : GPIO 31 Interrupt Mode Control[2:0] [8:6] : GPIO 32 Interrupt Mode Control[2:0] [11:9] : GPIO 33 Interrupt Mode Control[2:0] [14:12] : GPIO 34 Interrupt Mode Control[2:0] [17:15] : GPIO 35 Interrupt Mode Control[2:0] [20:18] : GPIO 36 Interrupt Mode Control[2:0] [23:21] : GPIO 37 Interrupt Mode Control[2:0] [26:24] : GPIO 38 Interrupt Mode Control[2:0] [29:27] : GPIO 39 Interrupt Mode Control[2:0] GPIO X Interrupt Mode Control [2:0] [2] : 1 : async mode 0 : sync mode [1:0] : 00 : negedge pulse 01 : posedge pulse 10 : negedge level (32k 3T) 11 : posedge level (32k 3T)

### 3.3.55 led\_driver

地址：0x40000224

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PU LDRV	RSVD	LDRVOEN	RSVD												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				IRRXGPSL				LDRVIBIA				RSVD			

位	名称	权限	复位值	描述
31	PULDRV	R/W	1'b0	power up ir led drive
30	RSVD			
29:28	LDRVOEN	R/W	2'd3	ir led output enable [1]GPIO23 [0]GPIO22
27:12	RSVD			

位	名称	权限	复位值	描述
11:8	IRRXGPSL	R/W	4'h0	0 : disable ir_rx select gpio 1 15 :select gpio 19 33 as ir_rx (GPIO need to set as SWG-PIO mode)
7:4	LDRVIBIA	R/W	4'h8	ir led drive strength, [7:4]*8mA
3:0	RSVD			

### 3.3.56 usb\_xcvr

地址: 0x40000228

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				RCV	VIP	VIM	BD	PU	SUS	SPD	ENUM	RSVD			DACV
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	OEB	OEB REG	OEB SEL	RSVD	ROUTPMOS			RSVD	ROUTNMOS			PU IDO	IDOVFB		

位	名称	权限	复位值	描述
31:28	RSVD			
27	RCV	R	1'b0	rx_d
26	VIP	R	1'b0	rx_dp
25	VIM	R	1'b0	rx_dm
24	BD	R	1'b0	bd output
23	PU	R/W	1'b0	set 1 for power up usb transceiver
22	SUS	R/W	1'b0	suspend mode enable set 1 for suspend
21	SPD	R/W	1'b1	full-speed/low-speed mode select must be 1
20	ENUM	R/W	1'b0	0: 1.5k pull up resistor floating; 1: 1.5k pull up resistor connect to D+/D- depends on spd set 1 for enumerate
19:17	RSVD			
16	DACV	RW	1'b0	0: original vip/vim; 1: converted vip/vim Leave it as the default
15	RSVD			
14	OEB	R	1'b1	oeb

位	名称	权限	复位值	描述
13	OEBREG	RW	1'b1	Leave it as the default
12	OEBSEL	RW	1'b0	0: usb_oeb; 1: usb_oeb_reg Leave it as the default
11	RSVD			
10:8	ROUTPMOS	R/W	3'h3	Leave it as the default
7	RSVD			
6:4	ROUTNMOS	R/W	3'h3	Leave it as the default
3	PUIDO	R/W	1'b0	power up usb ldo Leave it as the default
2:0	IDOVFB	R/W	3'h3	usb ldo ref voltage Leave it as the default

### 3.3.57 usb\_xcvr\_config

地址: 0x4000022c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD	SRPR			RSVD	SRPF			RSVD	SRMR			RSVD	SRMF		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	PUTUNE			USE CTRL	STRDRV			USE XCVR	BDVTH			VHYSP		VHYSM	

位	名称	权限	复位值	描述
31	RSVD			
30:28	SRPR	R/W	3'h4	D+ rise slew rate control Leave it as the default
27	RSVD			
26:24	SRPF	R/W	3'h3	D+ fall slew rate control Leave it as the default
23	RSVD			
22:20	SRMR	R/W	3'h4	D- rise slew rate control Leave it as the default
19	RSVD			
18:16	SRMF	R/W	3'h3	D- fall slew rate control Leave it as the default

位	名称	权限	复位值	描述
15	RSVD			
14:12	PUTUNE	R/W	3'h2	pull up resistor tuning Leave it as the default
11	USECTRL	R/W	1'b1	1: USB XCVR use on-chip usb controller ; 0: USB XCVR usb off-chip usb controller Leave it as the default
10:8	STRDRV	R/W	3'h0	driver strength Leave it as the default
7	USEXCVR	R/W	1'b1	1: USB core use on-chip usb_xcvr; 0: USB core usb off-chip usb_xcvr Leave it as the default
6:4	BDVTH	R/W	3'h1	bd threshold voltage set 7
3:2	VHYSP	R/W	2'b1	D+ input hysteresis select Leave it as the default
1:0	VHYSM	R/W	2'b1	D- input hysteresis select Leave it as the default

### 3.3.58 gpdac\_ctrl

地址: 0x40000308

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							REF SEL	TSEN	RSVD				BRS ANA	ARS ANA	

位	名称	权限	复位值	描述
31:9	RSVD			
8	REFSEL	R/W	1'h0	Reference select 1'h0 Internal reference 1'h1 External reference
7	TSEN	R/W	1'h0	Test enable 1'h0 analog test disabled (ATEST is set in Hi-Z state) 1'h1 analog test point enabled to ATEST
6:2	RSVD			
1	BRSANA	R/W	1'h1	Soft reset for DAC channel B, active low

位	名称	权限	复位值	描述
0	ARSANA	R/W	1'h1	Soft reset for DAC channel A, active low

### 3.3.59 gpdac\_actrl

地址: 0x4000030c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD									AOMUX			ARNG		RSVD	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														IOA EN	AEN

位	名称	权限	复位值	描述
31:23	RSVD			
22:20	AOMUX	R/W	3'h0	
19:18	ARNG	R/W	2'h3	Output voltage range control with internal/external reference
17:2	RSVD			
1	IOAEN	R/W	1'h0	Channel A conversion output to pad enable 1'h0 Disable channel A conversion result to GPIO 1'h1 Enable channel A conversion result to GPIO
0	AEN	R/W	1'h0	Channel A enable/disable signal 1'h0 Disable channel A conversion. 1'h1 Enable channel A conversion

### 3.3.60 gpdac\_bctrl

地址: 0x40000310

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD									BOM			BRNG		RSVD	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														IOB EN	BEN

位	名称	权限	复位值	描述
31:23	RSVD			
22:20	BOM	R/W	3'h0	
19:18	BRNG	R/W	2'h3	Output voltage range control with internal/external reference
17:2	RSVD			
1	IOBEN	R/W	1'h0	channel B conversion output to pad enable 1'h0 Disable channel B conversion result to GPIO 1'h1 Enable channel B conversion result to GPIO
0	BEN	R/W	1'h0	channel B enable/disable signal 1'h0 Disable channel B conversion. 1'h1 Enable channel B conversion

### 3.3.61 gpdac\_data

地址: 0x40000314

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD						ADATA									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						BDATA									

位	名称	权限	复位值	描述
31:26	RSVD			
25:16	ADATA	R/W	10'h0	Channel A Data input
15:10	RSVD			
9:0	BDATA	R/W	10'h0	Channel B Data input

## 4.1 简介

芯片内置一个 12Bits 的逐次逼近式模拟数字转换器 (ADC)，支持 12 路外部模拟输入和若干内部模拟信号选择。ADC 可以工作在单次转换和多通道扫描两种模式下，转换结果为 12/14/16Bits 左对齐模式。ADC 拥有深度为 32 的 FIFO，支持多种中断，支持 DMA 操作。ADC 除了用于普通模拟信号测量外，还可以用于测量供电电压，此外 ADC 还可以通过测量内/外部二极管电压用于温度检测。

## 4.2 主要特点

- 高性能
  - 可以选择 12-bit, 14-bit, 16-bit 转换结果输出
  - ADC 最大工作时钟为 2MHZ
  - 支持 2.0V, 3.2V 可选内部参考电压
  - 支持 DMA 将转换结果搬运到内存
  - 支持单通道转换和多通道扫描两种模式
  - 支持单端与差分两种输入模式
  - 支持抖动补偿
  - 支持用户自行设定转换结果偏移值
- 模拟通道数
  - 12 路外部模拟通道
  - 2 路 DAC 内部通道
  - 1 路 VBAT/2 通道
  - 1 路 TSEN 通道



## 4.3 功能描述

ADC 模块基本框图如图所示。

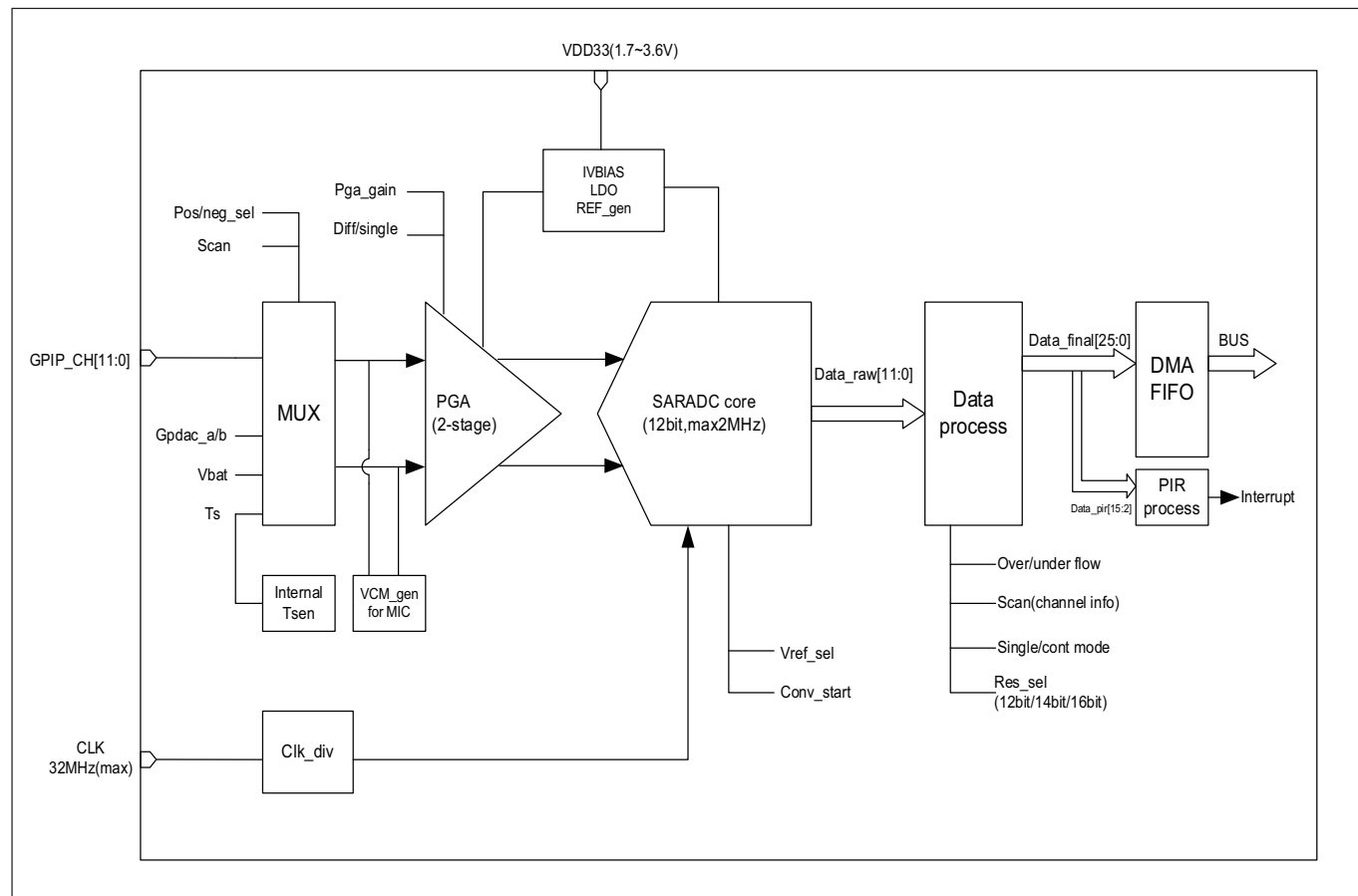


图 4.1: ADC 基本框图

ADC 模块包含五大部分，分别为前端输入通道选择器，程控放大器，ADC 采样模块，数据处理模块以及 FIFO。输入通道选择器用于选择需要采样的通道，既包含外部模拟信号，也包含内部模拟信号，程控放大器用于对输入信号做进一步处理，可以根据输入信号的特点，比如直流，交流，进行设定，以便得到更准确的转换值。ADC 采样模块是最主要的功能模块，实现通过逐次比较的方式，得到模拟信号到数字信号的转换。转换的结果的精度为 12Bit，数据处理模块负责将转换的结果进一步处理，包括添加通道信息等。最后得到的数据会推送到最后端的 FIFO 中。

### 4.3.1 ADC 引脚和内部信号

表 4.1: ADC 内部信号

内部信号	信号类型	信号描述
VBAT/2	Input	从电源引脚分压过来的电压信号
TSEN	Input	内部温度传感器输出电压

表 4.1: ADC 内部信号

内部信号	信号类型	信号描述
VREF	Input	内部模拟模块参考电压
DACOUTA	Input	DAC 模块输出
DACOUTB	Input	DAC 模块输出

表 4.2: ADC 外部引脚

外部引脚	信号类型	信号描述
VDDA	Input	模拟模块供电电压正极
VSSA	Input	模拟模块供电地
ADC_CHX	Input	模拟输入引脚，总共 12 路

### 4.3.2 ADC 通道

ADC 采样的可以选择的通道包括外部模拟引脚的输入信号和芯片内部可选信号，具体包括：

- ADC CH0
- ADC CH1
- ADC CH2
- ADC CH3
- ADC CH4
- ADC CH5
- ADC CH6
- ADC CH7
- ADC CH8
- ADC CH9
- ADC CH10
- ADC CH11
- DAC OUTA
- DAC OUTB

- VBAT/2
- TSEN
- VREF
- GND

需要注意的是，如果选择 VBAT/2 或 TSEN 作为输入待采信号，需要把 gpadc\_vbat\_en 或 gpadc\_ts\_en 置位。ADC 模块可以支持单端输入或者差分输入，如果是单端输入模式，负极输入通道需要选择 GND。

### 4.3.3 ADC 时钟

ADC 模块的工作时钟来源如下图所示。

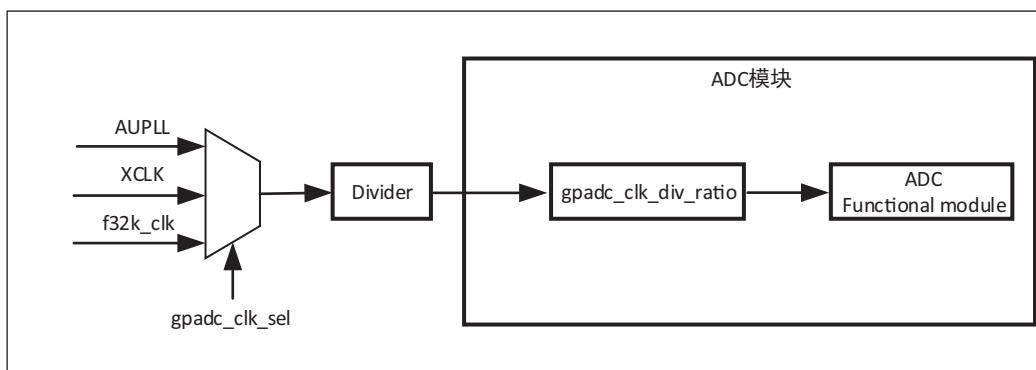


图 4.2: ADC 时钟

ADC 的时钟源可以选择来自 Audio PLL, XTAL 或者 f32k, 时钟源的选择在 GLB 模块中设定, 选择的同时可以通过分频器对时钟源进行分频。在一般的电压测量应用下, 会选择使用 XTAL 作为时钟源, 如果是在音频应用下, 可以使用 Audio PLL 去产生诸如 8KHZ,44.1KHZ 这样的常用采样时钟,f32k 是低频时钟, 为 MCU 睡眠的时候提供唤醒的时钟。

在 ADC 模块内部, 提供了一个时钟分频, 可以对输入时钟进行 1/4/8/12/16/20/24/32 分频。用户可以根据实际采样需求, 自行调整 ADC 的时钟源和各个分频系数, 注意 ADC 的最大输入时钟是 2.048MHZ。

gpadc\_32m\_clk\_div 分频寄存器宽度为 6Bits, 最大分频为 64, 分频公式为  $f_{out} = f_{source} / (gpadc\_32m\_clk\_div + 1)$ 。gpadc\_clk\_div\_ratio 分频寄存器位于 ADC 模块内部, 宽度为 3Bits, 其分频值定义如下:

ADC_CLK_DIV_1,	<i>/*!&lt; ADC clock:on 32M clock is 32M */</i>
ADC_CLK_DIV_4,	<i>/*!&lt; ADC clock:on 32M clock is 8M */</i>
ADC_CLK_DIV_8,	<i>/*!&lt; ADC clock:on 32M clock is 4M */</i>
ADC_CLK_DIV_12,	<i>/*!&lt; ADC clock:on 32M clock is 2.666M */</i>
ADC_CLK_DIV_16,	<i>/*!&lt; ADC clock:on 32M clock is 2M */</i>
ADC_CLK_DIV_20,	<i>/*!&lt; ADC clock:on 32M clock is 1.6M */</i>
ADC_CLK_DIV_24,	<i>/*!&lt; ADC clock:on 32M clock is 1.333M */</i>
ADC_CLK_DIV_32,	<i>/*!&lt; ADC clock:on 32M clock is 1M */</i>

用户若想调整 ADC 的输入时钟，将有四种方式。

1. 切换时钟源，XTAL 默认是 32MHZ，Audio PLL(可配置为 11.288MHZ 或 11.2896MHZ)。
2. 使用在时钟模块中长度为 6BITS 的分频器。
3. 使用 ADC 模块内部分频器，可选分频为 1/4/8/12/16/20/24/32 分频。
4. 通过配置 `gpadc_res_sel` 计算器，改变 OSR 的值，达成分频效果。如果 OSR=256，实际等效 ADC 的输入时钟做了 256 分频。

假设时钟源选择选择 Audio PLL=11.2896MHZ，GLB 分频选择配置为 1，ADC 内部分频器选择 `ADC_CLK_DIV_4`，OSR=128 则最终的时钟输出为  $f_{out} = 11289600 / (1 + 1) / 4 / 128 = 11025\text{HZ}$

#### 4.3.4 ADC 转换模式

ADC 支持单通道转换和扫描转换两种模式，在单通道转换模式下，用户需要通过 `gpadc_pos_sel` 选择正极输入通道，通过 `gpadc_neg_sel` 选择负极输入通道，同时把 `gpadc_cont_conv_en` 控制位设置为 0，表示单通道转换，然后设置 `gpadc_conv_start` 控制位启动转换即可。

在扫描转换模式下，`gpadc_cont_conv_en` 控制位需要设置为 1，ADC 根据 `gpadc_scan_length` 控制位设定的转换通道个数，依次按照 `gpadc_reg_scn_posX(X=1, 2)` 和 `gpadc_reg_scn_negX(X=1, 2)` 寄存器组所设定的通道顺序，逐个进行转换，转换的结果会自动推入 ADC 的 FIFO。`gpadc_reg_scn_posX(X=1, 2)` 和 `gpadc_reg_scn_negX(X=1, 2)` 寄存器组所设定的通道可以相同，这也就意味着用户可以实现对一个通道进行多次采样转换。

ADC 的转换结果一般都是放入 FIFO 中，ADC 模块不提供转换完成中断，用户需要根据实际转换通道数，设定 FIFO 接收数据阈值中断，通过 FIFO 的阈值中断，作为 ADC 转换完成中断。

#### 4.3.5 ADC 结果

`gpadc_raw_data` 寄存器存放了 ADC 的原始结果，在单端模式下，数据有效位是 12Bits，无符号位，在差分模式下，高位为符号位，剩下 11Bits 代表转换的结果。

`gpadc_dma_rdata` 寄存器存放了 ADC 的结果，这个结果里包含了 ADC 结果，符号位和通道信息，数据格式如下：

表 4.3: ADC 转换结果含义

BitS	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
含义	正极通道号					负极通道号					转换结果															

转换结果的 Bit21-Bit25 是正极通道号，Bit16-Bit20 是负极通道号，Bit0-Bit15 是转换的数值。

`gpadc_res_sel` 控制位可以设定转换结果的位数为 12 位，14 位，和 16 位，其中 14 位和 16 位是多次采样提高精度得到的结果，其可以设置的值如下：

- 3'b000 12bit 2MS/s, OSR=1

- 3'b001 14bit 125kS/s, OSR=16
- 3'b010 14bit 31.25kS/s, OSR=64
- 3'b011 16bit 15.625KS/s, OSR=128
- 3'b100 16bit 7.8125KS/s, OSR=256

ADC 转换结果为左对齐模式，当选择 12 位时，转换结果的 Bit15-Bit4 有效，当选择 14 位时，转换结果的 Bit15-Bit2 有效，当选择 16 位时，转换结果的 Bit15-Bit0 有效。同样，在差分模式下，最高为是符号为，也就是，当选择 14 位时，Bit15 是符号位，Bit14-Bit2 是转换结果，Bit14 是 MSB，在单端模式下，没有符号位，也就是，当选择 12 位时，Bit15-Bit4 是转换结果，Bit15 是 MSB。

在实际使用中，ADC 的结果一般都是放入 FIFO，这在多通道扫描模式下尤为重要，所以用户一般都是从 ADC FIFO 获取转换结果，ADC FIFO 的数据格式 `gpadc_dma_rdata` 寄存器中数据格式相同。

#### 4.3.6 ADC 异常中断

ADC 模块在正极采样饱和和负极采样饱和时可以产生中断，可以通过 `gpadc_pos_satur_mask`, `gpadc_neg_satur_mask` 屏蔽各自中断，当中断产生时，可以通过 `gpadc_pos_satur`, 和 `gpadc_neg_satur` 寄存器查询中断状态，同时可以通过 `gpadc_pos_satur_clr` 和 `gpadc_neg_satur_clr` 清除中断。该功能可以用来判断输入电压是否异常。

#### 4.3.7 ADC FIFO 与阈值中断

ADC 模块拥有深度为 32 的 FIFO，数据宽度为 26Bits，当 ADC 完成转换后，会自动将结果推入到 FIFO。ADC 的 FIFO 有如下状态和中断管理功能：

- FIFO Overrun 中断
- FIFO Underrun 中断
- FIFO 阈值中断

当 FIFO 已经填满，但是用户没有通过 DMA 或者直接访问寄存器的方式把读取取走，此时又有数据进入 FIFO，那么此时模块会产生一个 FIFO Overrun 中断。当 FIFO 为空，但是用户依旧向 FIFO 请求数据，那么此时模块会产生 FIFO Underrun 中断。

用户可以配置 FIFO 的阈值寄存器 `gpadc_fifo_thl`，选择 FIFO 产生中断的阈值，1、4、8、16 四种选择可选。如果 ADC 的 FIFO 数量达到设定的阈值数，那么会产生阈值中断。

当中断产生时，可以通过对应的 `clear` 位将中断标志清除掉。

利用 ADC 的 FIFO 用户可以实现三种模式获取数据：查询模式，中断模式，DMA 模式

##### 查询模式

CPU 轮询 ADC FIFO 的长度，当 FIFO 的长度不为空的时候，说明 FIFO 中存在有效数据，CPU 可以从 FIFO 中读出这些数据。

##### 中断模式

利用 FIFO 的阈值中断，当中断产生，ADC 的数据个数到达阈值，CPU 可以在中断服务函数中可以读取 ADC FIFO 的长度，将其全部读出。

## DMA 模式

用户设定 dmaen 控制位，可以配合 DMA 完成转换数据到内存的搬运，在使用 DMA 模式时，通过 fifothl 设置 ADC FIFO 发送 DMA 请求的数据个数阈值，DMA 在收到请求时，会自动根据用户设定的参数，从 FIFO 搬运指定个数的结果到对应的内存。

### 4.3.8 ADC 设置流程

#### 设置 ADC 时钟

根据 ADC 转换速度需求，确定 ADC 的工作时钟，设定 GLB 模块的 ADC 时钟源和分频，结合 clkdvrt，确定最终 ADC 模块的工作时钟频率。

#### 根据使用的通道设置 GPIO

根据使用的模拟引脚，确定使用的通道号，初始化对应的 GPIO 为模拟功能，需要注意的是，在设定 GPIO 为模拟输入的时候，不要设置 GPIO 的上拉或者下拉，需要设置为浮空输入。

#### 设定要转换的通道

根据使用的模拟通道和转换模式，设定对应的通道寄存器，对于单通道转换，在 possel 和 negsel 寄存器中设置转换的通道信息。对于多通道扫描模式，根据要扫描通道数目和扫描顺序，设定 sclen, scpX 和 scnX。

#### 设定数据读取方式

根据 ADC FIFO 介绍的读取数据方式，选择使用的模式，设置对应的寄存器。如果使用 DMA，同样需要配置 DMA 的一个通道，配合 ADC FIFO 完成数据的搬运。

#### 启动转换

最后设置 ressel 选择数据转换结果的精度，最后设置 gben=1, cvst=1 就可以启动 ADC 开始转换。当转换完成，需要再次转换时，需要将 cvst 设置为 0，再设置为 1，以便再次触发转换。

### 4.3.9 VBAT 测量

这里的 VBAT/2 测量的是芯片 VDD33 的电压，而不是外部的比如锂电池的电压，如果需要测量锂电池等供电源头的电压，可以将电压分压，然后输入 ADC 的 GPIO 模拟通道，测量 VDD33 的电压可以减少 GPIO 的使用。

ADC 模块测量的 VBAT/2 电压是经过分压的，实际输入到 ADC 模块的电压是 VDD33 的一半，即  $VBAT/2 = VDD33/2$ 。由于电压经过分压，为了得到较高的精确度，建议 ADC 的参考电压选择 2V，采用单端模式，正极输入电压选择 VBAT/2，负极输入电压选择 GND，同时将 vbaten 设置为 1，启动转换后，将对应的转换结果乘以 2 就可以得到 VDD33 电压。

### 4.3.10 TSEN 测量

ADC 可以测量内部二极管或者外部二极管电压值，而二极管的压差和温度有关，所以通过测量二极管的电压，可以计算得到环境温度，我们称之为 Temperature Sensor，简称 TSEN。

TSEN 的测试原理是通过一个二极管上面测量两次不同大小的电流产生的电压差  $\Delta V$  随着温度的变化拟合的曲线，无论外部或者内部二极管的测量，最终输出的值和温度有关，都可以表示成  $\Delta(\text{ADC\_out})=7.753T+X$ ，当我们知道了电压值，也就知道了温度  $T$ 。这里的  $X$  是一个偏移值，可以作为标准值，在实际使用前，我们需要确定  $X$ 。芯片厂商会在芯片出厂前，在标准温度下，例如室温 25 度，测量  $\Delta(\text{ADC\_out})$ ，从而得到  $X$ 。在用户使用的时候，只要根据公式  $T=[\Delta(\text{ADC\_out})-X]/7.753$ ，就可以得到温度  $T$ 。

在使用 TSEN 时，建议把 ADC 设置成 16Bits 模式，通过多次采样以减少误差，参考电压选择 2V 以提高精度，设置  $\text{tsen}$  为 1 以便启动 TSEN 功能，如果选择内部二极管， $\text{tsxten}=0$ ，如果选择外部二极管， $\text{tsxten}=1$ ，根据实际情况选择正向输入通道，如果是内部二极管，选择 TSEN 通道，如果是外部，选择对应的模拟 GPIO 通道，负极输入端选择 GND。在上述设定完毕后，设置  $\text{tsdc}=0$ ，启动测量，得到测量结果  $V0$ ，再设置  $\text{tsdc}=1$ ，启动测量，得到测量结果  $V1$ ， $\Delta(\text{ADC\_out})=V1-V0$ ，根据公式  $T=[\Delta(\text{ADC\_out})-X]/7.753$ ，得到温度  $T$ 。

## 4.4 寄存器描述

名称	描述
<code>gpadc_config</code>	GPADC configuration
<code>gpadc_dma_rdata</code>	GPADC DMA read data
<code>gpadc_reg_cmd</code>	GPADC register configuration 0
<code>gpadc_reg_config1</code>	GPADC register configuration 1
<code>gpadc_reg_config2</code>	GPADC register configuration 2
<code>gpadc_reg_scn_pos1</code>	adc conervation sequence 1
<code>gpadc_reg_scn_pos2</code>	adc conervation sequence 2
<code>gpadc_reg_scn_neg1</code>	adc conervation sequence 3
<code>gpadc_reg_scn_neg2</code>	adc conervation sequence 4
<code>gpadc_reg_status</code>	GPADC register status
<code>gpadc_reg_isr</code>	GPADC register operation
<code>gpadc_reg_raw_result</code>	GPADC register raw result
<code>gpadc_reg_define</code>	GPADC register define

### 4.4.1 gpadc\_config

地址：0x40002000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD								FIFOTHL		FIFODACN					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIFO RDYM	FURM	FORM	RDYM	RSVD	URCL	ORCL	RDY CLR	FIFO RDY	FIFO UR	FIFO OR	RDY	FIFO FULL	FIFO NE	FIFO CLR	DMA EN

位	名称	权限	复位值	描述
31:24	RSVD			
23:22	FIFOTHL	R/W	2'd0	fifo threshold 2'b00: 1 data 2'b01: 4 data 2'b10: 8 data 2'b11: 16 data
21:16	FIFODACN	R	6'd0	fifo data number
15	FIFORDYM	R/W	1'b1	write 1 mask
14	FURM	R/W	1'b0	write 1 mask
13	FORM	R/W	1'b0	write 1 mask
12	RDYM	R/W	1'b0	write 1 mask
11	RSVD			
10	URCL	W1C	1'b0	Write 1 to clear flag
9	ORCL	W1C	1'b0	Write 1 to clear flag
8	RDYCLR	W1C	1'b0	Write 1 to clear flag
7	FIFORDY	R	1'b0	FIFO ready interrupt flag
6	FIFOUR	R	1'b0	FIFO underrun interrupt flag
5	FIFOOR	R	1'b0	FIFO overrun interrupt flag
4	RDY	R	1'b0	Conversion data ready interrupt flag
3	FIFOFULL	R	1'b0	FIFO full flag
2	FIFONE	R	1'b0	FIFO not empty flag
1	FIFOCLR	W1C	1'b0	FIFO clear signal
0	DMAEN	R/W	1'b0	GPADC DMA enable

#### 4.4.2 gpadc\_dma\_rdata

地址: 0x40002004



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD						DMARDA									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMARDA															

位	名称	权限	复位值	描述
31:26	RSVD			
25:0	DMARDA	R	26'd0	GPADC final conversion result stored in the FIFO

#### 4.4.3 gpadc\_reg\_cmd

地址: 0x4000f90c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD	SENT EN	SENSEL		CSEN PU	RSVD			MB32 EN	MP2G		M1DF	M2DF	DWA EN	RSVD	MBBP
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MPEN	MBEN	NGGR	POSSEL					NEGSEL					SFRS	CVST	GBEN

位	名称	权限	复位值	描述
31	RSVD			
30	SENTEN	R/W	1'b0	enable sensor dc test mux
29:28	SENSEL	R/W	2'h0	selected output current channel and measurement channel 2'h0: 1st channel 2'h1: 2nd channel 2'h2: 3rd channel 2'h3: 4th channel
27	CSENPU	R/W	1'b0	enable chip sensor test 1'b0: disable 1'b1: enable
26:24	RSVD			
23	MB32EN	R/W	1'b0	micboost 32db enable 1'b0: 16dB 1'b1: 32dB
22:21	MP2G	R/W	2'h0	mic_pga2_gain 2'h0: 0dB 2'h1: 6dB 2'h2: -6dB 2'h3: 12dB

位	名称	权限	复位值	描述
20	M1DF	R/W	1'b0	mic1 diff enable 1'b0: single 1'b1: diff
19	M2DF	R/W	1'b0	mic2 diff enable 1'b0: single 1'b1: diff
18	DWAEN	R/W	1'b0	dwa enable 1'b0: dwa disable 1'b1: dwa enable
17	RSVD			
16	MBBP	R/W	1'b0	micboost amp bypass 1'b0: not bypass 1'b1: bypass
15	MPEN	R/W	1'b0	micpga enable 1'b0: micpga disable 1'b1: miapga enable
14	MBEN	R/W	1'b0	enable micbias 1'b0: micbias power down 1'b1: miabias power on
13	NGGR	R/W	1'b0	set negative input of adc to ground 1'b0: disable 1'b1: enable

位	名称	权限	复位值	描述
12:8	POSSEL	R/W	5'hf	select adc positive input in none-scan mode 5'h0 gpip_ch[0] 5'h1 gpip_ch[1] 5'h2 gpip_ch[2] 5'h3 gpip_ch[3] 5'h4 gpip_ch[4] 5'h5 gpip_ch[5] 5'h6 gpip_ch[6] 5'h7 gpip_ch[7] 5'h8 gpip_ch[8] 5'h9 gpip_ch[9] 5'h10 gpip_ch[10] 5'h11 gpip_ch[11] 5'h12 daca 5'h13 dacb 5'h14 temp_p 5'h16 vref 5'h18 vbat/2 5'h23 31 avss
7:3	NEGSEL	R/W	5'hf	select adc negative input in none-scan mode 5'h0 gpip_ch[0] 5'h1 gpip_ch[1] 5'h2 gpip_ch[2] 5'h3 gpip_ch[3] 5'h4 gpip_ch[4] 5'h5 gpip_ch[5] 5'h6 gpip_ch[6] 5'h7 gpip_ch[7] 5'h8 gpip_ch[8] 5'h9 gpip_ch[9] 5'h10 gpip_ch[10] 5'h11 gpip_ch[11] 5'h12 daca 5'h13 dacb 5'h14 temp_p 5'h16 vref 5'h18 vbat/2 5'h23 31 avss
2	SFRS	R/W	1'b0	user reset the whole block 1'h0: not reset 1'h1: reset
1	CVST	R/W	1'b0	1'h0: stop conervation 1'h1: start conervation
0	GBEN	R/W	1'b0	1'h0: disable ADC 1'h1: enable ADC

#### 4.4.4 gpadc\_reg\_config1

地址: 0x4000f910

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD	V18SEL		V11SEL		DTEN	SCEN	SCLN				CLKDVRT			ALCLK INV	RSVD
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					LDEN	HYST SEL	SEL EN	RSVD				RESSEL		CTCV EN	CAL OSEN

位	名称	权限	复位值	描述
31	RSVD			
30:29	V18SEL	R/W	2'h0	internal vdd18 select
28:27	V11SEL	R/W	2'h0	internal vdd11 select
26	DTEN	R/W	1'h0	Dither compensation enable
25	SCEN	R/W	1'h0	select scan mode enable: 0: select gpadc_pos/neg_sel;1: select : select gpadc_scan_pos_x and gpadc_scan_neg_x

位	名称	权限	复位值	描述
24:21	SCLEN	R/W	4'h0	select scan mode length 4'b0000 : select gpadc_scan_pos_0 and gpadc_scan_neg_0 4'b0001 : select gpadc_scan_pos_1 and gpadc_scan_neg_1 4'b0010 : select gpadc_scan_pos_2 and gpadc_scan_neg_2 4'b0011 : select gpadc_scan_pos_3 and gpadc_scan_neg_3 4'b0100 : select gpadc_scan_pos_4 and gpadc_scan_neg_4 4'b0101 : select gpadc_scan_pos_5 and gpadc_scan_neg_5 4'b0110 : select gpadc_scan_pos_6 and gpadc_scan_neg_6 4'b0111 : select gpadc_scan_pos_7 and gpadc_scan_neg_7 4'b1000 : select gpadc_scan_pos_8 and gpadc_scan_neg_8 4'b1001 : select gpadc_scan_pos_9 and gpadc_scan_neg_9 4'b1010 : select gpadc_scan_pos_10 and gpadc_scan_neg_10 4'b1011 : select gpadc_scan_pos_11 and gpadc_scan_neg_11
20:18	CLKDVRT	R/W	3'h3	analog 32M clock division ratio 3'b000: div=1 3'b001: div=4 3'b010: div=8 3'b011: div=12 3'b100: div=16 3'b101: div=20 3'b110: div=24 3'b111: div=32
17	ALCLKINV	R/W	1'b0	analog clock 2M inverted
16:11	RSVD			
10	LDEN	R/W	1'b0	Low power supply detected enable
9	HYSTSEL	R/W	1'b0	pga vcm hysteresis select when vcm_sel_en is enabled
8	SELEN	R/W	1'b0	pga vcm selected when lowv_det_en is enable
7:5	RSVD			

位	名称	权限	复位值	描述
4:2	RESSEL	R/W	3'h0	adc resolution/over-sample rate select 3'b000 12bit 2MS/s, OSR=1 3'b001 14bit 125kS/s, OSR=16 3'b010 14bit 31.25kS/s, OSR=64 3'b011 16bit 15.625KS/s, OSR=128 (voice mode 16KS/s) 3'b100 16bit 7.8125KS/s, OSR=256 (voice mode 8KS/s)
1	CTCVEN	R/W	1'b1	To enable continuous conversion 1'h0: one shot conversion 1'h1: continuous conversion
0	CALOSEN	R/W	1'b0	offset calibration enable

#### 4.4.5 gpadc\_reg\_config2

地址: 0x4000f914

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TSDC	CVSP			PGA1GAIN			PGA2GAIN			TESTSEL			TEST EN	BSEL	CHOM
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHOM	PVB EN	PGA EN	POSCAL				PGAVCM		TSEN	TSXT EN	VBAT EN	VREF SEL	DFMD	RSVD	

位	名称	权限	复位值	描述
31	TSDC	R/W	1'b0	tSEN diode current
30:28	CVSP	R/W	3'h0	adc conversion speed
27:25	PGA1GAIN	R/W	3'h0	3'h0: disable 3'h1: gain=1 3'h2: gain=2 3'h3: gain=4 3'h4: gain=8 3'h5: gain=16 3'h6: gain=32 3'h7: gain=32

位	名称	权限	复位值	描述
24:22	PGA2GAIN	R/W	3'h0	3'h0: disable 3'h1: gain=1 3'h2: gain=2 3'h3: gain=4 3'h4: gain=8 3'h5: gain=16 3'h6: gain=32 3'h7: gain=32
21:19	TESTSEL	R/W	3'h0	select test point 0 7
18	TESTEN	R/W	1'b0	Analog test enable.
17	BSEL	R/W	1'b0	adc analog portion low power mode select 1'h0: bandgap system 1'h1:aon bandgap
16:15	CHOM	R/W	2'h3	2'b11 all off 2'b11 Vref AZ on 2'b11 Vref AZ and PGA chop on 2'b11 Vref AZ and PGA chop+RPC on
14	PVBEN	R/W	1'b0	enable pga input vcm bias
13	PGAEN	R/W	1'b0	1'h0: disable PGA 1'h1 enable PGA
12:9	POSCAL	R/W	4'h8	pga offset calibration
8:7	PGAVCM	R/W	2'h2	Audio PGA output common mode control 2'b00: cm=1.3V 2'b11: cm=1.4V 2'b11: cm=1.5V 2'b11: cm=1.6V
6	TSEN	R/W	1'b0	1'h0: disable temperature sensor 1'h1: enable temperature sensor
5	TSXTEN	R/W	1'b0	1'h0: internal diode mode 1'h1: external diode mode
4	VBATEN	R/W	1'b0	1'h0: disable VBAT sensor 1'h1 enable VBAT sensor
3	VREFSEL	R/W	1'b0	ADC reference select 1'h0 3.2V 1'h1 2.0V
2	DFMD	R/W	1'b0	1'h0 single-ended 1'h1 differential
1:0	RSVD			

#### 4.4.6 gpadc\_reg\_scn\_pos1

地址: 0x4000f918

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		SCP5					SCP4					SCP3			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCP3		SCP2					SCP1					SCP0			

位	名称	权限	复位值	描述
31:30	RSVD			
29:25	SCP5	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
24:20	SCP4	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
19:15	SCP3	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
14:10	SCP2	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
9:5	SCP1	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
4:0	SCP0	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel

#### 4.4.7 gpadc\_reg\_scn\_pos2

地址: 0x4000f91c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		SCP11					SCP10					SCP9			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCP9		SCP8					SCP7					SCP6			

位	名称	权限	复位值	描述
31:30	RSVD			
29:25	SCP11	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
24:20	SCP10	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
19:15	SCP9	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
14:10	SCP8	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
9:5	SCP7	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
4:0	SCP6	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel



#### 4.4.8 gpadc\_reg\_scn\_neg1

地址: 0x4000f920

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		SCN5						SCN4				SCN3			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCN3		SCN2				SCN1					SCN0				

位	名称	权限	复位值	描述
31:30	RSVD			
29:25	SCN5	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
24:20	SCN4	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
19:15	SCN3	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
14:10	SCN2	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
9:5	SCN1	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
4:0	SCN0	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel

#### 4.4.9 gpadc\_reg\_scn\_neg2

地址: 0x4000f924

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		SCN11						SCN10				SCN9			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCN9		SCN8				SCN7					SCN6				

位	名称	权限	复位值	描述
31:30	RSVD			
29:25	SCN11	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
24:20	SCN10	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
19:15	SCN9	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
14:10	SCN8	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
9:5	SCN7	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
4:0	SCN6	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel

#### 4.4.10 gpadc\_reg\_status

地址: 0x4000f928

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														DARD	

位	名称	权限	复位值	描述
31:1	RSVD			
0	DARD	R	1'b0	ADC final conversion data ready

#### 4.4.11 gpadc\_reg\_isr

地址: 0x4000f92c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						PSM	NSM	RSVD		PSC	NSC	RSVD		PS	NS

位	名称	权限	复位值	描述
31:10	RSVD			
9	PSM	R/W	1'h0	write 1 mask
8	NSM	R/W	1'h0	write 1 mask
7:6	RSVD			
5	PSC	R/W	1'b0	Write 1 to clear flag
4	NSC	R/W	1'b0	Write 1 to clear flag
3:2	RSVD			
1	PS	R	1'b0	ADC data positive side saturation interrupt flag
0	NS	R	1'b0	ADC data negative side saturation interrupt flag

#### 4.4.12 gpadc\_reg\_raw\_result

地址: 0x4000f934

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				RAWDA											

位	名称	权限	复位值	描述
31:12	RSVD			
11:0	RAWDA	R	12'h0	ADC Raw data

#### 4.4.13 gpadc\_reg\_define

地址: 0x4000f938

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSCALDA															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	OSCALDA	R/W	16'h0	User defined or self calculated offset data 16-bit signed

## 5.1 简介

芯片内置一个 10Bits 的数字模拟转换器 (DAC), FIFO 深度为 1, 支持 2 路 DAC 调制输出。可用于音频播放, 常规的模拟信号调制。

## 5.2 主要特点

- DAC 调制精度为 10-Bits
- DAC 的输入时钟可选为 32M 或者 Audio PLL
- 支持 DMA 将内存搬运至 DAC 调制寄存器
- 支持双声道播放 DMA 搬运模式
- DAC 的输出引脚固定为 ChannelA 为 GPIO11, ChannelB 为 GPIO17
- DAC 的参考电压可选择内部

## 5.3 功能描述

DAC 模块基本框图如图所示。

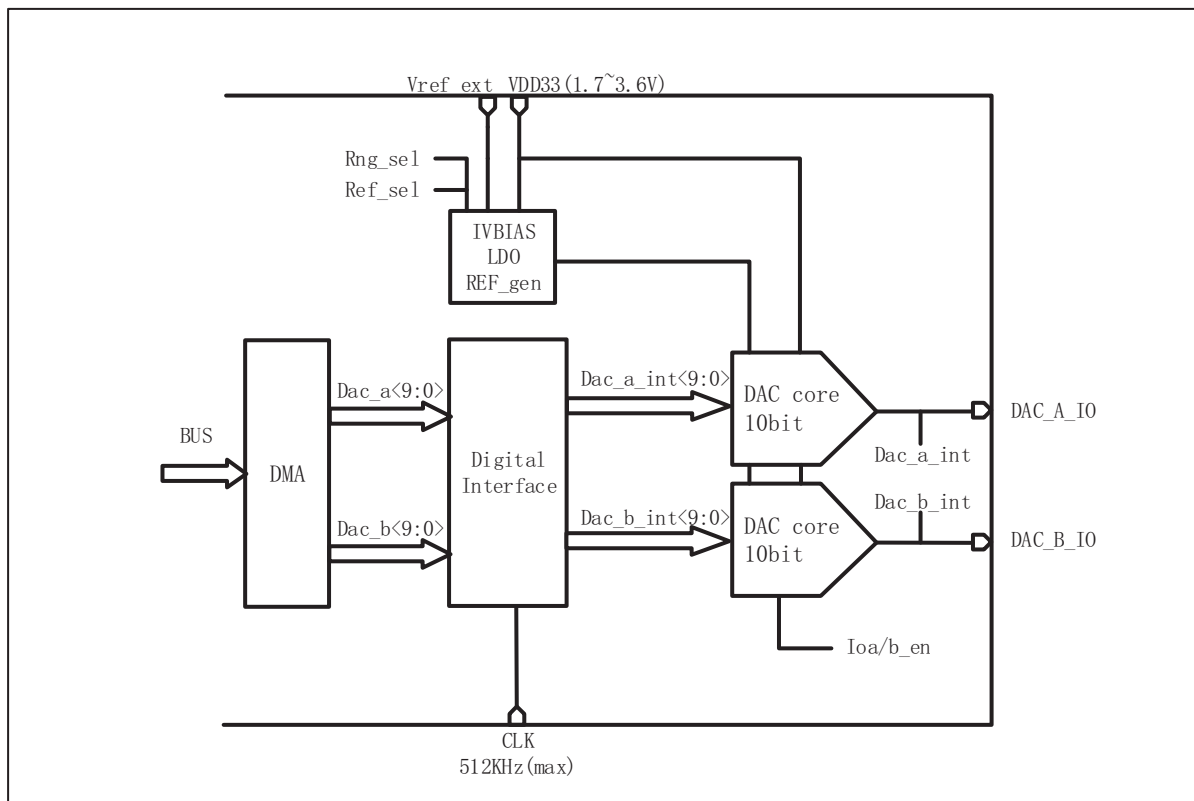


图 5.1: DAC 基本框图

DAC 模块包含两路 DAC 调制电路,以及调制模拟信号相关的电源电路,用户可以通过 Ref\_Sel 来选择 DAC 的参考电压是外部/内部,Ref\_Rng 来选择内部参考电压源。DAC 的调制数据可以由 CPU 直接写入 DAC 调制寄存器 (0x40000314 中的 GLB\_GPDAC\_A\_DATA、GLB\_GPDAC\_B\_DATA),也可以由 DMA 搬运至 gpdac\_dma\_wdata (0x40002048) 寄存器。

## DAC 的数据写入方式

CPU 直接写入 GLB\_GPDAC\_A\_DATA、GLB\_GPDAC\_B\_DATA 寄存器完成调制,或者使用 DMA,将需要调制的数据搬运到 gpdac\_dma\_wdata 中。

## DMA 的搬运模式

gpdac\_dma\_wdata (0x40002048) 是一个 32BITS 的寄存器,默认含义为,32BITS 值按顺序全部调制在 ChannelA 引脚上,也可配置为高 16 位默认是对应 Channel B 的模拟电压输出,低 16 位对应 Channel A 的模拟电压输出。注意无论是 32/16 位调制,都只有低 10 位有效,因为 DAC 的最大调制精度为 10BITS。用户可以通过配置 gpdac\_dma\_format 寄存器来修改 DMA 搬运的高低字节含义。

gpdac\_dma\_format 为 0,则 DMA 搬运进 gpdac\_dma\_wdata 的数据全部依次调制在 Channel A,调制顺序为 {A0},{A1},{A2},...。gpdac\_dma\_format 为 1,则 DMA 搬运进 gpdac\_dma\_wdata 的数据高 16 位调制在 Channel B,低 16 位调制在 Channel A。调制顺序为 {B0,A0},{B1,A1},{B2,A2},...。这样的特性在立体声播放中非常有作用。gpdac\_dma\_format 为 2,则 DMA 搬运进 gpdac\_dma\_wdata 的数据全部调制在 Channel A,但调制的顺序为 {A1,A0},{A3,A2},{A5,A4},...。

## DAC 外部参考电压选择

用户可以通过配置 `gpdac_ref_sel` (0x40000308[8]) 来配置选择外部参考电压还是内部参考电压。

如果选择内部参考电压，配置如下表所示。

表 5.1: DAC 外部引脚

<code>gpdac_a_rng</code>	<code>gpdac_ref_sel</code>	输出范围
00	0	0.2-1
01/10	0	0.225-1.425
11	0	0.2-1.8

如果选择外部参考电压，请将外部电压连入固定的 GPIO7。

## 5.4 寄存器描述

名称	描述
<code>gpdac_config</code>	GPDAC configuration
<code>gpdac_dma_config</code>	GPDAC dma configuration
<code>gpdac_dma_wdata</code>	GPDAC dma write data
<code>gpdac_ctrl</code>	GPDAC control
<code>gpdac_actrl</code>	GPDAC channelA control
<code>gpdac_bctrl</code>	GPDAC channelB control
<code>gpdac_data</code>	GPDAC data

### 5.4.1 `gpdac_config`

地址: 0x40002040

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD								CHBSEL				CHASEL			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					MODE			RSVD		DSMMODE		RSVD		EN2	EN

位	名称	权限	复位值	描述
31:24	RSVD			
23:20	CHBSEL	R/W	0	Channel B Source Select 0: Reg 1: DMA 2: DMA + Filter 3: Sin Gen 4: A (The same as channel A) 5: A (Inverse of channel A)
19:16	CHASEL	R/W	0	Channel A Source Select 0: Reg 1: DMA 2: DMA + Filter 3: Sin Gen
15:11	RSVD			
10:8	MODE	R/W	0	0:32k, 1:16k, 3:8k, 4:512k(for DMA only)
7:6	RSVD			
5:4	DSMMODE	R/W	0	0:bypass, 1:dsm order=1, 2: dsm order=2
3:2	RSVD			
1	EN2	R/W	0	GPDAC enable 2 (for B channel)
0	EN	R/W	0	GPDAC enable

## 5.4.2 gpdac\_dma\_config

地址: 0x40002044

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD										DMAFM		RSVD			DMA TXEN

位	名称	权限	复位值	描述
31:6	RSVD			

位	名称	权限	复位值	描述
5:4	DMAFM	R/W	0	DMA TX format (Data 12-bit) 0: A0, A1, A2... 1: B0,A0, B1,A1, B2,A2... 2: A1,A0, A3,A2, A5,A4... (Note: 20'h0,[11:0] or 4'h0,[27:16],4'h0,[11:0])
3:1	RSVD			
0	DMATXEN	R/W	0	GPDAC DMA TX enable

### 5.4.3 gpdac\_dma\_wdata

地址: 0x40002048

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMAWDA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAWDA															

位	名称	权限	复位值	描述
31:0	DMAWDA	W	x	GPDAC DMA TX data

### 5.4.4 gpdac\_ctrl

地址: 0x40000308

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							REF SEL	TSEN	RSVD				BRS ANA	ARS ANA	

位	名称	权限	复位值	描述
31:9	RSVD			
8	REFSEL	R/W	1'h0	Reference select 1'h0 Internal reference 1'h1 External reference
7	TSEN	R/W	1'h0	Test enable 1'h0 analog test disabled (ATEST is set in Hi-Z state) 1'h1 analog test point enabled to ATEST



位	名称	权限	复位值	描述
6:2	RSVD			
1	BRSANA	R/W	1'h1	Soft reset for DAC channel B, active low
0	ARSANA	R/W	1'h1	Soft reset for DAC channel A, active low

### 5.4.5 gpdac\_actrl

地址: 0x4000030c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD									AOMUX			ARNG		RSVD	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													IOA EN	AEN	

位	名称	权限	复位值	描述
31:23	RSVD			
22:20	AOMUX	R/W	3'h0	
19:18	ARNG	R/W	2'h3	Output voltage range control with internal/external reference
17:2	RSVD			
1	IOAEN	R/W	1'h0	Channel A conversion output to pad enable 1'h0 Disable channel A conversion result to GPIO 1'h1 Enable channel A conversion result to GPIO
0	AEN	R/W	1'h0	Channel A enable/disable signal 1'h0 Disable channel A conversion. 1'h1 Enable channel A conversion

### 5.4.6 gpdac\_bctrl

地址: 0x40000310

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD									BOM			BRNG		RSVD	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													IOB EN	BEN	

位	名称	权限	复位值	描述
31:23	RSVD			
22:20	BOM	R/W	3'h0	
19:18	BRNG	R/W	2'h3	Output voltage range control with internal/external reference
17:2	RSVD			
1	IOBEN	R/W	1'h0	channel B conversion output to pad enable 1'h0 Disable channel B conversion result to GPIO 1'h1 Enable channel B conversion result to GPIO
0	BEN	R/W	1'h0	channel B enable/disable signal 1'h0 Disable channel B conversion. 1'h1 Enable channel B conversion

### 5.4.7 gpdac\_data

地址: 0x40000314

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD						ADATA									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						BDATA									

位	名称	权限	复位值	描述
31:26	RSVD			
25:16	ADATA	R/W	10'h0	Channel A Data input
15:10	RSVD			
9:0	BDATA	R/W	10'h0	Channel B Data input

## 6.1 简介

DMA(Direct Memory Access) 是一种内存存取技术, 可以独立地直接读写系统内存, 而不需处理器介入处理。在同等程度的处理器负担下, DMA 是一种快速的数据传送方式。DMA 控制器有 8 组独立专用通道, 管理外围设备和内存之间的数据传输以提高总线效率。主要有三种类型传输包括内存至内存、内存至外设、外设至内存。并支持 LLI 链接列表功能。使用上由软件配置传输数据大小、数据源地址和目标地址。

## 6.2 主要特征

- 8 组独立专用通道
- 独立控制来源与目标存取宽度 (单字节、双字节、四字节)
- 每个通道独立作为读写缓存
- 每个通道可被独立的外设硬件触发或是软件触发
- 支持外设包括 UART、I2C、SPI、ADC、I2S。
- 八种流程控制
  - DMA 流程控制, 来源内存、目标内存
  - DMA 流程控制, 来源内存、目标外设
  - DMA 流程控制, 来源外设、目标内存
  - DMA 流程控制, 来源外设、目标外设
  - 目标外设流程控制, 来源外设、目标外设
  - 目标外设流程控制, 来源内存、目标外设
  - 来源外设流程控制, 来源外设、目标内存
  - 来源外设流程控制, 来源外设、目标外设

- 支持 LLI 链表功能，提高 DMA 效率

## 6.3 功能描述

### 6.3.1 工作原理

当一个设备试图通过总线直接向另一个设备传输数据 (一般是大批量的数据) 时，它会先向 CPU 发送 DMA 请求信号。外设通过 DMA 向 CPU 提出接管总线控制权的总线请求，CPU 收到该信号后，在当前的总线周期结束后，会按 DMA 信号的优先级和提出 DMA 请求的先后顺序响应 DMA 信号。CPU 对某个设备接口响应 DMA 请求时，会让出总线控制权。于是在 DMA 控制器的管理下，外设和存储器直接进行数据交换，而不需 CPU 干预。数据传送完毕后，设备会向 CPU 发送 DMA 结束信号，交还总线控制权。

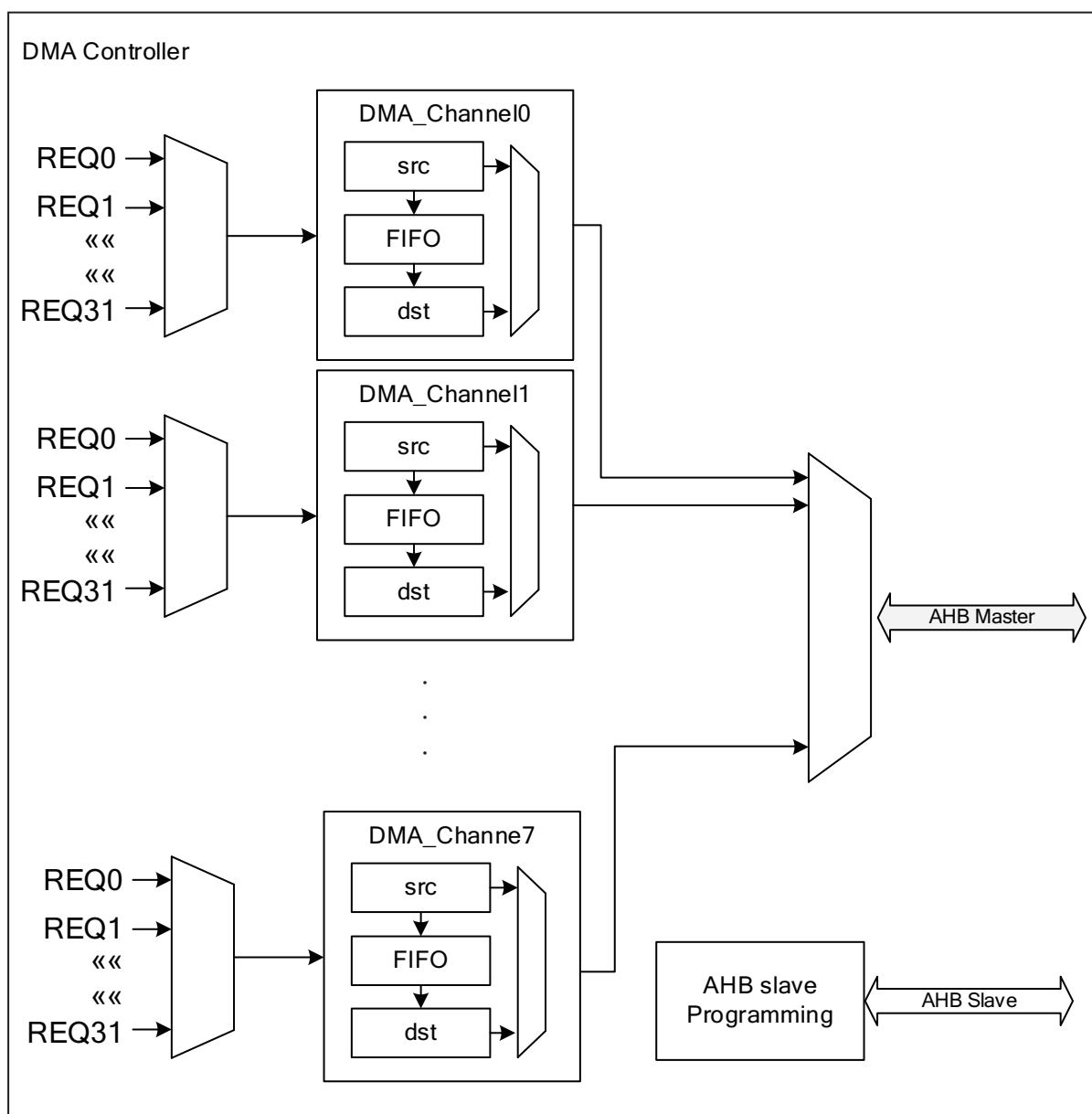


图 6.1: DMA 框图

DMA 包含一组 AHB Master 接口和一组 AHB Slave 接口。AHB Master 接口根据当前配置需求通过系统总线主动存取内存或是外设，做为数据搬移的端口。AHB Slave 接口作为配置 DMA 的接口，只支持 32-bit 存取。

### 6.3.2 DMA 通道配置

DMA 共支持 8 路通道，各通道之间互不干涉，可以同时运行，下面是 DMA 通道 x 的配置过程：

1. 在 DMA\_C0SrcAddr 寄存器中设置 32-bit 来源地址
2. 在 DMA\_C0DstAddr 寄存器中设置 32-bit 目标地址
3. 地址自动累加，可通过配置 DMA\_C0Control 寄存器中 SI(来源)、DI(目标) 设定是否开启地址自动累加模式，设置为 1 时，开启地址自动累加模式
4. 设置传输数据宽度，可通过配置 DMA\_C0Control 寄存器中 STW(来源)、DTW(目标) 位，宽度选项有单字节、双字节、四字节
5. Burst 型态，可通过配置 DMA\_C0Control 寄存器中 SBS(来源)、DBS(目标) 位来设置，配置选项有 Single、INCR4、INCR8、INCR16
6. 需要特别注意的是所配置的组合，单笔 burst 不能超过 16 字节
7. 设置数据传输长度的范围为：0-4095

### 6.3.3 外设支持

可通过配置 SrcPeripheral(来源) 和 DstPeripheral(目标) 来决定当前 DMA 配合的外设，关系为 0-5 : UART / 6-9 : I2C / 10-13 : SPI / 18-21 : I2S / 22-23 : ADC

#### UART 使用 DMA 传输数据

UART 发送数据包，使用 DMA 方式能大量减轻 CPU 处理的时间，使其 CPU 资源不被大量浪费，尤其在 UART 收发大量数据包（如高频率收发指令）时具有明显优势。

以 UART0 传输为例，配置过程如下：

1. 将寄存器 DMA\_C0Config[SRCPH] 位的值设置为 1，即将 Source peripheral 设置为 UART\_TX
2. 将寄存器 DMA\_C0Config[DSTPH] 位的值设置为 0，即将 Destination peripheral 设置为 UART\_RX

#### I2C 使用 DMA 传输数据

配置如下：

1. 将寄存器 DMA\_C0Config[SRCPH] 位的值设置为 7，即将 Source peripheral 设置为 I2C\_TX
2. 将寄存器 DMA\_C0Config[DSTPH] 位的值设置为 6，即将 Destination peripheral 设置为 I2C\_RX

#### SPI 使用 DMA 传输数据

配置如下：

- ## ADC0/1 使用 DMA 传输数据

1. 将寄存器 DMA\_C0Config[SRCPH] 位的值设置为 22/23，即将 Source peripheral 设置为 GPADC0/GPADC1

### 6.3.4 链表模式

DMA 支持链表工作模式。在进行一次 DMA 读或写操作时，可以向下一条链表中填写数据，当完成当前链表的数据传输后，通过读取 DMA\_C0LLI 寄存器的数值获取下一条链表的起始地址，直接传输下一条链表中的数据。保证 DMA 传输过程中连续不间断的工作，提高 CPU 和 DMA 的效率。

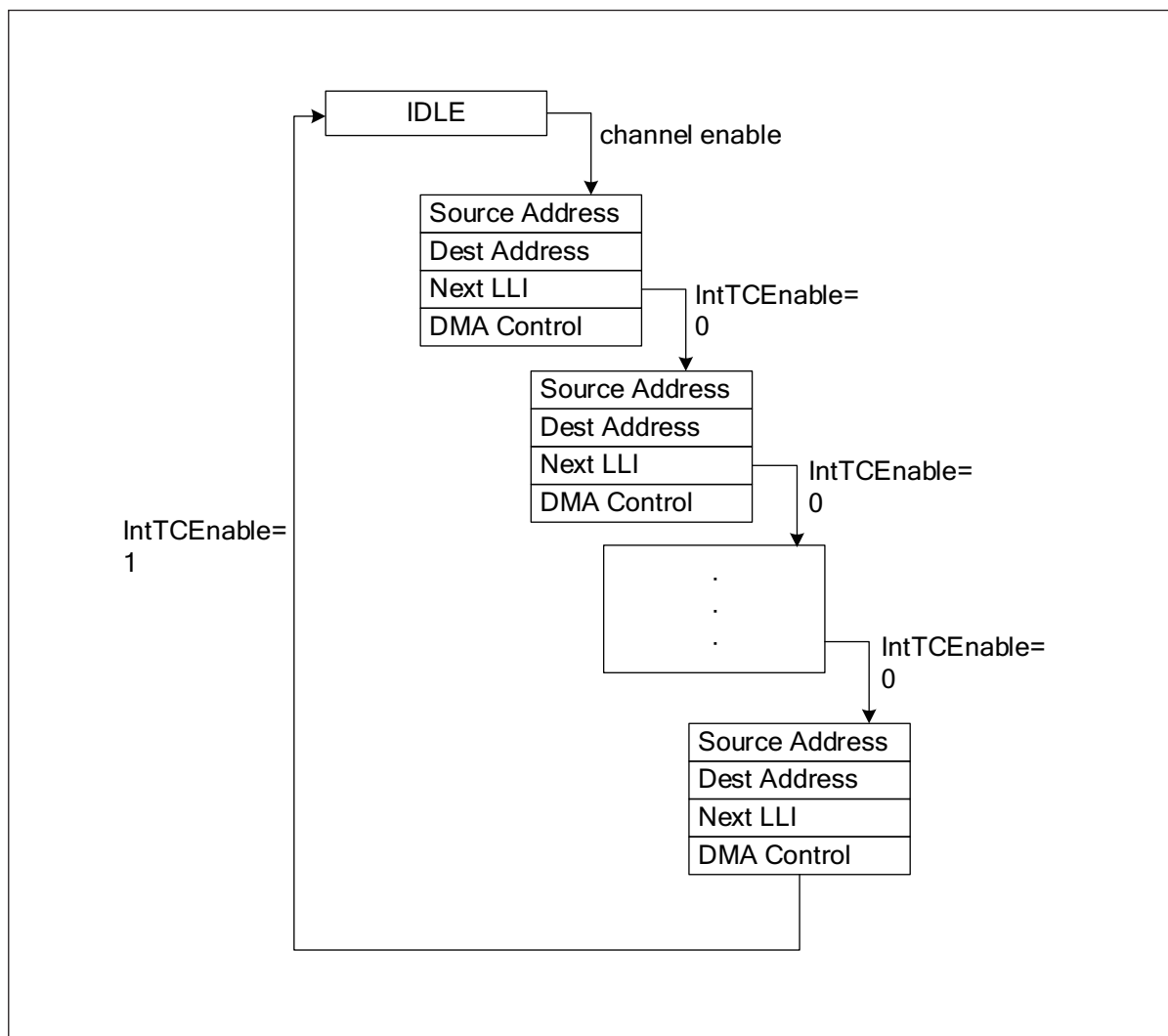


图 6.2: LLI 框架

### 6.3.5 DMA 中断

- DMA\_INT\_TCOMPLETED
  - 数据传输完成中断，当一次数据传输完毕后，会进入此中断
- DMA\_INT\_ERR
  - 数据传输出错中断，当数据传输过程中出现错误时，会进入此中断

## 6.4 传输模式

### 6.4.1 内存到内存

这个模式启动后，DMA 会根据设定好的搬移数量 (TransferSize)，将数据从来源地址搬到目标地址，传输完毕后 DMA 控制器会自动回到空闲状态，等待下一次的搬运。

具体配置流程如下：

1. 将寄存器 DMA\_C0SrcAddr 的值设置为来源的内存地址
2. 将寄存器 DMA\_C0DstAddr 的值设置为目标的内存地址
3. 选择传输模式，将寄存器 DMA\_C0Config[FLOWCTRL] 位的值设置为 0，即选择 memory-to-memory 模式
4. 设置 DMA\_C0Control 寄存器中对应的位的数值：DI、SI 位设置为 1，开启地址自动累加模式，DTW、STW 位分别设置来源和目标的传输宽度，DBS、SBS 位分别设置来源和目标的 burst 型态，
5. 选择合适的通道，使能 DMA，完成数据传输

### 6.4.2 内存到外设

在这种工作模式下，DMA 会根据设定好的搬移数量 (TransferSize)，把数据从来源端搬至内部缓存，当缓存空间不够时自动暂停，待有足够的缓存空间时继续，直到设定的搬移数量达到。另外一方面当目标外设请求触发会将目标配置 burst 到目标地址，直到达到设定搬移数量完成自动回到空闲状态，等待下一次启动

具体配置流程如下：

1. 将寄存器 DMA\_C0SrcAddr 的值设置为来源的内存地址
2. 将寄存器 DMA\_C0DstAddr 的值设置为目标的外设地址
3. 选择传输模式，将寄存器 DMA\_C0Config[FLOWCTRL] 位的值设置为 1，即选择 Memory-to-peripheral 模式
4. 设置 DMA\_C0Control 寄存器中对应的位的数值：DI、SI 位设置为 1，开启地址自动累加模式，DTW、STW 位分别设置来源和目标的传输宽度，DBS、SBS 位分别设置来源和目标的 burst 型态，
5. 选择合适的通道，使能 DMA，完成数据传输

### 6.4.3 外设到内存

在这种工作模式下，当来源外设请求触发时将来源配置 **burst** 到缓存，直到设定的搬移数量达到停止。另外一方面，当内部缓存足够一次目标 **burst** 数量时，DMA 会自动将缓存的内容搬到目标地址直到达到设定搬移数量完成自动回到空闲状态，等待下一次启动

具体配置流程如下：

1. 将寄存器 DMA\_C0SrcAddr 的值设置为来源的外设地址
2. 将寄存器 DMA\_C0DstAddr 的值设置为目标的内存地址
3. 选择传输模式，将寄存器 DMA\_C0Config[FLOWCTRL] 位的值设置为 2，即选择 Peripheral-to-memory 模式
4. 设置 DMA\_C0Control 寄存器中对应的位的数值：DI、SI 位设置为 1，开启地址自动累加模式，DTW、STW 位分别设置来源和目标的传输宽度，DBS、SBS 位分别设置来源和目标的 **burst** 型态，
5. 选择合适的通道，使能 DMA，完成数据传输

### 6.5 寄存器描述

名称	描述
DMA_IntStatus	Interrupt status
DMA_IntTCStatus	Interrupt terminal count request status
DMA_IntTCClear	Terminal count request clear
DMA_IntErrorStatus	Interrupt error status
DMA_IntErrClr	Interrupt error clear
DMA_RawIntTCStatus	Status of the terminal count interrupt prior to masking
DMA_RawIntErrorStatus	Status of the error interrupt prior to masking
DMA_EnbldChns	Channel enable status
DMA_SoftBReq	Software burst request
DMA_SoftSReq	Software single request
DMA_SoftLBReq	Software last burst request
DMA_SoftLSReq	Software last single request
DMA_Config	DMA general configuration
DMA_Sync	DMA request asynchronous setting
DMA_C0SrcAddr	Channel DMA source address
DMA_C0DstAddr	Channel DMA Destination address



名称	描述
DMA_C0LLI	Channel DMA link list
DMA_C0Control	Channel DMA bus control
DMA_C0Config	Channel DMA configuration
DMA_C1SrcAddr	Channel DMA source address
DMA_C1DstAddr	Channel DMA Destination address
DMA_C1LLI	Channel DMA link list
DMA_C1Control	Channel DMA bus control
DMA_C1Config	Channel DMA configuration
DMA_C2SrcAddr	Channel DMA source address
DMA_C2DstAddr	Channel DMA Destination address
DMA_C2LLI	Channel DMA link list
DMA_C2Control	Channel DMA bus control
DMA_C2Config	Channel DMA configuration
DMA_C3SrcAddr	Channel DMA source address
DMA_C3DstAddr	Channel DMA Destination address
DMA_C3LLI	Channel DMA link list
DMA_C3Control	Channel DMA bus control
DMA_C3Config	Channel DMA configuration
DMA_C4SrcAddr	Channel DMA source address
DMA_C4DstAddr	Channel DMA Destination address
DMA_C4LLI	Channel DMA link list
DMA_C4Control	Channel DMA bus control
DMA_C4Config	Channel DMA configuration
DMA_C5SrcAddr	Channel DMA source address
DMA_C5DstAddr	Channel DMA Destination address
DMA_C5LLI	Channel DMA link list
DMA_C5Control	Channel DMA bus control
DMA_C5Config	Channel DMA configuration
DMA_C6SrcAddr	Channel DMA source address

名称	描述
DMA_C6DstAddr	Channel DMA Destination address
DMA_C6LLI	Channel DMA link list
DMA_C6Control	Channel DMA bus control
DMA_C6Config	Channel DMA configuration
DMA_C7SrcAddr	Channel DMA source address
DMA_C7DstAddr	Channel DMA Destination address
DMA_C7LLI	Channel DMA link list
DMA_C7Control	Channel DMA bus control
DMA_C7Config	Channel DMA configuration

### 6.5.1 DMA\_IntStatus

地址: 0x40007000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								INTSTA							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	INTSTA	R	0	Status of the DMA interrupts after masking

### 6.5.2 DMA\_IntTCStatus

地址: 0x40007004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								INTTCSTA							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	INTTCSTA	R	0	Interrupt terminal count request status

### 6.5.3 DMA\_IntTCClear

地址: 0x40007008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								TCRC							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	TCRC	W	0	Terminal count request clear

### 6.5.4 DMA\_IntErrorStatus

地址: 0x4000700c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								IES							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	IES	R	0	Interrupt error status

### 6.5.5 DMA\_IntErrClr

地址: 0x40007010

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								IEC							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	IEC	W	0	Interrupt error clear

### 6.5.6 DMA\_RawIntTCStatus

地址: 0x40007014

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								SOTCIPTM							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	SOTCIPTM	R	0	Status of the terminal count interrupt prior to masking

### 6.5.7 DMA\_RawIntErrorStatus

地址: 0x40007018

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								SOTEIPTM							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	SOTEIPTM	R	0	Status of the error interrupt prior to masking

### 6.5.8 DMA\_EnbldChns

地址: 0x4000701c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								CES							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	CES	R	0	Channel enable status

### 6.5.9 DMA\_SoftBReq

地址: 0x40007020

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SBR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SBR															

位	名称	权限	复位值	描述
31:0	SBR	R/W	0	Software burst request

### 6.5.10 DMA\_SoftSReq

地址: 0x40007024

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SSR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSR															

位	名称	权限	复位值	描述
31:0	SSR	R/W	0	Software single request

### 6.5.11 DMA\_SoftLBReq

地址: 0x40007028

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SLBR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SLBR															

位	名称	权限	复位值	描述
31:0	SLBR	R/W	0	Software last burst request

### 6.5.12 DMA\_SoftLSReq

地址: 0x4000702c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SLSR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SLSR															

位	名称	权限	复位值	描述
31:0	SLSR	R/W	0	Software last single request

### 6.5.13 DMA\_Config

地址: 0x40007030

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													AHB MEC	SDMA EN	

位	名称	权限	复位值	描述
31:2	RSVD			
1	AHBMEC	R/W	0	AHB Master endianness configuration: 0 = little-endian, 1 = big-endian

位	名称	权限	复位值	描述
0	SDMAEN	R/W	0	SMDMA Enable.

### 6.5.14 DMA\_Sync

地址: 0x40007034

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DSLFDERS															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSLFDERS															

位	名称	权限	复位值	描述
31:0	DSLFDERS	R/W	0	DMA synchronization logic for DMA request signals: 0 = enable, 1 = disable

### 6.5.15 DMA\_C0SrcAddr

地址: 0x40007100

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMASA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMASA															

位	名称	权限	复位值	描述
31:0	DMASA	R/W	0	DMA source address

### 6.5.16 DMA\_C0DstAddr

地址: 0x40007104

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMADA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMADA															

位	名称	权限	复位值	描述
31:0	DMADA	R/W	0	DMA Destination address

### 6.5.17 DMA\_COLLI

地址: 0x40007108

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLLI															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLLI															

位	名称	权限	复位值	描述
31:0	FLLI	R/W	0	First linked list item. Bits [1:0] must be 0.

### 6.5.18 DMA\_C0Control

地址: 0x4000710c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCI EN	PROTECT			DI	SI	RSVD	FIXCNT		DTW		RSVD	STW		ADD MODE	DBS
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBS	MIN MODE	SBS		TS											

位	名称	权限	复位值	描述
31	TCIEN	R/W	0	Terminal count interrupt enable bit. It controls whether the current LLI is expected to trigger the terminal count interrupt.
30:28	PROTECT	R/W	0	Protection.
27	DI	R/W	1	Destination increment. When set, the Destination address is incremented after each transfer.
26	SI	R/W	1	Source increment. When set, the source address is incremented after each transfer.
25	RSVD			



位	名称	权限	复位值	描述
24:23	FIXCNT	R/W	2'd0	Only effect when dst_min_mode = 1 Destination transfer cnt = (total src byte cnt - (fix_cnt«DWidth))«DWidth
22:21	DTW	R/W	2'b10	Destination transfer width: 8/16/32
20	RSVD			
19:18	STW	R/W	2'b10	Source transfer width: 8/16/32
17	ADDMODE	R/W	1'b0	Add mode : issue remain destination traffic
16:15	DBS	R/W	2'b01	Destination burst size: 1/4/8/16
14	MINMODE	R/W	1'b0	Minus mode : Not issue all destination traffic
13:12	SBS	R/W	2'b01	Source burst size: 1/4/8/16. Note CH FIFO Size is 16Bytes and SBS*Swidh should <= 16B
11:0	TS	R/W	0	Transfer size: 0 4095. Number of data transfers left to complete when the SMDMA is the flow controller.

## 6.5.19 DMA\_C0Config

地址: 0x40007110

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		LLICOUNT										RSVD	HALT	ACTIVE	LOCK
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCIM	IEM	FLOWCTRL				DSTPH					SRCPH				CHEN

位	名称	权限	复位值	描述
31:30	RSVD			
29:20	LLICOUNT	R	0	LLI counter. Increased 1 each LLI run. Cleared 0 when config Control.
19	RSVD			
18	HALT	R/W	0	Halt: 0 = enable DMA requests, 1 = ignore subsequent source DMA requests.
17	ACTIVE	R	0	Active: 0 = no data in FIFO of the channel, 1 = FIFO of the channel has data.
16	LOCK	R/W	0	Lock.
15	TCIM	R/W	0	Terminal count interrupt mask.
14	IEM	R/W	0	Interrupt error mask.

位	名称	权限	复位值	描述
13:11	FLOWCTRL	R/W	0	000: Memory-to-memory (DMA) 001: Memory-to-peripheral (DMA) 010: Peripheral-to-memory (DMA) 011: Source peripheral-to-Destination peripheral (DMA) 100: Source peripheral-to-Destination peripheral (Destination peripheral) 101: Memory-to-peripheral (peripheral) 110: Peripheral-to-memory (peripheral) 111: Source peripheral-to-Destination peripheral (Source peripheral)
10:6	DSTPH	R/W	0	Destination peripheral. [23:22] GPADC [21:18] I2S [17:14] PDM [13:10] SSP [ 9: 6] I2C [ 5: 0] UART
5:1	SRCPH	R/W	0	Source peripheral.
0	CHEN	R/W	0	Channel enable.

### 6.5.20 DMA\_C1SrcAddr

地址: 0x40007200

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMASA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMASA															

位	名称	权限	复位值	描述
31:0	DMASA	R/W	0	DMA source address

### 6.5.21 DMA\_C1DstAddr

地址: 0x40007204

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMADA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMADA															

位	名称	权限	复位值	描述
31:0	DMADA	R/W	0	DMA Destination address

## 6.5.22 DMA\_C1LLI

地址: 0x40007208

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLLI															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLLI														RSVD	

位	名称	权限	复位值	描述
31:2	FLLI	R/W	0	First linked list item. Bits [1:0] must be 0.
1:0	RSVD			

## 6.5.23 DMA\_C1Control

地址: 0x4000720c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCI EN	PROTECT			DI	SI	RSVD	FIXCNT		DTW		STW			ADD MODE	DBS
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBS	MIN MODE	SBS		TS											

位	名称	权限	复位值	描述
31	TCIEN	R/W	0	Terminal count interrupt enable bit. It controls whether the current LLI is expected to trigger the terminal count interrupt.
30:28	PROTECT	R/W	0	Protection.

位	名称	权限	复位值	描述
27	DI	R/W	1	Destination increment. When set, the Destination address is incremented after each transfer.
26	SI	R/W	1	Source increment. When set, the source address is incremented after each transfer.
25	RSVD			
24:23	FIXCNT	R/W	2'd0	Only effect when dst_min_mode = 1 Destination transfer cnt = (total src byte cnt - (fix_cnt«DWidth))«DWidth
22:21	DTW	R/W	3'b010	Destination transfer width: 8/16/32
20:18	STW	R/W	3'b010	Source transfer width: 8/16/32
17	ADDMODE	R/W	1'b0	Add mode : issue remain destination traffic
16:15	DBS	R/W	3'b001	Destination burst size: 1/4/8/16
14	MINMODE	R/W	1'b0	Minus mode : Not issue all destination traffic
13:12	SBS	R/W	3'b001	Source burst size: 1/4/8/16. Note CH FIFO Size is 16Bytes and SBS*Swidth should <= 16B
11:0	TS	R/W	0	Transfer size: 0 4095. Number of data transfers left to complete when the SMDMA is the flow controller.

## 6.5.24 DMA\_C1Config

地址: 0x40007210

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD													HALT	ACTIVE	LOCK
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCIM	IEM	FLOWCTRL				DSTPH					SRCPH				CHEN

位	名称	权限	复位值	描述
31:19	RSVD			
18	HALT	R/W	0	Halt: 0 = enable DMA requests, 1 = ignore subsequent source DMA requests.
17	ACTIVE	R	0	Active: 0 = no data in FIFO of the channel, 1 = FIFO of the channel has data.
16	LOCK	R/W	0	Lock.
15	TCIM	R/W	0	Terminal count interrupt mask.

位	名称	权限	复位值	描述
14	IEM	R/W	0	Interrupt error mask.
13:11	FLOWCTRL	R/W	0	000: Memory-to-memory (DMA) 001: Memory-to-peripheral (DMA) 010: Peripheral-to-memory (DMA) 011: Source peripheral-to-Destination peripheral (DMA) 100: Source peripheral-to-Destination peripheral (Destination peripheral) 101: Memory-to-peripheral (peripheral) 110: Peripheral-to-memory (peripheral) 111: Source peripheral-to-Destination peripheral (Source peripheral)
10:6	DSTPH	R/W	0	Destination peripheral. [23:22] GPADC [21:18] I2S [17:14] PDM [13:10] SSP [ 9: 6] I2C [ 5: 0] UART
5:1	SRCPH	R/W	0	Source peripheral.
0	CHEN	R/W	0	Channel enable.

### 6.5.25 DMA\_C2SrcAddr

地址: 0x40007300

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMASA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMASA															

位	名称	权限	复位值	描述
31:0	DMASA	R/W	0	DMA source address

### 6.5.26 DMA\_C2DstAddr

地址: 0x40007304

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMADA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMADA															

位	名称	权限	复位值	描述
31:0	DMADA	R/W	0	DMA Destination address

### 6.5.27 DMA\_C2LLI

地址: 0x40007308

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLLI															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLLI														RSVD	

位	名称	权限	复位值	描述
31:2	FLLI	R/W	0	First linked list item. Bits [1:0] must be 0.
1:0	RSVD			

### 6.5.28 DMA\_C2Control

地址: 0x4000730c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCI EN	PROTECT			DI	SI	RSVD	FIXCNT		DTW		STW			ADD MODE	DBS
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBS	MIN MODE	SBS		TS											

位	名称	权限	复位值	描述
31	TCIEN	R/W	0	Terminal count interrupt enable bit. It controls whether the current LLI is expected to trigger the terminal count interrupt.
30:28	PROTECT	R/W	0	Protection.

位	名称	权限	复位值	描述
27	DI	R/W	1	Destination increment. When set, the Destination address is incremented after each transfer.
26	SI	R/W	1	Source increment. When set, the source address is incremented after each transfer.
25	RSVD			
24:23	FIXCNT	R/W	2'd0	Only effect when dst_min_mode = 1 Destination transfer cnt = (total src byte cnt - (fix_cnt«DWidth))«DWidth
22:21	DTW	R/W	3'b010	Destination transfer width: 8/16/32
20:18	STW	R/W	3'b010	Source transfer width: 8/16/32
17	ADDMODE	R/W	1'b0	Add mode : issue remain destination traffic
16:15	DBS	R/W	3'b001	Destination burst size: 1/4/8/16
14	MINMODE	R/W	1'b0	Minus mode : Not issue all destination traffic
13:12	SBS	R/W	3'b001	Source burst size: 1/4/8/16. Note CH FIFO Size is 16Bytes and SBSSize*Swidth should <= 16B
11:0	TS	R/W	0	Transfer size: 0 4095. Number of data transfers left to complete when the SMDMA is the flow controller.

## 6.5.29 DMA\_C2Config

地址: 0x40007310

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD													HALT	ACTIVE	LOCK
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCIM	IEM	FLOWCTRL				DSTPH					SRCPH				CHEN

位	名称	权限	复位值	描述
31:19	RSVD			
18	HALT	R/W	0	Halt: 0 = enable DMA requests, 1 = ignore subsequent source DMA requests.
17	ACTIVE	R	0	Active: 0 = no data in FIFO of the channel, 1 = FIFO of the channel has data.
16	LOCK	R/W	0	Lock.
15	TCIM	R/W	0	Terminal count interrupt mask.

位	名称	权限	复位值	描述
14	IEM	R/W	0	Interrupt error mask.
13:11	FLOWCTRL	R/W	0	000: Memory-to-memory (DMA) 001: Memory-to-peripheral (DMA) 010: Peripheral-to-memory (DMA) 011: Source peripheral-to-Destination peripheral (DMA) 100: Source peripheral-to-Destination peripheral (Destination peripheral) 101: Memory-to-peripheral (peripheral) 110: Peripheral-to-memory (peripheral) 111: Source peripheral-to-Destination peripheral (Source peripheral)
10:6	DSTPH	R/W	0	Destination peripheral. [23:22] GPADC [21:18] I2S [17:14] PDM [13:10] SSP [ 9: 6] I2C [ 5: 0] UART
5:1	SRCPH	R/W	0	Source peripheral.
0	CHEN	R/W	0	Channel enable.

### 6.5.30 DMA\_C3SrcAddr

地址: 0x40007400

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMASA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMASA															

位	名称	权限	复位值	描述
31:0	DMASA	R/W	0	DMA source address

### 6.5.31 DMA\_C3DstAddr

地址: 0x40007404



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMADA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMADA															

位	名称	权限	复位值	描述
31:0	DMADA	R/W	0	DMA Destination address

### 6.5.32 DMA\_C3LLI

地址: 0x40007408

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLLI															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLLI														RSVD	

位	名称	权限	复位值	描述
31:2	FLLI	R/W	0	First linked list item. Bits [1:0] must be 0.
1:0	RSVD			

### 6.5.33 DMA\_C3Control

地址: 0x4000740c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCI EN	PROTECT			DI	SI	RSVD	FIXCNT		DTW		STW			ADD MODE	DBS
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBS	MIN MODE	SBS		TS											

位	名称	权限	复位值	描述
31	TCIEN	R/W	0	Terminal count interrupt enable bit. It controls whether the current LLI is expected to trigger the terminal count interrupt.
30:28	PROTECT	R/W	0	Protection.

位	名称	权限	复位值	描述
27	DI	R/W	1	Destination increment. When set, the Destination address is incremented after each transfer.
26	SI	R/W	1	Source increment. When set, the source address is incremented after each transfer.
25	RSVD			
24:23	FIXCNT	R/W	2'd0	Only effect when dst_min_mode = 1 Destination transfer cnt = (total src byte cnt - (fix_cnt«DWidth))«DWidth
22:21	DTW	R/W	3'b010	Destination transfer width: 8/16/32
20:18	STW	R/W	3'b010	Source transfer width: 8/16/32
17	ADDMODE	R/W	1'b0	Add mode : issue remain destination traffic
16:15	DBS	R/W	3'b001	Destination burst size: 1/4/8/16
14	MINMODE	R/W	1'b0	Minus mode : Not issue all destination traffic
13:12	SBS	R/W	3'b001	Source burst size: 1/4/8/16. Note CH FIFO Size is 16Bytes and SBS*Swidth should <= 16B
11:0	TS	R/W	0	Transfer size: 0 4095. Number of data transfers left to complete when the SMDMA is the flow controller.

### 6.5.34 DMA\_C3Config

地址: 0x40007410

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD													HALT	ACTIVE	LOCK
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCIM	IEM	FLOWCTRL				DSTPH					SRCPH				CHEN

位	名称	权限	复位值	描述
31:19	RSVD			
18	HALT	R/W	0	Halt: 0 = enable DMA requests, 1 = ignore subsequent source DMA requests.
17	ACTIVE	R	0	Active: 0 = no data in FIFO of the channel, 1 = FIFO of the channel has data.
16	LOCK	R/W	0	Lock.
15	TCIM	R/W	0	Terminal count interrupt mask.

位	名称	权限	复位值	描述
14	IEM	R/W	0	Interrupt error mask.
13:11	FLOWCTRL	R/W	0	000: Memory-to-memory (DMA) 001: Memory-to-peripheral (DMA) 010: Peripheral-to-memory (DMA) 011: Source peripheral-to-Destination peripheral (DMA) 100: Source peripheral-to-Destination peripheral (Destination peripheral) 101: Memory-to-peripheral (peripheral) 110: Peripheral-to-memory (peripheral) 111: Source peripheral-to-Destination peripheral (Source peripheral)
10:6	DSTPH	R/W	0	Destination peripheral. [23:22] GPADC [21:18] I2S [17:14] PDM [13:10] SSP [ 9: 6] I2C [ 5: 0] UART
5:1	SRCPH	R/W	0	Source peripheral.
0	CHEN	R/W	0	Channel enable.

### 6.5.35 DMA\_C4SrcAddr

地址: 0x40007500

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMASA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMASA															

位	名称	权限	复位值	描述
31:0	DMASA	R/W	0	DMA source address

### 6.5.36 DMA\_C4DstAddr

地址: 0x40007504

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMADA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMADA															

位	名称	权限	复位值	描述
31:0	DMADA	R/W	0	DMA Destination address

### 6.5.37 DMA\_C4LLI

地址: 0x40007508

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLLI															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLLI														RSVD	

位	名称	权限	复位值	描述
31:2	FLLI	R/W	0	First linked list item. Bits [1:0] must be 0.
1:0	RSVD			

### 6.5.38 DMA\_C4Control

地址: 0x4000750c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCI EN	PROTECT			DI	SI	RSVD	FIXCNT		DTW		STW			ADD MODE	DBS
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBS	MIN MODE	SBS		TS											

位	名称	权限	复位值	描述
31	TCIEN	R/W	0	Terminal count interrupt enable bit. It controls whether the current LLI is expected to trigger the terminal count interrupt.
30:28	PROTECT	R/W	0	Protection.

位	名称	权限	复位值	描述
27	DI	R/W	1	Destination increment. When set, the Destination address is incremented after each transfer.
26	SI	R/W	1	Source increment. When set, the source address is incremented after each transfer.
25	RSVD			
24:23	FIXCNT	R/W	2'd0	Only effect when dst_min_mode = 1 Destination transfer cnt = (total src byte cnt - (fix_cnt«DWidth))«DWidth
22:21	DTW	R/W	3'b010	Destination transfer width: 8/16/32
20:18	STW	R/W	3'b010	Source transfer width: 8/16/32
17	ADDMODE	R/W	1'b0	Add mode : issue remain destination traffic
16:15	DBS	R/W	3'b001	Destination burst size: 1/4/8/16
14	MINMODE	R/W	1'b0	Minus mode : Not issue all destination traffic
13:12	SBS	R/W	3'b001	Source burst size: 1/4/8/16. Note CH FIFO Size is 16Bytes and SBSSize*Swidth should <= 16B
11:0	TS	R/W	0	Transfer size: 0 4095. Number of data transfers left to complete when the SMDMA is the flow controller.

### 6.5.39 DMA\_C4Config

地址: 0x40007510

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD													HALT	ACTIVE	LOCK
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCIM	IEM	FLOWCTRL				DSTPH					SRCPH				CHEN

位	名称	权限	复位值	描述
31:19	RSVD			
18	HALT	R/W	0	Halt: 0 = enable DMA requests, 1 = ignore subsequent source DMA requests.
17	ACTIVE	R	0	Active: 0 = no data in FIFO of the channel, 1 = FIFO of the channel has data.
16	LOCK	R/W	0	Lock.
15	TCIM	R/W	0	Terminal count interrupt mask.

位	名称	权限	复位值	描述
14	IEM	R/W	0	Interrupt error mask.
13:11	FLOWCTRL	R/W	0	000: Memory-to-memory (DMA) 001: Memory-to-peripheral (DMA) 010: Peripheral-to-memory (DMA) 011: Source peripheral-to-Destination peripheral (DMA) 100: Source peripheral-to-Destination peripheral (Destination peripheral) 101: Memory-to-peripheral (peripheral) 110: Peripheral-to-memory (peripheral) 111: Source peripheral-to-Destination peripheral (Source peripheral)
10:6	DSTPH	R/W	0	Destination peripheral. [23:22] GPADC [21:18] I2S [17:14] PDM [13:10] SSP [ 9: 6] I2C [ 5: 0] UART
5:1	SRCPH	R/W	0	Source peripheral.
0	CHEN	R/W	0	Channel enable.

#### 6.5.40 DMA\_C5SrcAddr

地址: 0x40007600

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMASA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMASA															

位	名称	权限	复位值	描述
31:0	DMASA	R/W	0	DMA source address

#### 6.5.41 DMA\_C5DstAddr

地址: 0x40007604

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMADA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMADA															

位	名称	权限	复位值	描述
31:0	DMADA	R/W	0	DMA Destination address

### 6.5.42 DMA\_C5LLI

地址: 0x40007608

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLLI															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLLI														RSVD	

位	名称	权限	复位值	描述
31:2	FLLI	R/W	0	First linked list item. Bits [1:0] must be 0.
1:0	RSVD			

### 6.5.43 DMA\_C5Control

地址: 0x4000760c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCI EN	PROTECT			DI	SI	RSVD	FIXCNT		DTW		STW			ADD MODE	DBS
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBS	MIN MODE	SBS		TS											

位	名称	权限	复位值	描述
31	TCIEN	R/W	0	Terminal count interrupt enable bit. It controls whether the current LLI is expected to trigger the terminal count interrupt.
30:28	PROTECT	R/W	0	Protection.

位	名称	权限	复位值	描述
27	DI	R/W	1	Destination increment. When set, the Destination address is incremented after each transfer.
26	SI	R/W	1	Source increment. When set, the source address is incremented after each transfer.
25	RSVD			
24:23	FIXCNT	R/W	2'd0	Only effect when dst_min_mode = 1 Destination transfer cnt = (total src byte cnt - (fix_cnt«DWidth))«DWidth
22:21	DTW	R/W	3'b010	Destination transfer width: 8/16/32
20:18	STW	R/W	3'b010	Source transfer width: 8/16/32
17	ADDMODE	R/W	1'b0	Add mode : issue remain destination traffic
16:15	DBS	R/W	3'b001	Destination burst size: 1/4/8/16
14	MINMODE	R/W	1'b0	Minus mode : Not issue all destination traffic
13:12	SBS	R/W	3'b001	Source burst size: 1/4/8/16. Note CH FIFO Size is 16Bytes and SBSSize*Swidth should <= 16B
11:0	TS	R/W	0	Transfer size: 0 4095. Number of data transfers left to complete when the SMDMA is the flow controller.

## 6.5.44 DMA\_C5Config

地址: 0x40007610

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD													HALT	ACTIVE	LOCK
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCIM	IEM	FLOWCTRL				DSTPH					SRCPH				CHEN

位	名称	权限	复位值	描述
31:19	RSVD			
18	HALT	R/W	0	Halt: 0 = enable DMA requests, 1 = ignore subsequent source DMA requests.
17	ACTIVE	R	0	Active: 0 = no data in FIFO of the channel, 1 = FIFO of the channel has data.
16	LOCK	R/W	0	Lock.
15	TCIM	R/W	0	Terminal count interrupt mask.



位	名称	权限	复位值	描述
14	IEM	R/W	0	Interrupt error mask.
13:11	FLOWCTRL	R/W	0	000: Memory-to-memory (DMA) 001: Memory-to-peripheral (DMA) 010: Peripheral-to-memory (DMA) 011: Source peripheral-to-Destination peripheral (DMA) 100: Source peripheral-to-Destination peripheral (Destination peripheral) 101: Memory-to-peripheral (peripheral) 110: Peripheral-to-memory (peripheral) 111: Source peripheral-to-Destination peripheral (Source peripheral)
10:6	DSTPH	R/W	0	Destination peripheral. [23:22] GPADC [21:18] I2S [17:14] PDM [13:10] SSP [ 9: 6] I2C [ 5: 0] UART
5:1	SRCPH	R/W	0	Source peripheral.
0	CHEN	R/W	0	Channel enable.

### 6.5.45 DMA\_C6SrcAddr

地址: 0x40007700

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMASA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMASA															

位	名称	权限	复位值	描述
31:0	DMASA	R/W	0	DMA source address

### 6.5.46 DMA\_C6DstAddr

地址: 0x40007704

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMADA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMADA															

位	名称	权限	复位值	描述
31:0	DMADA	R/W	0	DMA Destination address

### 6.5.47 DMA\_C6LLI

地址: 0x40007708

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLLI															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLLI														RSVD	

位	名称	权限	复位值	描述
31:2	FLLI	R/W	0	First linked list item. Bits [1:0] must be 0.
1:0	RSVD			

### 6.5.48 DMA\_C6Control

地址: 0x4000770c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCI EN	PROTECT			DI	SI	RSVD	FIXCNT		DTW		STW			ADD MODE	DBS
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBS	MIN MODE	SBS		TS											

位	名称	权限	复位值	描述
31	TCIEN	R/W	0	Terminal count interrupt enable bit. It controls whether the current LLI is expected to trigger the terminal count interrupt.
30:28	PROTECT	R/W	0	Protection.

位	名称	权限	复位值	描述
27	DI	R/W	1	Destination increment. When set, the Destination address is incremented after each transfer.
26	SI	R/W	1	Source increment. When set, the source address is incremented after each transfer.
25	RSVD			
24:23	FIXCNT	R/W	2'd0	Only effect when dst_min_mode = 1 Destination transfer cnt = (total src byte cnt - (fix_cnt«DWidth))«DWidth
22:21	DTW	R/W	3'b010	Destination transfer width: 8/16/32
20:18	STW	R/W	3'b010	Source transfer width: 8/16/32
17	ADDMODE	R/W	1'b0	Add mode : issue remain destination traffic
16:15	DBS	R/W	3'b001	Destination burst size: 1/4/8/16
14	MINMODE	R/W	1'b0	Minus mode : Not issue all destination traffic
13:12	SBS	R/W	3'b001	Source burst size: 1/4/8/16. Note CH FIFO Size is 16Bytes and SBSSize*Swidth should <= 16B
11:0	TS	R/W	0	Transfer size: 0 4095. Number of data transfers left to complete when the SMDMA is the flow controller.

## 6.5.49 DMA\_C6Config

地址: 0x40007710

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD													HALT	ACTIVE	LOCK
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCIM	IEM	FLOWCTRL				DSTPH					SRCPH				CHEN

位	名称	权限	复位值	描述
31:19	RSVD			
18	HALT	R/W	0	Halt: 0 = enable DMA requests, 1 = ignore subsequent source DMA requests.
17	ACTIVE	R	0	Active: 0 = no data in FIFO of the channel, 1 = FIFO of the channel has data.
16	LOCK	R/W	0	Lock.
15	TCIM	R/W	0	Terminal count interrupt mask.

位	名称	权限	复位值	描述
14	IEM	R/W	0	Interrupt error mask.
13:11	FLOWCTRL	R/W	0	000: Memory-to-memory (DMA) 001: Memory-to-peripheral (DMA) 010: Peripheral-to-memory (DMA) 011: Source peripheral-to-Destination peripheral (DMA) 100: Source peripheral-to-Destination peripheral (Destination peripheral) 101: Memory-to-peripheral (peripheral) 110: Peripheral-to-memory (peripheral) 111: Source peripheral-to-Destination peripheral (Source peripheral)
10:6	DSTPH	R/W	0	Destination peripheral. [23:22] GPADC [21:18] I2S [17:14] PDM [13:10] SSP [ 9: 6] I2C [ 5: 0] UART
5:1	SRCPH	R/W	0	Source peripheral.
0	CHEN	R/W	0	Channel enable.

### 6.5.50 DMA\_C7SrcAddr

地址: 0x40007800

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMASA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMASA															

位	名称	权限	复位值	描述
31:0	DMASA	R/W	0	DMA source address

### 6.5.51 DMA\_C7DstAddr

地址: 0x40007804

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMADA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMADA															

位	名称	权限	复位值	描述
31:0	DMADA	R/W	0	DMA Destination address

### 6.5.52 DMA\_C7LLI

地址: 0x40007808

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLLI															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLLI														RSVD	

位	名称	权限	复位值	描述
31:2	FLLI	R/W	0	First linked list item. Bits [1:0] must be 0.
1:0	RSVD			

### 6.5.53 DMA\_C7Control

地址: 0x4000780c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCI EN	PROTECT			DI	SI	RSVD	FIXCNT		DTW		STW			ADD MODE	DBS
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBS	MIN MODE	SBS		TS											

位	名称	权限	复位值	描述
31	TCIEN	R/W	0	Terminal count interrupt enable bit. It controls whether the current LLI is expected to trigger the terminal count interrupt.
30:28	PROTECT	R/W	0	Protection.

位	名称	权限	复位值	描述
27	DI	R/W	1	Destination increment. When set, the Destination address is incremented after each transfer.
26	SI	R/W	1	Source increment. When set, the source address is incremented after each transfer.
25	RSVD			
24:23	FIXCNT	R/W	2'd0	Only effect when dst_min_mode = 1 Destination transfer cnt = (total src byte cnt - (fix_cnt«DWidth))«DWidth
22:21	DTW	R/W	3'b010	Destination transfer width: 8/16/32
20:18	STW	R/W	3'b010	Source transfer width: 8/16/32
17	ADDMODE	R/W	1'b0	Add mode : issue remain destination traffic
16:15	DBS	R/W	3'b001	Destination burst size: 1/4/8/16
14	MINMODE	R/W	1'b0	Minus mode : Not issue all destination traffic
13:12	SBS	R/W	3'b001	Source burst size: 1/4/8/16. Note CH FIFO Size is 16Bytes and SBSSize*Swidth should <= 16B
11:0	TS	R/W	0	Transfer size: 0 4095. Number of data transfers left to complete when the SMDMA is the flow controller.

### 6.5.54 DMA\_C7Config

地址: 0x40007810

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD													HALT	ACTIVE	LOCK
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCIM	IEM	FLOWCTRL				DSTPH					SRCPH				CHEN

位	名称	权限	复位值	描述
31:19	RSVD			
18	HALT	R/W	0	Halt: 0 = enable DMA requests, 1 = ignore subsequent source DMA requests.
17	ACTIVE	R	0	Active: 0 = no data in FIFO of the channel, 1 = FIFO of the channel has data.
16	LOCK	R/W	0	Lock.
15	TCIM	R/W	0	Terminal count interrupt mask.

位	名称	权限	复位值	描述
14	IEM	R/W	0	Interrupt error mask.
13:11	FLOWCTRL	R/W	0	000: Memory-to-memory (DMA) 001: Memory-to-peripheral (DMA) 010: Peripheral-to-memory (DMA) 011: Source peripheral-to-Destination peripheral (DMA) 100: Source peripheral-to-Destination peripheral (Destination peripheral) 101: Memory-to-peripheral (peripheral) 110: Peripheral-to-memory (peripheral) 111: Source peripheral-to-Destination peripheral (Source peripheral)
10:6	DSTPH	R/W	0	Destination peripheral. [23:22] GPADC [21:18] I2S [17:14] PDM [13:10] SSP [ 9: 6] I2C [ 5: 0] UART
5:1	SRCPH	R/W	0	Source peripheral.
0	CHEN	R/W	0	Channel enable.

## 7.1 简介

L1 Cache Controller 是位于处理器外部, 用于管理 Flash/pSRAM 上代码或者数据缓冲, 提高 CPU 访问 Flash/pSRAM 速度的单元模块。架构如下图:

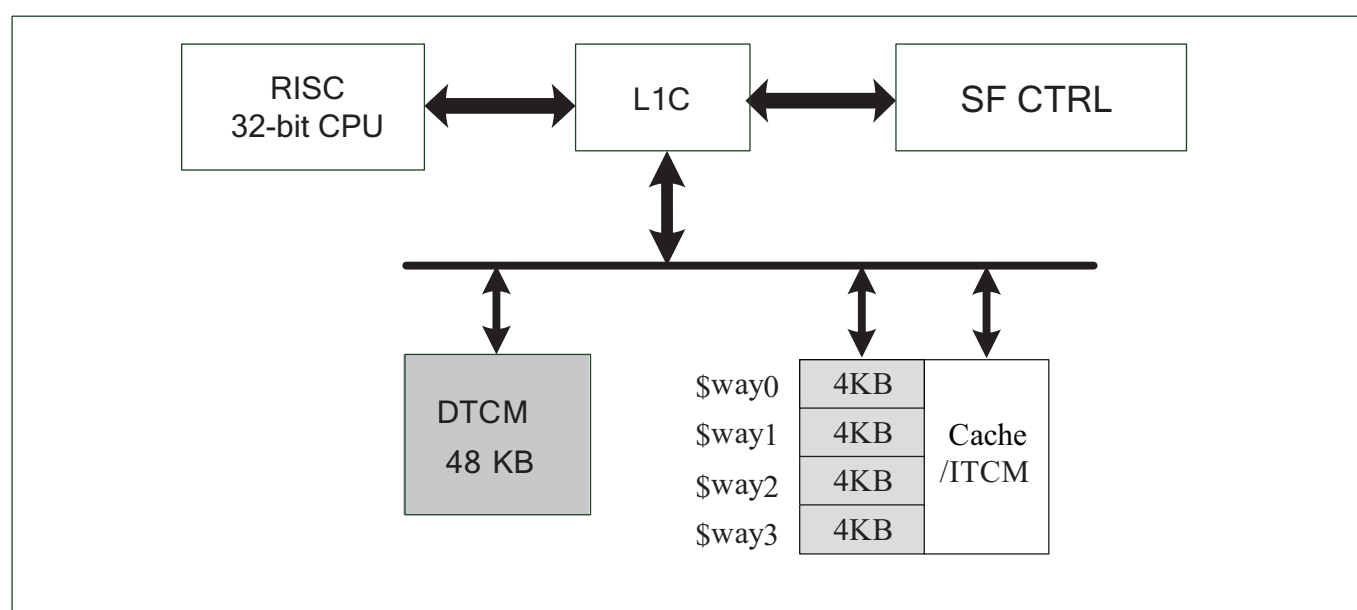


图 7.1: LIC 架构

L1C 是集成在处理器和 Flash/pSRAM 中间的高速单元, 因为处理器的速度非常快, 当处理器访问 Flash/pSRAM 需要等待的时间较长, 等待的时间即代表浪费的时间, 浪费的时间越少代表效能的浪费越多, L1C 缓存可以在处理器与 Flash/pSRAM 中间当作润滑的角色, 让处理器效率提升。

## 7.2 主要特征

- 4 路相联映射缓存 (4-way Set-Associative mapping)



- 可调变的缓存空间大小
- 与 TCM 地址空间连续，可以方便的配置 L1C 空间为 TCM 空间
- 支持缓存效能统计

## 7.3 功能描述

### 7.3.1 TCM 与 Cache RAM 资源相互变换

为了增加内存使用效率，支持将 Cache 的 16K RAM 全部或者部分调整为 TCM 空间，这样方便用户根据实际情况，调整内存使用方式和效率。Cache 的默认大小为 16K，分为 4 条 way，每条 way 是 4K，调整的单位是 1 条 way，也就是 4K。ITCM 的默认大小是 16K。通过 WayDisable 的设定可以灵活的调整 Cache 和 ITCM 的实际空间大小。

表 7.1: WayDisable 的设定

WayDisable	Cache	ITCM
none	16K	0K
one way	12K	4K
two way	8K	8K
three way	4K	12K
four way	0K	16K

### 7.3.2 缓存 (Cache)

缓存每条 line buffer 单位为 32 字节，采用 4 路相联映射缓存，应用架构如下：

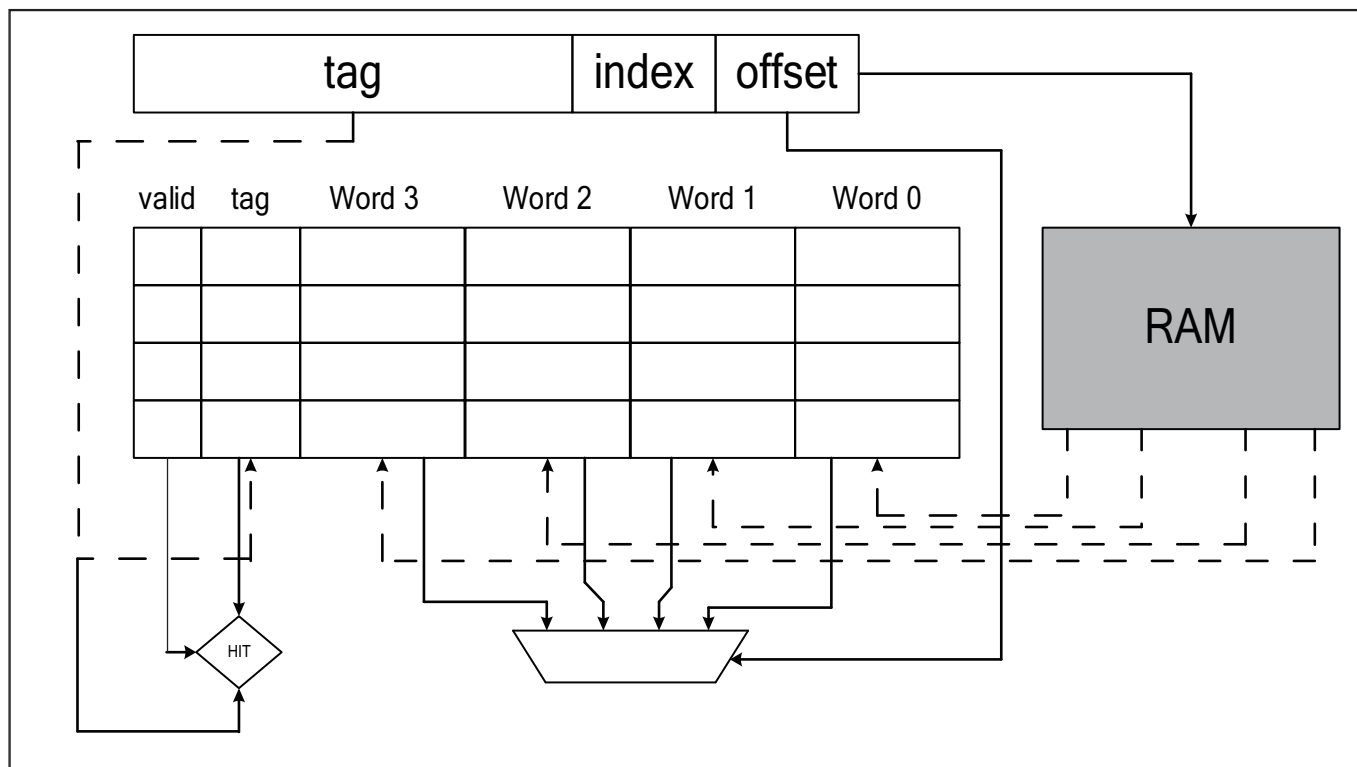


图 7.2: 缓存架构

每组相联映射缓存包含两个部分，第一个是 **tag**，包含了有效值和地址映像关系，第二部分是数据储存。当处理器存取缓存时，缓存处理器会比对地址和 **tag** 的关系，当地址比对成功时代表可以直接从缓存取数据，反之缓存处理器则会通过 **AHB Master** 抓取相关的数据并同时放进缓存和响应处理器的数据。当大部分的数据都可以在 **tag** 中比对成功时，可以大幅度缩短处理器的等待时间，增加使用效率。

## 7.4 寄存器描述

名称	描述
l1c_config	L1C configuration
hit_cnt_lsb	Low 32-bit hit couter
hit_cnt_msb	High 32-bit hit counter
miss_cnt	Miss counter

### 7.4.1 l1c\_config

地址: 0x40009000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				WAYDIS				RSVD						CNT EN	CAC ABLE

位	名称	权限	复位值	描述
31:12	RSVD			
11:8	WAYDIS	R/W	4'b1111	Disable part of cache ways & used as ITCM
7:2	RSVD			
1	CNTEN	R/W	0	
0	CACABLE	R/W	0	

### 7.4.2 hit\_cnt\_lsb

地址: 0x40009004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNTLSB															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNTLSB															

位	名称	权限	复位值	描述
31:0	CNTLSB	R	0	

### 7.4.3 hit\_cnt\_msb

地址: 0x40009008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNTMSB															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNTMSB															

位	名称	权限	复位值	描述
31:0	CNTMSB	R	0	total hit count = hit_cnt_msb*232 + hit_cnt_lsb

#### 7.4.4 miss\_cnt

地址: 0x4000900c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MISSCNT															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MISSCNT															

位	名称	权限	复位值	描述
31:0	MISSCNT	R	0	

## 8.1 简介

红外遥控（Infrared remote，简称 IR）是一种无线、非接触式控制技术，具有抗干扰能力强、信息传输可靠、功耗低、成本低等优点。红外遥控的发射电路是采用红外发光二极管来发出经过调制的红外光波；接收电路由红外接收二极管、三极管或硅光电池组成，它们将红外发射器发射的红外光转换为相应的电信号，再送至后置放大器。

## 8.2 主要特征

- 支持以固定协议 NEC、RC-5 接收数据
- 支持以脉冲宽度计数方式接收任意格式数据
- 强大的红外波形编辑能力，可发出符合各种协议的波形
- 多达 15 个档位的功率设定，以适应不同的功耗要求
- 最多支持 64-bit 数据位
- 64 字节的接收 FIFO
- 载波频率与占空比可编程

## 8.3 功能描述

### 8.3.1 固定协议接收

IR 接收支持两种固定的协议，分别为 NEC 协议和 RC-5 协议。

- NEC 协议

NEC 协议的逻辑 1 与逻辑 0 波形如下图所示：

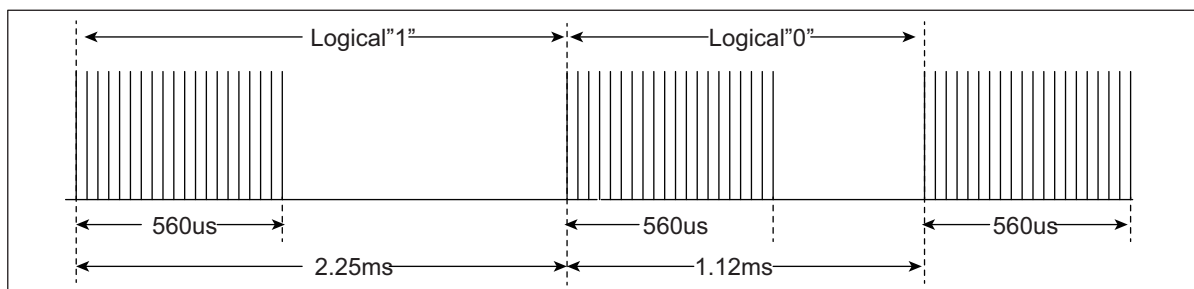


图 8.1: NEC 逻辑波形

逻辑 1 为 2.25ms，脉冲时间 560us；逻辑 0 位 1.12ms，脉冲时间 560us。NEC 协议的具体格式如下图所示：

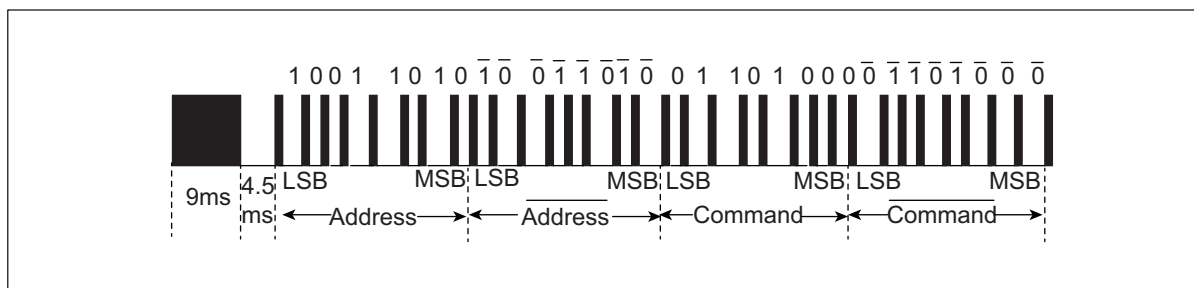


图 8.2: NEC 协议波形

头脉冲是 9ms 的高电平脉冲和 4.5ms 的低电平，之后是 8-bit 的地址码及其反码，然后是 8-bit 的命令码及其反码，尾脉冲是 560us 高电平与 560us 低电平。

#### • RC-5 协议

RC-5 协议的逻辑 1 与逻辑 0 波形如下图所示：

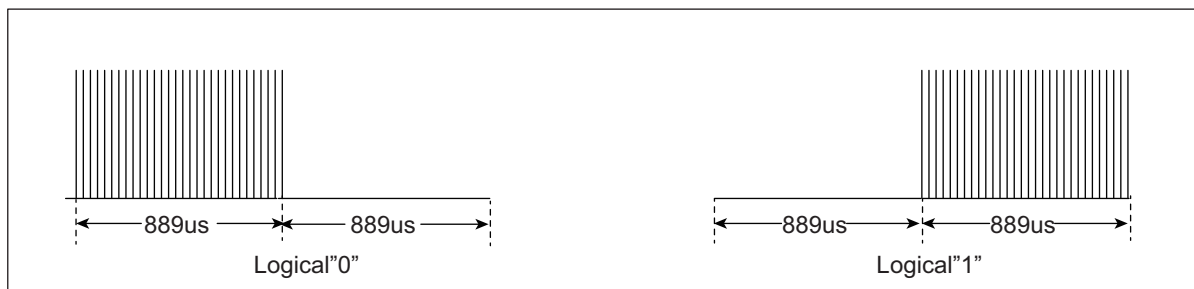


图 8.3: RC5 逻辑波形

逻辑 1 为 1.778ms，先是 889us 的低电平后是 889us 的高电平；逻辑 0 与逻辑 1 波形相反。RC-5 协议的具体格式如下图所示：

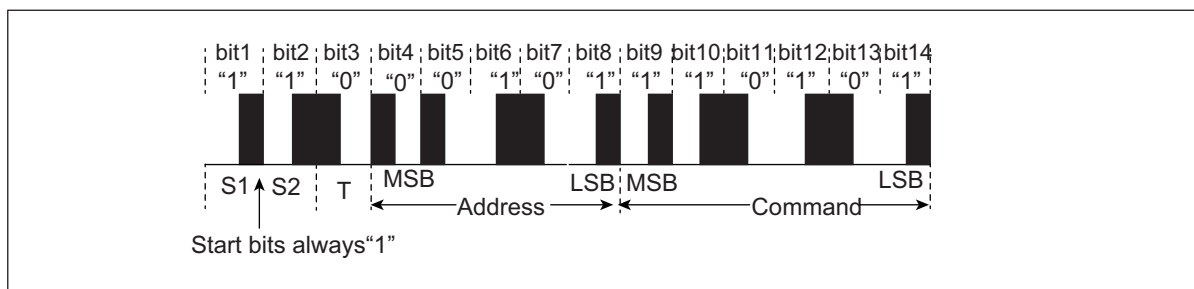


图 8.4: RC5 协议波形

前两位为开始位，固定为逻辑 1，第三位是翻转位，当一个键值发出然后再按下时该位会取反。之后 5 位是地址码与 6 位命令码。需要注意的是，常见的红外一体接收头为了提高接收灵敏度，接收到高电平后输出的是低电平，所以在使用 IR 接收功能时要将接收翻转功能打开。

### 8.3.2 脉冲宽度接收

对于 NEC、RC-5 协议以外的其他任意格式的数据，IR 会以其时钟去依次计数每个高低电平的持续时间，然后将数据存入到深度为 64 字节的接收 FIFO 之中。

### 8.3.3 普通发送模式

用户可根据具体协议分别对头脉冲、尾脉冲、逻辑 0 和逻辑 1 脉冲进行相应的配置。在设置时需要计算出所使用的协议内各种不同宽度脉冲的公共脉冲宽度单位，即最大公约数，填入寄存器 IRTX\_PULSE\_WIDTH 的低 12 位，各脉冲将其所对应的倍数填入寄存器 IRTX\_PW 中。IR 最大支持 64-bit 数据位，分为两个 32 位寄存器 IRTX\_DATA\_WORD0 和 IRTX\_DATA\_WORD1。

### 8.3.4 脉冲宽度发送

对于不适用于普通发送模式的协议，IR 提供了脉冲宽度发送的方式。先计算出所使用的协议内各种不同宽度脉冲的公共脉冲宽度单位，即最大公约数，填入寄存器 IRTX\_PULSE\_WIDTH 的低 12 位。然后将从第一个高电平开始到最后一个电平为止的各个电平宽度所对应的倍数填入寄存器 IRTX\_SWM\_PW\_n(0<=n<=7) 中，每个电平宽度倍数占 4-bit。

### 8.3.5 载波调制

通过设置寄存器 IRTX\_PULSE\_WIDTH 的高 16 位可以产生不同频率和占空比的载波，该寄存器的 <TXMPH1W> 位设置的是载波相位 1 的宽度，<TXMPH0W> 位设置的是载波相位 0 的宽度。

### 8.3.6 IR 中断

IR 有单独的发送和接收中断，当一次发送动作结束时，会产生发送中断。当接收到一段数据时，它会等待电平持续长度达到设定的结束阈值时产生接收中断。可以通过寄存器 IRTX\_INT\_STS 查询发送中断状态和清除中断，通过寄存器 IRRX\_INT\_STS 查询接收中断状态和清除中断。

## 8.4 寄存器描述

名称	描述
irtx_config	IR TX configuration register
irtx_int_sts	IR TX interrupt status
irtx_data_word0	IR TX data word0
irtx_data_word1	IR TX data word1
irtx_pulse_width	IR TX pulse width
irtx_pw	IR TX pulse width of phase
irtx_swm_pw_0	IR TX Software Mode pulse width data0
irtx_swm_pw_1	IR TX Software Mode pulse width data1
irtx_swm_pw_2	IR TX Software Mode pulse width data2
irtx_swm_pw_3	IR TX Software Mode pulse width data3
irtx_swm_pw_4	IR TX Software Mode pulse width data4
irtx_swm_pw_5	IR TX Software Mode pulse width data5
irtx_swm_pw_6	IR TX Software Mode pulse width data6
irtx_swm_pw_7	IR TX Software Mode pulse width data7
irrx_config	IR RX configuration register
irrx_int_sts	IR RX interrupt status
irrx_pw_config	IR RX pulse width configuration
irrx_data_count	IR RX data bit count
irrx_data_word0	IR RX data word0
irrx_data_word1	IR RX data word1
irrx_swm_fifo_config_0	IR RX FIFO configuration
irrx_swm_fifo_rdata	IR RX software mode pulse width data

### 8.4.1 irtx\_config

地址: 0x4000a600



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD														TXDATANU	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXDATANU				TPHL IS	TXT PEN	TXH HLI	TXH EN	RSVD	TXL1 HLI	TXL0 HLI	TXDA EN	TXSW EN	TXMD EN	TXO EN	TXEN

位	名称	权限	复位值	描述
31:18	RSVD			
17:12	TXDATANU	R/W	6'd31	Bit count of Data phase (unit: bit / PW for normal / SWM)
11	TPHLIS	R/W	1'b0	Tail pulse H/L inverse signal (Don't care if SWM is enabled) 0: Phase 0 is High (Active), phase 1 is Low (Idle) (H -> L) 1: Phase 0 is Low (Idle), phase 1 is High (Active) (L -> H)
10	TXTPEN	R/W	1'b1	Enable signal of tail pulse (Don't care if SWM is enabled)
9	TXHHLI	R/W	1'b0	Tail pulse H/L inverse signal (Don't care if SWM is enabled) 0: Phase 0 is High (Active), phase 1 is Low (Idle) (H -> L) 1: Phase 0 is Low (Idle), phase 1 is High (Active) (L -> H)
8	TXHEN	R/W	1'b1	Enable signal of head pulse (Don't care if SWM is enabled)
7	RSVD			
6	TXL1HLI	R/W	1'b0	Logic 1 H/L inverse signal (Don't care if SWM is enabled) 0: Phase 0 is High (Active), phase 1 is Low (Idle) (H -> L) 1: Phase 0 is Low (Idle), phase 1 is High (Active) (L -> H)
5	TXL0HLI	R/W	1'b0	Logic 0 H/L inverse signal (Don't care if SWM is enabled) 0: Phase 0 is High (Active), phase 1 is Low (Idle) (H -> L) 1: Phase 0 is Low (Idle), phase 1 is High (Active) (L -> H)
4	TXDAEN	R/W	1'b1	Enable signal of data phase (Don't care if SWM is enabled)
3	TXSWEN	R/W	1'b0	Enable signal of IRTX Software Mode (SWM)
2	TXMDEN	R/W	1'b0	Enable signal of output modulation
1	TXOEN	R/W	1'b0	Output inverse signal 1'b0: Output stays at Low during idle state 1'b1: Output stays at High during idle state
0	TXEN	R/W	1'b0	Enable signal of IRTX function Asserting this bit will trigger the transaction, and should be de-asserted after finish

### 8.4.2 irtx\_int\_sts

地址: 0x4000a604

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD							TXE EN	RSVD							TXE CLR
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							TXE MASK	RSVD							TXE INT

位	名称	权限	复位值	描述
31:25	RSVD			
24	TXEEN	R/W	1'b1	Interrupt enable of irtx_end_int
23:17	RSVD			
16	TXECLR	W1C	1'b0	Interrupt clear of irtx_end_int
15:9	RSVD			
8	TXEMASK	R/W	1'b1	Interrupt mask of irtx_end_int
7:1	RSVD			
0	TXEINT	R	1'b0	IRTX transfer end interrupt

### 8.4.3 irtx\_data\_word0

地址: 0x4000a608

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXDW0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXDW0															

位	名称	权限	复位值	描述
31:0	TXDW0	R/W	32'h0	TX data word 0 (Don't care if SWM is enabled)

### 8.4.4 irtx\_data\_word1

地址: 0x4000a60c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXDW1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXDW1															

位	名称	权限	复位值	描述
31:0	TXDW1	R/W	32'h0	TX data word 1 (Don't care if SWM is enabled)

### 8.4.5 irtx\_pulse\_width

地址: 0x4000a610

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXMPH1W								TXMPH0W							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				TXPWU											

位	名称	权限	复位值	描述
31:24	TXMPH1W	R/W	8'd34	Modulation phase 1 width
23:16	TXMPH0W	R/W	8'd17	Modulation phase 0 width
15:12	RSVD			
11:0	TXPWU	R/W	12'd1124	Pulse width unit

### 8.4.6 irtx\_pw

地址: 0x4000a614

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXTPH1W				TXTPH0W				TXHPH1W				TXHPH0W			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXL1PH1W				TXL1PH0W				TXL0PH1W				TXL0PH0WS			

位	名称	权限	复位值	描述
31:28	TXTPH1W	R/W	4'd0	Pulse width of tail pulse phase 1 (Don't care if SWM is enabled)
27:24	TXTPH0W	R/W	4'd0	Pulse width of tail pulse phase 0 (Don't care if SWM is enabled)
23:20	TXHPH1W	R/W	4'd7	Pulse width of head pulse phase 1 (Don't care if SWM is enabled)
19:16	TXHPH0W	R/W	4'd15	Pulse width of head pulse phase 0 (Don't care if SWM is enabled)

位	名称	权限	复位值	描述
15:12	TXL1PH1W	R/W	4'd2	Pulse width of logic1 phase 1 (Don't care if SWM is enabled)
11:8	TXL1PH0W	R/W	4'd0	Pulse width of logic1 phase 0 (Don't care if SWM is enabled)
7:4	TXL0PH1W	R/W	4'd0	Pulse width of logic0 phase 1 (Don't care if SWM is enabled)
3:0	TXL0PH0WS	R/W	4'd0	Pulse width of logic0 phase 0 (Don't care if SWM is enabled)

### 8.4.7 irtx\_swm\_pw\_0

地址: 0x4000a640

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW0															

位	名称	权限	复位值	描述
31:0	TXSWPW0	R/W	32'h0	IRTX Software Mode pulse width data #0 #7, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

### 8.4.8 irtx\_swm\_pw\_1

地址: 0x4000a644

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW1															

位	名称	权限	复位值	描述
31:0	TXSWPW1	R/W	32'h0	IRTX Software Mode pulse width data #8 #15, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

### 8.4.9 irtx\_swm\_pw\_2

地址: 0x4000a648

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW2															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW2															

位	名称	权限	复位值	描述
31:0	TXSWPW2	R/W	32'h0	IRTX Software Mode pulse width data #16 #23, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

### 8.4.10 irtx\_swm\_pw\_3

地址: 0x4000a64c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW3															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW3															

位	名称	权限	复位值	描述
31:0	TXSWPW3	R/W	32'h0	IRTX Software Mode pulse width data #24 #31, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

### 8.4.11 irtx\_swm\_pw\_4

地址: 0x4000a650

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW4															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW4															

位	名称	权限	复位值	描述
31:0	TXSWPW4	R/W	32'h0	IRTX Software Mode pulse width data #32 #39, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

#### 8.4.12 irtx\_swm\_pw\_5

地址: 0x4000a654

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW5															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW5															

位	名称	权限	复位值	描述
31:0	TXSWPW5	R/W	32'h0	IRTX Software Mode pulse width data #40 #47, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

#### 8.4.13 irtx\_swm\_pw\_6

地址: 0x4000a658

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW6															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW6															

位	名称	权限	复位值	描述
31:0	TXSWPW6	R/W	32'h0	IRTX Software Mode pulse width data #48 #55, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

### 8.4.14 irtx\_swm\_pw\_7

地址: 0x4000a65c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW7															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW7															

位	名称	权限	复位值	描述
31:0	TXSWPW7	R/W	32'h0	IRTX Software Mode pulse width data #56 #63, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

### 8.4.15 irrx\_config

地址: 0x4000a680

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				RXDEGCNT				RSVD				RXDGEN	RXMODE	RXININV	RXEN

位	名称	权限	复位值	描述
31:12	RSVD			
11:8	RXDEGCNT	R/W	4'd0	De-glitch function cycle count
7:5	RSVD			
4	RXDGEN	R/W	1'b0	Enable signal of IRRX input de-glitch function
3:2	RXMODE	R/W	2'd0	IRRX mode 0: NEC 1: RC5 2: SW pulse-width detection mode (SWM) 3: Reserved
1	RXININV	R/W	1'b1	Input inverse signal
0	RXEN	R/W	1'b0	Enable signal of IRRX function Asserting this bit will trigger the transaction, and should be de-asserted after finish

### 8.4.16 irrx\_int\_sts

地址: 0x4000a684

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD							RXE EN	RSVD							RXE CLR
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							RXE MASK	RSVD							RXE INT

位	名称	权限	复位值	描述
31:25	RSVD			
24	RXEEN	R/W	1'b1	Interrupt enable of irrx_end_int
23:17	RSVD			
16	RXECLR	W1C	1'b0	Interrupt clear of irrx_end_int
15:9	RSVD			
8	RXEMASK	R/W	1'b1	Interrupt mask of irrx_end_int
7:1	RSVD			
0	RXEINT	R	1'b0	IRRX transfer end interrupt

### 8.4.17 irrx\_pw\_config

地址: 0x4000a688

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXETH															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXDATH															

位	名称	权限	复位值	描述
31:16	RXETH	R/W	16'd8999	Pulse width threshold to trigger END condition
15:0	RXDATH	R/W	16'd3399	Pulse width threshold for Logic0/1 detection (Don't care if SWM is enabled)



### 8.4.18 irrx\_data\_count

地址: 0x4000a690

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD									RXDACNT						

位	名称	权限	复位值	描述
31:7	RSVD			
6:0	RXDACNT	R	7'd0	RX data bit count (pulse-width count for SWM)

### 8.4.19 irrx\_data\_word0

地址: 0x4000a694

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXDAW0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXDAW0															

位	名称	权限	复位值	描述
31:0	RXDAW0	R	32'h0	RX data word 0

### 8.4.20 irrx\_data\_word1

地址: 0x4000a698

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXDAW1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXDAW1															

位	名称	权限	复位值	描述
31:0	RXDAW1	R	32'h0	RX data word 1

### 8.4.21 irrx\_swm\_fifo\_config\_0

地址: 0x4000a6c0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					RXFIFOCN							RXF UF	RXF OF	RSVD	RXF CLR

位	名称	权限	复位值	描述
31:11	RSVD			
10:4	RXFIFOCN	R	7'd0	RX FIFO available count
3	RXFUF	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
2	RXFOF	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
1	RSVD			
0	RXFCLR	W1C	1'b0	Clear signal of RX FIFO

### 8.4.22 irrx\_swm\_fifo\_rdata

地址: 0x4000a6c4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXFRDA															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	RXFRDA	R	16'h0	IRRX Software Mode pulse width data

## 9.1 简介

串行外设接口（Serial Peripheral Interface Bus, SPI）是一种用于短程通信的同步串行通信接口规范，装置之间使用全双工模式通信，是一个主机和一个或多个从机的主从模式。需要至少 4 根线，事实上 3 根也可以（单向传输时），包括 SDI（数据输入）、SDO（数据输出）、SCLK（时钟）、CS（片选）。

## 9.2 主要特征

- 既可作为 SPI 主设备，也可作为 SPI 从设备
- 发送和接收通道各有深度为 4 个字的 FIFO
- 主从设备都支持 4 种时钟格式（CPOL，CPHA）
- 主从设备都支持 1/2/3/4 字节传输模式
- 灵活的时钟配置，最高可支持 40M 时钟
- 可配置 MSB/LSB 优先传输
- 接收过滤功能
- 从设备下的超时机制
- 支持 DMA 传输模式

## 9.3 功能描述

### 9.3.1 时钟控制

依照不同的时钟相位以及极性设定，SPI 时钟共有四种模式，可以通过寄存器 SPI\_CONFIG 的 bit4（CPOL）和 bit5（CPHA）进行设置。CPOL 用来决定 SCK 时钟信号空闲时的电平，CPOL=0 则空闲电平为低电平，CPOL=1 则空闲电平为高电平。CPHA 用来决定采样时刻，CPHA=0 则在每个周期的第一个时钟沿采样，CPHA=1 则在每个周期的第二

个时钟沿采样。通过设置寄存器 `SPI_PRD_0` 和 `SPI_PRD_1`，还可以调整时钟的开始和结束电平持续时间、相位 0/1 的时间以及每帧数据之间的间隔。四种模式下的具体设置如下图所示：

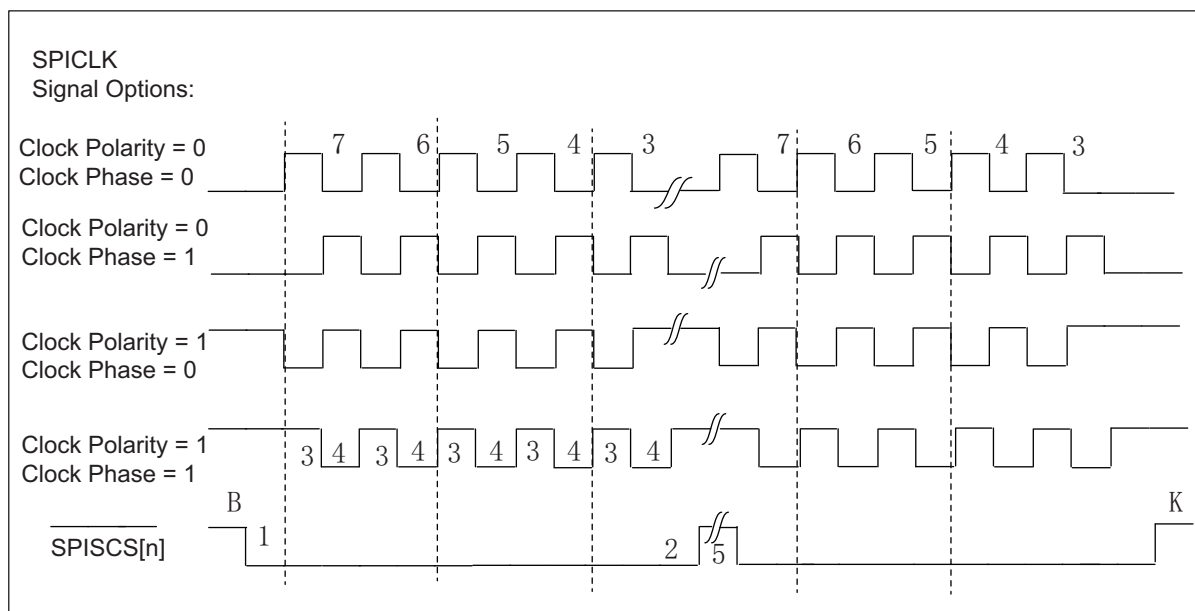


图 9.1: SPI 时序图

其中各数字含义如下：1 是起始条件的长度，2 是停止条件的长度，3 是相位 0 的长度，4 是相位 1 的长度，5 是每帧数据之间的间隔。

### 9.3.2 主设备持续传输模式

开启该模式后，在发送完当前数据而 FIFO 里还存在可用数据时，CS 信号不会被释放。

### 9.3.3 接收过滤功能

通过设置需要过滤掉的开始位和结束位，SPI 会将接收到数据中的对应数据段丢弃。如下图所示：

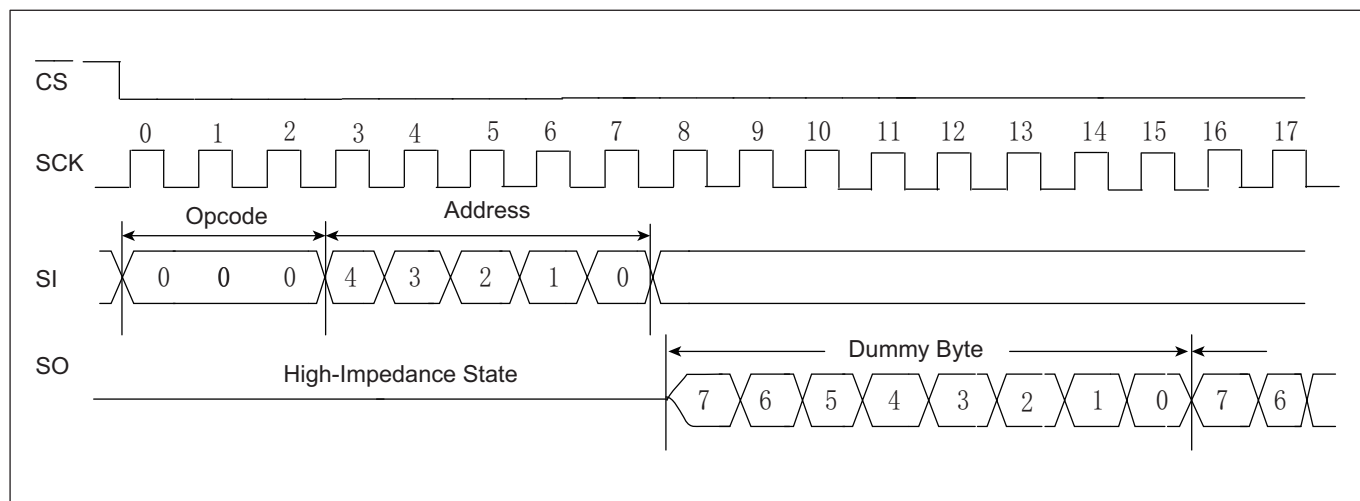


图 9.2: SPI Ignore 波形图

上图中过滤的开始位设为 0，结束位设为 7 则 Dummy Byte 会被收到，结束位设为 15 则 Dummy Byte 会被丢弃。

### 9.3.4 接收去差错功能

通过使能该功能和设置门限值，SPI 会将达不到门限值宽度的数据丢弃。

### 9.3.5 从模式超时机制

通过设定一个超时门限，当从模式下 SPI 超过该时间值未收到时钟信号时，会触发中断。

### 9.3.6 I/O 传输模式

芯片通信处理器可以响应来自 FIFO 的中断来执行 FIFO 填充和清空操作。每个 FIFO 都有一个可编程的 FIFO 触发阈值来触发中断。当 RX FIFO 中的数值超过 SPI 控制器 1 中的 RX FIFO 触发阈值时，将产生一个中断，向芯片通信处理器发送信号来清空 RX FIFO。当 TX FIFO 中的数值小于或等于 SPI 控制寄存器 1 中的 TX FIFO 触发阈值加 1 时，将产生中断，向芯片通信处理器发送信号来重新填充 TX FIFO。可以通过查询 SPI 状态寄存器来确定 FIFO 中的采样值以及 FIFO 的状态。软件负责确保正确的 RX FIFO 触发阈值和 TX FIFO 触发阈值，以防止接收 FIFO 超限和发送 FIFO 欠载。

### 9.3.7 DMA 传输模式

SPI 支持 DMA 传输模式。使用该模式需要分别设置 TX 和 RX FIFO 的阈值，当该模式启用后，UART 会对 TX/RX FIFO 进行检查，一旦 TX/RX 的 FIFO 可用计数值大于其设定的阈值，将会发起 DMA 请求，DMA 会按照设定将数据搬移至 TX FIFO 中或从 RX FIFO 中移出。

### 9.3.8 SPI 中断

SPI 有着丰富的中断控制，包括以下几种中断模式：

- SPI 传输结束中断

- TX FIFO 请求中断
- RX FIFO 请求中断
- 从模式传输超时中断
- 从模式 TX 过载中断
- TX/RX FIFO 溢出中断

在主模式下，SPI 传输结束中断会在每帧数据传输结束时触发；在从模式下，SPI 传输结束中断会在 CS 信号被释放时触发。TX/RX FIFO 请求中断会在其 FIFO 可用计数值大于其设定的阈值时触发，当条件不满足时该中断标志会自动清除。从模式传输超时中断会在从模式下超过超时门限值未收到时钟信号时触发。如果 TX/RX FIFO 发生了上溢或者下溢，会触发 TX/RX FIFO 溢出中断，当 FIFO 清除位 TFC/RFC 被置 1 时，对应的 FIFO 会被清空，同时溢出中断标志会自动清除。可以通过寄存器 SPI\_INT\_STS 查询各中断状态和对相应的位写 1 清除中断。

## 9.4 寄存器描述

名称	描述
spi_config	SPI configuration register
spi_int_sts	SPI interrupt status
spi_bus_busy	SPI bus busy
spi_prd_0	SPI length control register
spi_prd_1	SPI length of interval
spi_rxd_ignr	SPI ignore function
spi_sto_value	SPI time-out value
spi_fifo_config_0	SPI FIFO configuration register0
spi_fifo_config_1	SPI FIFO configuration register1
spi_fifo_wdata	SPI FIFO write data
spi_fifo_rdata	SPI FIFO read data

### 9.4.1 spi\_config

地址：0x4000a200

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEGCNT				DEGEN	RSVD	MCEN	IGNREN	BYTEINV	BITINV	SCLKPH	SCLKPOL	FSIZE		SEN	MEN

位	名称	权限	复位值	描述
31:16	RSVD			
15:12	DEGCNT	R/W	4'd0	De-glitch function cycle count
11	DEGEN	R/W	1'b0	Enable signal of all input de-glitch function
10	RSVD			
9	MCEN	R/W	1'b0	Enable signal of master continuous transfer mode 1'b0: Disabled, SS_n will de-assert between each data frame 1'b1: Enabled, SS_n will stay asserted between each consecutive data frame if the next data is valid in the FIFO
8	IGNREN	R/W	1'b0	Enable signal of RX data ignore function
7	BYTEINV	R/W	1'b0	Byte-inverse signal for each FIFO entry data 0: Byte[0] is sent out first 1: Byte[3] is sent out first
6	BITINV	R/W	1'b0	Bit-inverse signal for each data byte 0: Each byte is sent out MSB-first 1: Each byte is sent out LSB-first
5	SCLKPH	R/W	1'b0	SCLK clock phase inverse signal
4	SCLKPOL	R/W	1'b0	SCLK polarity 0: SCLK output LOW at IDLE state 1: SCLK output HIGH at IDLE state
3:2	FSIZE	R/W	2'd0	SPI frame size (also the valid width for each FIFO entry) 2'd0: 8-bit 2'd1: 16-bit 2'd2: 24-bit 2'd3: 32-bit
1	SEN	R/W	1'b0	Enable signal of SPI Slave function, Master and Slave should not be both enabled at the same time (This bit becomes don't-care if cr_spi_m_en is enabled)
0	MEN	R/W	1'b0	Enable signal of SPI Master function Asserting this bit will trigger the transaction, and should be de-asserted after finish

## 9.4.2 spi\_int\_sts

地址：0x4000a204

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		FER EN	TXU EN	STO EN	RXF EN	TXF EN	END EN	RSVD			TXU CLR	STO CLR	RSVD		END CLR
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		FER MASK	TXU MASK	STO MASK	RXF MASK	TXF MASK	END MASK	RSVD		FER INT	TXU INT	STO INT	RXF INT	TXF INT	END INT

位	名称	权限	复位值	描述
31:30	RSVD			
29	FEREN	R/W	1'b1	Interrupt enable of spi_fer_int
28	TXUEN	R/W	1'b1	Interrupt enable of spi_txu_int
27	STOEN	R/W	1'b1	Interrupt enable of spi_sto_int
26	RXFEN	R/W	1'b1	Interrupt enable of spi_rvx_int
25	TXFEN	R/W	1'b1	Interrupt enable of spi_txe_int
24	ENDEN	R/W	1'b1	Interrupt enable of spi_end_int
23:21	RSVD			
20	TXUCLR	W1C	1'b0	Interrupt clear of spi_txu_int
19	STOCLR	W1C	1'b0	Interrupt clear of spi_sto_int
18:17	RSVD			
16	ENDCLR	W1C	1'b0	Interrupt clear of spi_end_int
15:14	RSVD			
13	FERMASK	R/W	1'b1	Interrupt mask of spi_fer_int
12	TXUMASK	R/W	1'b1	Interrupt mask of spi_txu_int
11	STOMASK	R/W	1'b1	Interrupt mask of spi_sto_int
10	RXFMASK	R/W	1'b1	Interrupt mask of spi_rvx_int
9	TXFMASK	R/W	1'b1	Interrupt mask of spi_txe_int
8	ENDMASK	R/W	1'b1	Interrupt mask of spi_end_int
7:6	RSVD			
5	FERINT	R	1'b0	SPI TX/RX FIFO error interrupt, auto-cleared when FIFO overflow/underflow error flag is cleared
4	TXUINT	R	1'b0	SPI slave mode TX underrun error flag, triggered when TXD is not ready during transfer in slave mode



位	名称	权限	复位值	描述
3	STOINT	R	1'b0	SPI slave mode transfer time-out interrupt, triggered when SPI bus is idle for a given value
2	RXFINT	R	1'b0	SPI RX FIFO ready (rx_fifo_cnt > rx_fifo_th) interrupt, auto-cleared when data is popped
1	TXFINT	R	1'b0	SPI TX FIFO ready (tx_fifo_cnt > tx_fifo_th) interrupt, auto-cleared when data is pushed
0	ENDINT	R	1'b0	SPI transfer end interrupt, shared by both master and slave mode Master mode: Triggered when the final frame is transferred Slave mode: Triggered when CS_n is de-asserted

### 9.4.3 spi\_bus\_busy

地址: 0x4000a208

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														BUS BUSY	

位	名称	权限	复位值	描述
31:1	RSVD			
0	BUSBUSY	R	1'b0	Indicator of SPI bus busy

### 9.4.4 spi\_prd\_0

地址: 0x4000a210

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRDPH1								PRDPH0							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRDP								PRDS							

位	名称	权限	复位值	描述
31:24	PRDPH1	R/W	8'd15	Length of DATA phase 1 (please refer to "Timing" tab)

位	名称	权限	复位值	描述
23:16	PRDPH0	R/W	8'd15	Length of DATA phase 0 (please refer to "Timing" tab)
15:8	PRDP	R/W	8'd15	Length of STOP condition (please refer to "Timing" tab)
7:0	PRDS	R/W	8'd15	Length of START condition (please refer to "Timing" tab)

### 9.4.5 spi\_prd\_1

地址: 0x4000a214

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								PRDI							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	PRDI	R/W	8'd15	Length of INTERVAL between frame (please refer to "Timing" tab)

### 9.4.6 spi\_rxd\_ignr

地址: 0x4000a218

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD											RXDIGS				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD											RXDIGP				

位	名称	权限	复位值	描述
31:21	RSVD			
20:16	RXDIGS	R/W	5'd0	Starting point of RX data ignore function
15:5	RSVD			
4:0	RXDIGP	R/W	5'd0	Stopping point of RX data ignore function

### 9.4.7 spi\_sto\_value

地址: 0x4000a21c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								STOV							

位	名称	权限	复位值	描述
31:12	RSVD			
11:0	STOV	R/W	12'hFFF	Time-out value for spi_sto_int triggering

### 9.4.8 spi\_fifo\_config\_0

地址: 0x4000a280

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RFUF	RFOF	TFUF	TFOF	RFC	TFC	DMAR EN	DMAT EN

位	名称	权限	复位值	描述
31:8	RSVD			
7	RFUF	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
6	RFOF	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	TFUF	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	TFOF	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	RFC	W1C	1'b0	Clear signal of RX FIFO
2	TFC	W1C	1'b0	Clear signal of TX FIFO
1	DMAREN	R/W	1'b0	Enable signal of dma_rx_req/ack interface
0	DMATEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface

### 9.4.9 spi\_fifo\_config\_1

地址: 0x4000a284

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD						RFTH		RSVD						TFTH	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						RFCNT		RSVD						TFCNT	

位	名称	权限	复位值	描述
31:26	RSVD			
25:24	RFTH	R/W	2'd0	RX FIFO threshold, dma_rx_req will not be asserted if tx_fifo_cnt is less than this value
23:18	RSVD			
17:16	TFTH	R/W	2'd0	TX FIFO threshold, dma_tx_req will not be asserted if tx_fifo_cnt is less than this value
15:11	RSVD			
10:8	RFCNT	R	3'd0	RX FIFO available count
7:3	RSVD			
2:0	TFCNT	R	3'd4	TX FIFO available count

### 9.4.10 spi\_fifo\_wdata

地址: 0x4000a288

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FWDATA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FWDATA															

位	名称	权限	复位值	描述
31:0	FWDATA	W	x	SPI FIFO write data

### 9.4.11 spi\_fifo\_rdata

地址: 0x4000a28c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FRDATA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRDATA															

位	名称	权限	复位值	描述
31:0	FRDATA	R	32'h0	SPI FIFO read data

## 10.1 简介

通用异步收发传输器（Universal Asynchronous Receiver/Transmitter，通常称为 UART）是一种异步收发传输器，提供了与外部设备进行全双工数据交换的灵活方式。BL702 共有 2 组 UART 口（UART0 和 UART1），通过配合 DMA 使用，可以实现高效的数据通信。

## 10.2 主要特征

- 全双工异步通信
- 数据位长度可选择 5/6/7/8 比特
- 停止位长度可选择 0.5/1/1.5/2 比特
- 支持奇/偶/无校验比特
- 可侦测错误的起始比特
- 支持 LIN 协议（收发 BREAK/SYNC）
- 丰富的中断控制
- 支持硬件流控（RTS/CTS）
- 便捷的波特率编程
- 可配置 MSB/LSB 优先传输
- 普通/固定字符的自动波特率检测
- 128 字节发送/接收 FIFO
- 支持 DMA 传输模式

## 10.3 功能描述

### 10.3.1 数据格式描述

正常的 UART 通信数据是由起始位、数据位、奇偶校验位、停止位组成的。BL602 的 UART 支持可配置的数据位、奇偶校验位和停止位，这些都在寄存器 UTX\_CONFIG 和 URX\_CONFIG 中设置。一帧数据的波形如下图所示：

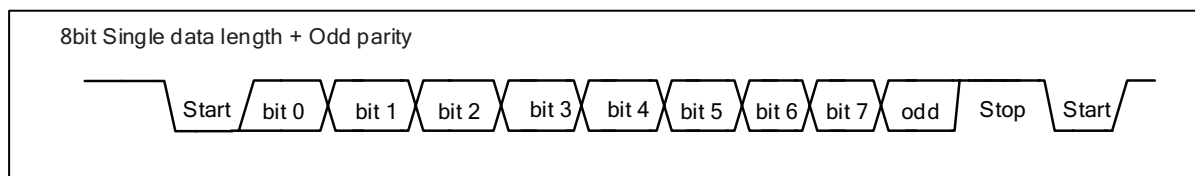


图 10.1: UART 数据格式

数据帧的起始位占用 1-bit，停止位可以通过配置 <TXBCNTP> 和 <CR\_URX\_BIT\_CNT\_P> 实现 0.5/1/1.5/2 位宽。起始位为低电平，停止位为高电平。数据位宽可以通过 <TXBCNTD> 和 <RXBCNTD> 配置为 5/6/7/8 位宽。当置位 <TXPREN> 和 <RXPREN> 时，数据帧会在数据之后添加一位奇偶校验位。<TXPRSEL> 和 <RXPRSEL> 用于选择奇校验还是偶校验。当接收器检测到输入数据的校验位错误时会产生校验错误中断。奇校验的计算方法：如果当前数据位 1 的个数是奇数个，奇校验位为 0；反之为 1。偶校验的计算方法：如果当前数据位 1 的个数是奇数个，偶校验位为 1；反之为 0。

### 10.3.2 基本架构图

### 10.3.3 时钟源

UART 有两个时钟源：96MHz PLL\_CLK 以及 FCLK。时钟中的分频器用于对时钟源进行分频，然后产生时钟信号来驱动 UART 模块。如下图所示：

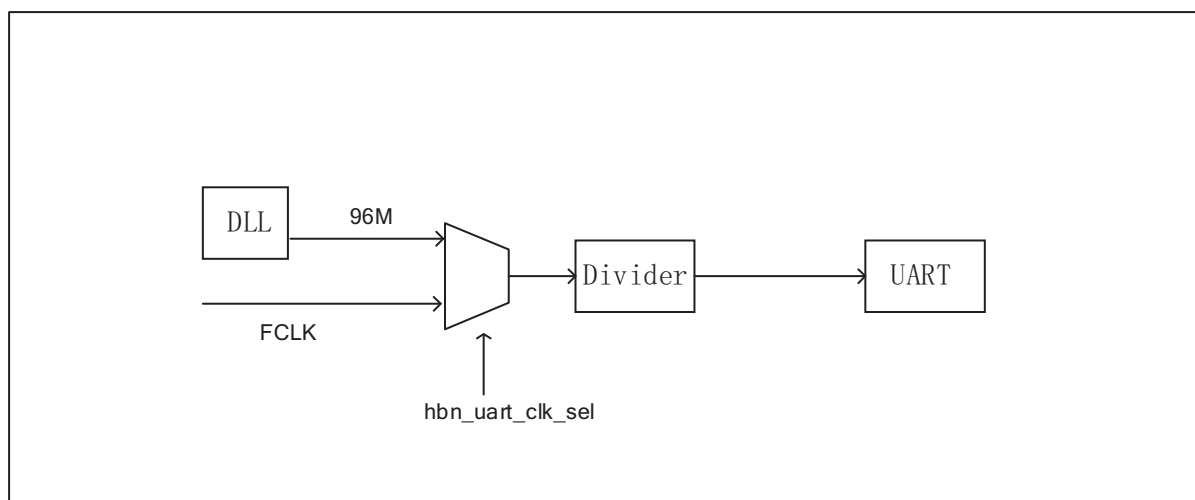


图 10.2: UART 时钟

### 10.3.4 波特率设定

使用者可通过设置寄存器 `UART_BIT_PRD` 来产生所需的波特率，该寄存器的高 16 位和低 16 位分别对应 RX 与 TX，即 RX 与 TX 的波特率可单独进行设置，该 16 位值需要通过计算得出，公式如下：波特率 = UART 时钟 / (16 位系数 + 1) 即：16 位系数 = UART 时钟 / 波特率 - 1 该 16 位系数的含义是以 UART 时钟去计数当前波特率位宽所得到的计数值。由于 16 位系数最大值为 65535，所以 UART 支持的最小波特率为：UART 时钟 / 65536。UART 支持的最大波特率为 10Mbps。在 UART 对数据进行采样之前，会先对数据进行滤波，将波形当中的毛刺滤掉。然后会在上述 16 位系数的中间值时刻进行采样，这样根据不同的波特率调整不同的采样时刻，以保持其采到的始终是中间值，大大提高了灵活性与精度。采样过程如下图所示：

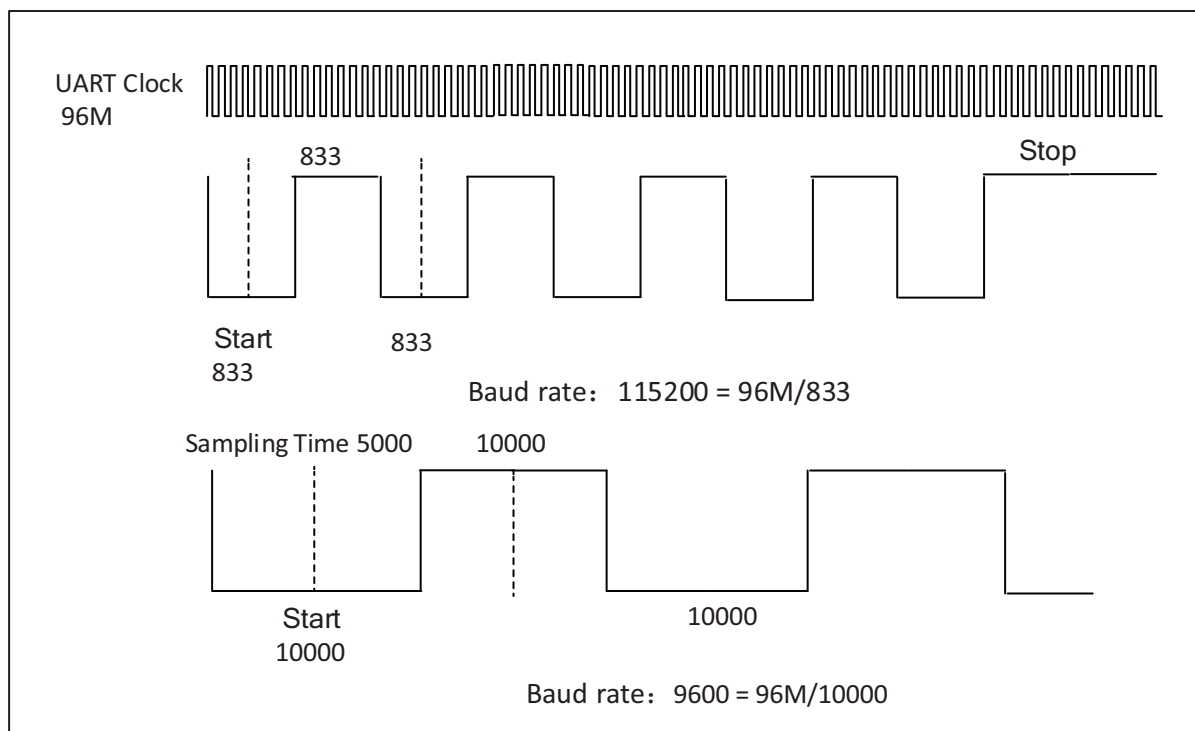


图 10.3: UART 采样波形图

### 10.3.5 发送器

发送器包含一个 128 字节的发送 FIFO，用来存放待发送的数据。软件可以通过 APB 总线写 TX FIFO，也可以通过 DMA 将数据搬入 TX FIFO。当发送使能位被设置时，FIFO 中存放的数据会从 TX 引脚输出。软件可以选择通过 DMA 或 APB 总线这两种方式将数据传入 TX FIFO。软件可以通过寄存器 `UART_FIFO_CONFIG_1` 的位 `<TFICNT>` 查询 TX FIFO 剩余可用空间计数值来检查发送器的状态。发送器的自由运行（FreeRun）模式如下：

- 如果没有开启自由运行（FreeRun）模式，则当发送字节达到指定长度时发送行为终止并产生中断，如果要继续发送则需重新关闭再使能发送使能位。
- 如果开启自由运行（FreeRun）模式，则当 TX FIFO 里存在数据时，发送器就会进行发送，不会因为发送字节达到指定长度而终止。



### 10.3.6 接收器

接收器包含一个 128 字节的接收 FIFO，用来存放接收到的数据。软件可以通过寄存器 UART\_FIFO\_CONFIG\_1 的位 <RFICNT> 查询 RX FIFO 可用数据计数值来检查接收器的状态。寄存器 URX\_RTO\_TIMER 的低 8 位用于设定一个接收超时门限，当接收器超过该时间值未收到数据时，会触发中断。寄存器 URX\_CONFIG 的位 <DEGEN> 和 <DEGCNT> 用于使能去毛刺功能和设置门限值，其控制的是 UART 采样之前的滤波部分，UART 会将波形当中宽度低于门限值的毛刺滤掉，然后再将其送去采样。

### 10.3.7 自动波特率检测

UART 模块支持自动波特率检测，该检测分为两种，一种是通用模式，一种是固定字符模式。置位寄存器 URX\_CONFIG 的位 <ABREN> 每次开启时，这两种检测模式都会启用。

#### 通用模式

对于所接收到的任意字符数据，UART 模块会计数起使位宽当中的时钟数，此数字会接着被写入寄存器 STS\_URX\_ABR\_PRD 的低 16 位并用以计算波特率，因此当最先接收到的数据位为 1 时即可得到正确的波特率，如 LSB-FIRST 下的'0x01'。

#### 固定字符模式

该模式下，UART 模块在计数起使位宽当中的时钟数后，会继续计数后续数据位的时钟数，并与起始位相比较，如果上下浮动在允许误差范围内，则通过检测，否则计数值会被丢弃。因此，只有在 LSB-FIRST 下接收到固定字符'0x55'/'0xD5' 或 MSB-FIRST 下的'0xAA'/'0xAB' 时，UART 模块才会将起使位宽当中的时钟数计数值写入寄存器 STS\_URX\_ABR\_PRD 的高 16 位。如下图所示：

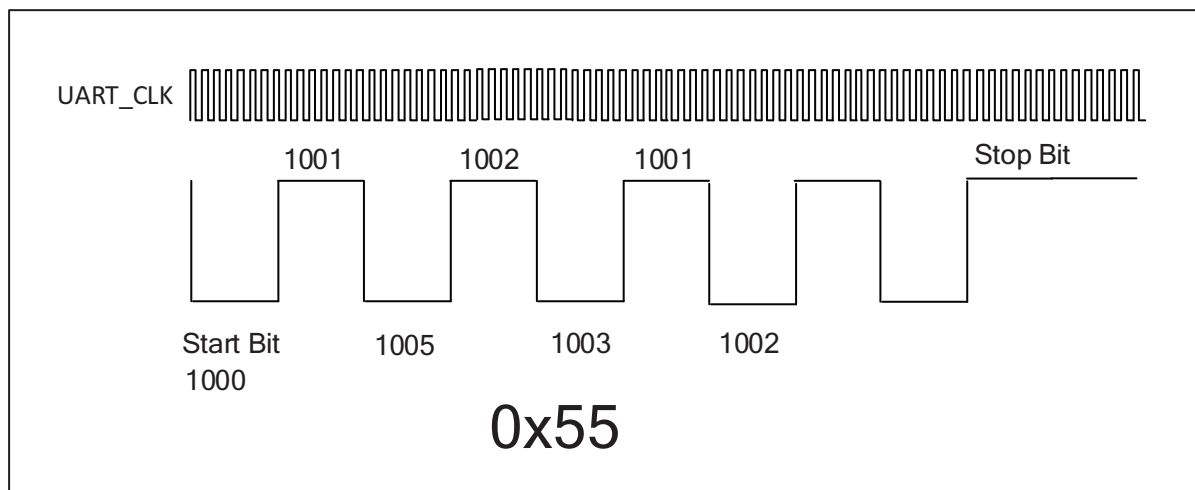


图 10.4: UART 固定字符模式波形图

对于某一未知的波特率，UART 用 UART\_CLK 去计数起始位的位宽为 1000，第二位的位宽为 1001，与前一位宽上下浮动不超过 4 个 UART\_CLK，则 UART 会继续计数第三位，第三位为 1005，与起始位相差超过 4，则检测不通过，数据丢弃。UART 会依次将数据位的前 6 位位宽与起始位进行比较。

计算检测到的波特率的公式如下：波特率 = 源时钟 / (16 位检测值 + 1)

### 10.3.8 硬件流控

UART 支持 CTS/RTS 方式的硬件流控，以防止 FIFO 里的数据由于来不及处理而丢失。硬件流控连接如下图所示：

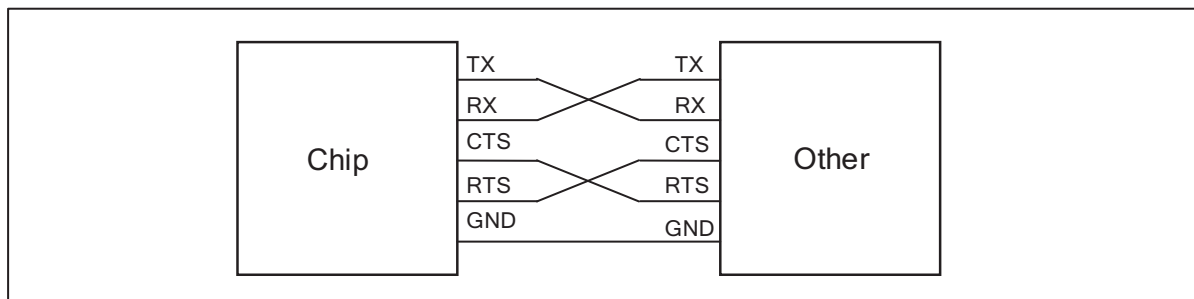


图 10.5: UART 硬件流控图

当使用硬件流控功能时，输出信号 RTS 为低电平表示请求对方发送数据，RTS 为高电平表示通知对方中止数据发送直到 RTS 恢复为低电平。发送器的硬件流控有两种方式。

- 寄存器 URX\_CONFIG 的位 <RTSSWM> 等于 0：当 RX FIFO 中的剩余空间小于等于 1 字节时拉高 RTS 的电平。
- 寄存器 URX\_CONFIG 的位 <RTSSWM> 等于 1：可以通过配置寄存器 URX\_CONFIG 的位 <RTSSWV> 改变 RTS 的电平。

通过配置寄存器 UTX\_CONFIG 的位 <CTSEN>，可以使能 TX CTS。当设备检测到输入信号 CTS 拉高时，TX 会停止发送数据，直到检测到 CTS 拉低时再继续发送。

### 10.3.9 LIN 传输模式

当发送器需使用 LIN 传输模式时，可以通过配置 <TXLINEN> 来送出间隔（BREAK）栏位以及同步（SYNC）栏位，间隔栏位的宽度由 <TXBCNTB> 决定。而当接收器需使用 LIN 传输模式时，则可以通过配置 <RXLINEN> 来检测间隔栏位以及同步栏位，并在同步栏位格式错误时触发对应的中断 <RLSEINT>。

### 10.3.10 DMA 传输模式

UART 支持 DMA 传输模式。使用该模式需要通过寄存器 UART\_FIFO\_CONFIG\_1 的位 <TFITH> 和 <RFITH> 分别设置 TX 和 RX FIFO 的阈值，当该模式启用后，UART 会对 TX/RX FIFO 进行检查，一旦 TX/RX 的 FIFO 可用计数值大于其设定的阈值，将会发起 DMA 请求，DMA 会按照设定将数据搬移至 TX FIFO 中或从 RX FIFO 中移出。

### 10.3.11 UART 中断

UART 有着丰富的中断控制，包括以下几种中断模式：

- TX 传输结束中断
- RX 传输结束中断
- TX FIFO 请求中断

- RX FIFO 请求中断
- RX 超时中断
- RX 奇偶校验错误中断
- TX FIFO 溢出中断
- RX FIFO 溢出中断
- RX LIN 模式同步栏位（SYNC Field）错误中断

TX 和 RX 可以通过寄存器 UTX\_CONFIG 和 URX\_CONFIG 的高 16 位分别设置一个传输长度值，当传输的字节数达到这个数值时，就会触发对应的 TX/RX 传输结束中断。TX/RX FIFO 请求中断会在其 FIFO 可用计数值大于寄存器 UART\_FIFO\_CONFIG\_1 中所设定的阈值时触发，当条件不满足时该中断标志会自动清除。RX 超时中断会在接收器超过超时门限值未收到数据时触发，而 RX 奇偶校验错误中断会发生在奇偶校验出错时。如果 TX/RX FIFO 发生了上溢或者下溢，会触发对应的溢出中断，当 FIFO 清除位 TFICLR/RFICLR 被置 1 时，对应的 FIFO 会被清空，同时溢出中断标志会自动清除。当启用 LIN 模式时，同步栏位 (SYNC Field) 依协议应为 0x55，因此当接收到的数据非 0x55 时，即触发同步栏位错误中断。可以通过寄存器 UART\_INT\_STS 查询各中断状态，通过向寄存器 UART\_INT\_CLEAR 相应的位写 1 清除中断。

## 10.4 寄存器描述

名称	描述
utx_config	UART TX configuration register
urx_config	UART RX configuration register
uart_bit_prd	UART period control register
data_config	UART data configuration register
utx_ir_position	UART TX ir position control register
urx_ir_position	UART RX ir position control register
urx_rto_timer	RTO interrupt control register
uart_sw_mode	UART SW mode configuration register
uart_int_sts	UART interrupt status
uart_int_mask	UART interrupt mask
uart_int_clear	UART interrupt clear
uart_int_en	UART interrupt enable
uart_status	UART status control register
sts_urx_abr_prd	Auto baud detection control register
uart_fifo_config_0	UART FIFO configuration register0

名称	描述
uart_fifo_config_1	UART FIFO configuration register1
uart_fifo_wdata	UART FIFO write data
uart_fifo_rdata	UART FIFO read data

## 10.4.1 utx\_config

地址: 0x4000a000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXLEN															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXBCNTP			TXBCNTP			TXBCNTD			IRTX INV	IRTX EN	TXPR SEL	TXPR EN	TLIN EN	FRM EN	CTS EN

位	名称	权限	复位值	描述
31:16	TXLEN	R/W	16'd0	Length of UART TX data transfer (Unit: character/byte) (Don't-care if cr_utx_frm_en is enabled)
15:13	TXBCNTP	R/W	3'd4	UART TX BREAK bit count (for LIN protocol) Note: Additional 8 bit times will be added since LIN Break field requires at least 13 bit times
12:11	TXBCNTP	R/W	2'd1	UART TX STOP bit count (unit: 0.5 bit)
10:8	TXBCNTD	R/W	3'd7	UART TX DATA bit count for each character
7	IRTXINV	R/W	1'b0	Inverse signal of UART TX output in IR mode
6	IRTXEN	R/W	1'b0	Enable signal of UART TX IR mode
5	TXPRSEL	R/W	1'b0	Select signal of UART TX parity bit 1: Odd parity 0: Even parity
4	TXPREN	R/W	1'b0	Enable signal of UART TX parity bit
3	TLINEN	R/W	1'b0	Enable signal of UART TX LIN mode (LIN header will be sent before sending data)
2	FRMEN	R/W	1'b0	Enable signal of UART TX freerun mode (utx_end_int will be disabled)
1	CTSEN	R/W	1'b0	Enable signal of UART TX CTS flow control function

位	名称	权限	复位值	描述
0	EN	R/W	1'b0	Enable signal of UART TX function Asserting this bit will trigger the transaction, and should be de-asserted after finish

## 10.4.2 urx\_config

地址: 0x4000a004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXLEN															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEGCNT				DEGEN	RXBCNTD			IRRXINV	IRRXEN	RXPRSEL	RXPREN	RLINEN	RSVD	ABREN	EN

位	名称	权限	复位值	描述
31:16	RXLEN	R/W	16'd0	Length of UART RX data transfer (Unit: character/byte) urx_end_int will assert when this length is reached
15:12	DEGCNT	R/W	4'd0	De-glitch function cycle count
11	DEGEN	R/W	1'b0	Enable signal of RXD input de-glitch function
10:8	RXBCNTD	R/W	3'd7	UART RX DATA bit count for each character
7	IRRXINV	R/W	1'b0	Inverse signal of UART RX input in IR mode
6	IRRXEN	R/W	1'b0	Enable signal of UART RX IR mode
5	RXPRSEL	R/W	1'b0	Select signal of UART RX parity bit 1: Odd parity 0: Even parity
4	RXPREN	R/W	1'b0	Enable signal of UART RX parity bit
3	RLINEN	R/W	1'b0	Enable signal of UART RX LIN mode (LIN header will be required and checked before receiving data)
2	RSVD			
1	ABREN	R/W	1'b0	Enable signal of UART RX Auto Baud Rate detection function
0	EN	R/W	1'b0	Enable signal of UART RX function

### 10.4.3 uart\_bit\_prd

地址: 0x4000a008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RBITPRD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBITPRD															

位	名称	权限	复位值	描述
31:16	RBITPRD	R/W	16'd255	Period of each UART RX bit, related to baud rate
15:0	TBITPRD	R/W	16'd255	Period of each UART TX bit, related to baud rate

### 10.4.4 data\_config

地址: 0x4000a00c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															BIT INV

位	名称	权限	复位值	描述
31:1	RSVD			
0	BITINV	R/W	1'b0	Bit-inverse signal for each data byte 0: Each byte is sent out LSB-first 1: Each byte is sent out MSB-first

### 10.4.5 utx\_ir\_position

地址: 0x4000a010

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXIRPP															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXIRPS															

位	名称	权限	复位值	描述
31:16	TXIRPP	R/W	16'd159	STOP position of UART TX IR pulse
15:0	TXIRPS	R/W	16'd112	START position of UART TX IR pulse

### 10.4.6 urx\_ir\_position

地址: 0x4000a014

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXIRPS															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	RXIRPS	R/W	16'd111	START position of UART RXD pulse recovered from IR signal

### 10.4.7 urx\_rto\_timer

地址: 0x4000a018

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RXRTOVA							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	RXRTOVA	R/W	8'd15	Time-out value for triggering RTO interrupt (unit: bit time)

### 10.4.8 uart\_sw\_mode

地址: 0x4000a01c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												RRV	RRM	TTV	TTM

位	名称	权限	复位值	描述
31:4	RSVD			
3	RRV	R/W	1'b0	UART RX RTS output SW control value
2	RRM	R/W	1'b0	UART RX RTS output SW control mode
1	TTV	R/W	1'b0	UART TX TXD output SW control value
0	TTM	R/W	1'b0	UART TX TXD output SW control mode

#### 10.4.9 uart\_int\_sts

地址: 0x4000a020

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							RLSE INT	RFER INT	TFIN	RPCE INT	RRTO INT	RFIN	TFIN	REIN	TEIN

位	名称	权限	复位值	描述
31:9	RSVD			
8	RLSEINT	R	1'b0	UART RX LIN mode sync field error interrupt
7	RFERINT	R	1'b0	UART RX FIFO error interrupt, auto-cleared when FIFO overflow/underflow error flag is cleared
6	TFIN	R	1'b0	UART TX FIFO error interrupt, auto-cleared when FIFO overflow/underflow error flag is cleared
5	RPCEINT	R	1'b0	UART RX parity check error interrupt
4	RRTOINT	R	1'b0	UART RX Time-out interrupt
3	RFIN	R	1'b0	UART RX FIFO ready (rx_fifo_cnt > rx_fifo_th) interrupt, auto-cleared when data is popped
2	TFIN	R	1'b0	UART TX FIFO ready (tx_fifo_cnt > tx_fifo_th) interrupt, auto-cleared when data is pushed
1	REIN	R	1'b0	UART RX transfer end interrupt (set according to cr_urx_len)



位	名称	权限	复位值	描述
0	TEIN	R	1'b0	UART TX transfer end interrupt (set according to cr_utx_len)

### 10.4.10 uart\_int\_mask

地址: 0x4000a024

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							RLSE MASK	RFER MASK	TFER MASK	RPCE MASK	RRT0 MASK	RFMS	TFMS	REMS	TEMS

位	名称	权限	复位值	描述
31:9	RSVD			
8	RLSEMASK	R/W	1'b1	Interrupt mask of urx_lse_int
7	RFERMASK	R/W	1'b1	Interrupt mask of urx_fer_int
6	TFERMASK	R/W	1'b1	Interrupt mask of utx_fer_int
5	RPCEMASK	R/W	1'b1	Interrupt mask of urx_pce_int
4	RRTOMASK	R/W	1'b1	Interrupt mask of urx_rto_int
3	RFMS	R/W	1'b1	Interrupt mask of urx_fifo_int
2	TFMS	R/W	1'b1	Interrupt mask of utx_fifo_int
1	REMS	R/W	1'b1	Interrupt mask of urx_end_int
0	TEMS	R/W	1'b1	Interrupt mask of utx_end_int

### 10.4.11 uart\_int\_clear

地址: 0x4000a028

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							RLSE CLR	RSVD	RPCE CLR	RRT0 CLR	RSVD	RECL	TECL		

位	名称	权限	复位值	描述
31:9	RSVD			
8	RLSECLR	W1C	1'b0	Interrupt clear of urx_lse_int
7:6	RSVD			
5	RPCECLR	W1C	1'b0	Interrupt clear of urx_pce_int
4	RRTOCLR	W1C	1'b0	Interrupt clear of urx_rto_int
3:2	RSVD			
1	RECL	W1C	1'b0	Interrupt clear of urx_end_int
0	TECL	W1C	1'b0	Interrupt clear of utx_end_int

## 10.4.12 uart\_int\_en

地址: 0x4000a02c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RLSE	RFER	TFER	RPCE	RRTO	RFIF	TFIF	TEND

位	名称	权限	复位值	描述
31:9	RSVD			
8	RLSE	R/W	1'b1	Interrupt enable of urx_lse_int
7	RFER	R/W	1'b1	Interrupt enable of urx_fer_int
6	TFER	R/W	1'b1	Interrupt enable of utx_fer_int
5	RPCE	R/W	1'b1	Interrupt enable of urx_pce_int
4	RRTO	R/W	1'b1	Interrupt enable of urx_rto_int
3	RFIF	R/W	1'b1	Interrupt enable of urx_fifo_int
2	TFIF	R/W	1'b1	Interrupt enable of utx_fifo_int
1	REND	R/W	1'b1	Interrupt enable of urx_end_int
0	TEND	R/W	1'b1	Interrupt enable of utx_end_int

## 10.4.13 uart\_status

地址: 0x4000a030

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														RBB	TBB

位	名称	权限	复位值	描述
31:2	RSVD			
1	RBB	R	1'b0	Indicator of UART RX bus busy
0	TBB	R	1'b0	Indicator of UART TX bus busy

#### 10.4.14 sts\_urx\_abr\_prd

地址: 0x4000a034

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ABRPRD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ABRPRDS															

位	名称	权限	复位值	描述
31:16	ABRPRD	R	16'd0	Bit period of Auto Baud Rate detection using codeword 0x55
15:0	ABRPRDS	R	16'd0	Bit period of Auto Baud Rate detection using START bit

#### 10.4.15 uart\_fifo\_config\_0

地址: 0x4000a080

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RFIU	RFIO	TFIU	TFIO	RFI CLR	TFI CLR	UDR EN	UDT EN

位	名称	权限	复位值	描述
31:8	RSVD			
7	RFIU	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr

位	名称	权限	复位值	描述
6	RFIO	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	TFIU	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	TFIO	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	RFICLR	W1C	1'b0	Clear signal of RX FIFO
2	TFICLR	W1C	1'b0	Clear signal of TX FIFO
1	UDREN	R/W	1'b0	Enable signal of dma_rx_req/ack interface
0	UDTEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface

#### 10.4.16 uart\_fifo\_config\_1

地址: 0x4000a084

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD	RFITH							RSVD	TFITH						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFICNT								TFICNT							

位	名称	权限	复位值	描述
31	RSVD			
30:24	RFITH	R/W	7'd0	RX FIFO threshold, dma_rx_req will not be asserted if tx_fifo_cnt is less than this value
23	RSVD			
22:16	TFITH	R/W	7'd0	TX FIFO threshold, dma_tx_req will not be asserted if tx_fifo_cnt is less than this value
15:8	RFICNT	R	8'd0	RX FIFO available count
7:0	TFICNT	R	8'd128	TX FIFO available count

#### 10.4.17 uart\_fifo\_wdata

地址: 0x4000a088

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								UFIWD							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	UFIWD	W	x	UART FIFO write data

#### 10.4.18 uart\_fifo\_rdata

地址: 0x4000a08c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								UFIRD							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	UFIRD	R	8'h0	UART FIFO read data

## 11.1 简介

I2C (Inter-Integrated Circuit) 是一种串行通讯总线，使用多主从架构，用来连接低速外围装置。每个器件都有一个唯一的地址识别，并且都可以作为一个发送器或接收器。每个连接到总线的器件都可以通过唯一的地址和一直存在的主、从机关系用软件设置地址，主机可以作为主机发送器或主机接收器。如果有两个或多个主机同时初始化，数据传输可以通过冲突检测和仲裁防止数据被破坏。BL702 包含一个 I2C 控制器主机，可灵活配置 `slaveAddr`、`subAddr` 以及传输数据，方便与从设备通信，提供 2 个 word 深度的 fifo，提供中断功能，可搭配 DMA 使用提高效率，可灵活调整时钟频率。

## 11.2 主要特征

- 支持主机模式
- 支持多主机模式和仲裁功能
- 时钟频率可灵活调整

## 11.3 功能描述

引脚列表：

表 11.1: I2C 引脚

名称	类型	描述
I2Cx_SCL	输入/输出	I2C 串行时钟信号
I2Cx_SDA	输入/输出	I2C 串行数据信号

### 11.3.1 起始和停止条件

所有传输都由起始条件 (START condition) 开始，以停止条件 (STOP condition) 结束。起始条件和停止条件一般都由主机产生，总线在起始条件后被认为处于总线忙的状态，在停止条件后的某段时间内被认为处于空闲状态。

起始条件:SCL 为高电平时 SDA 产生一高至低的电平转换；

停止条件:SCL 为高电平时 SDA 产生一低至高的电平转换。

波形示意图如下：

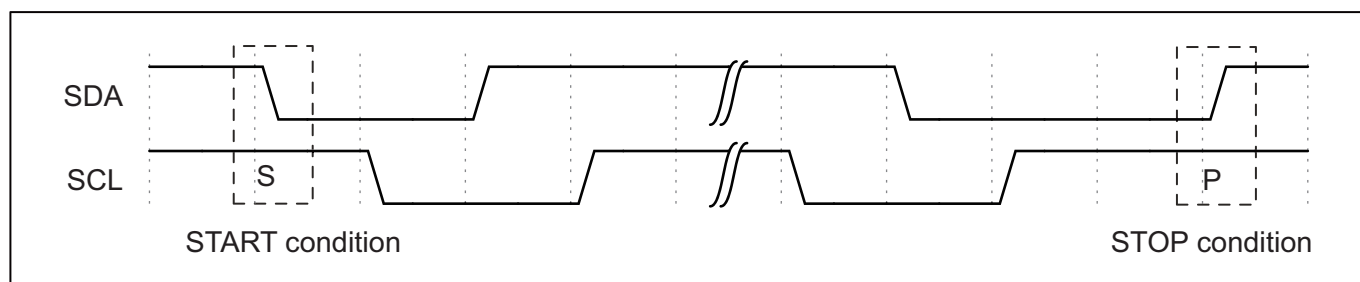


图 11.1: I2C 起始和停止条件

### 11.3.2 数据传输格式

传输的第一个 8 位为寻址字节，包括 7 位从机地址和 1 位方向位。数据由主机发送或接收是由主机所送出的第 1 个字节的第 8 位控制，若为 0 表示数据由主机发送；为 1 则表示数据由主机接收，紧接着从机发出应答位 (ACK)，在数据传输完成后，主机发出停止信号，波形图如下：

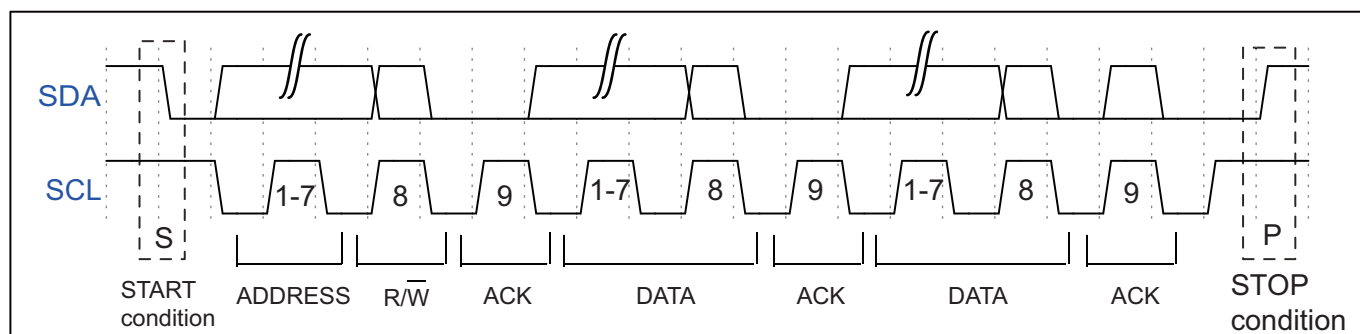


图 11.2: I2C 数据传输格式

主发送和从接收的时序

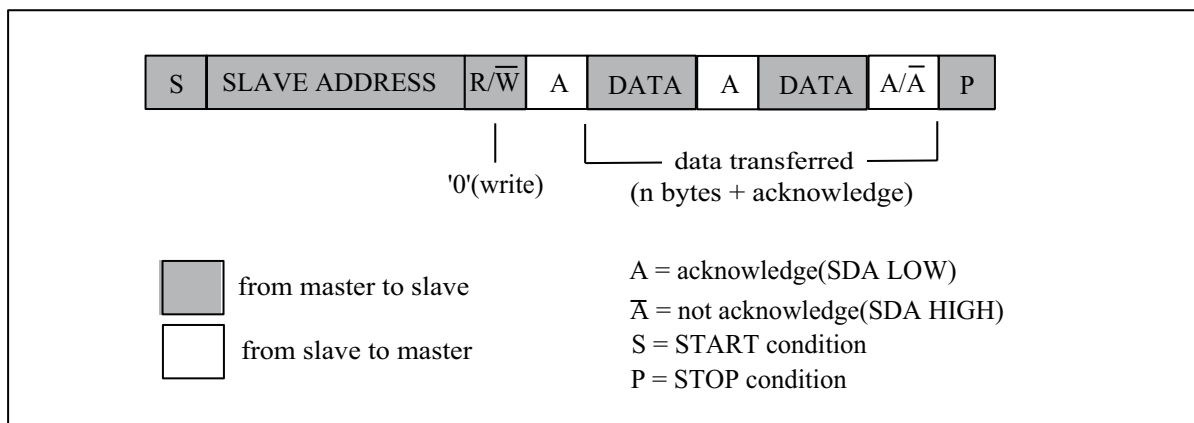


图 11.3: 主发送和从接收的时序

主接收和从发送的时序

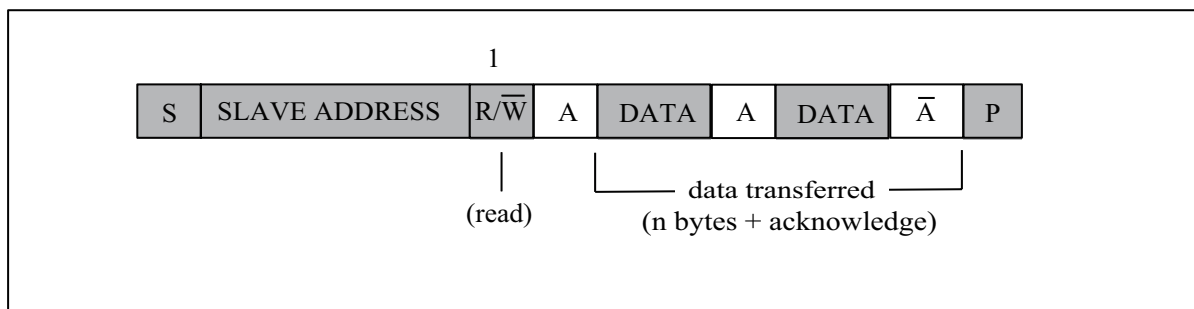


图 11.4: 主接收和从发送的时序

### 11.3.3 仲裁

当 I2C 总线存在多个主机时，可能会发生多个主机同时启动传输的情况，此时必须要依靠仲裁机制来决定哪个主机有权利完成接下来的数据传输，其余主机则须放弃对总线的控制，等到总线再次空出来后才能再次启动传输。

在传输过程中，所有主机都需要在 SCL 为高电平时检查 SDA 是否与自己所想送出的资料相符，当 SDA 电平与预期不同时，表示有别的主机也在同时进行传输，而发现 SDA 电平不同的主机则失去此次仲裁，由其他主机完成数据传输。

两主机同时传输数据并启动仲裁机制的波形示意图如下：



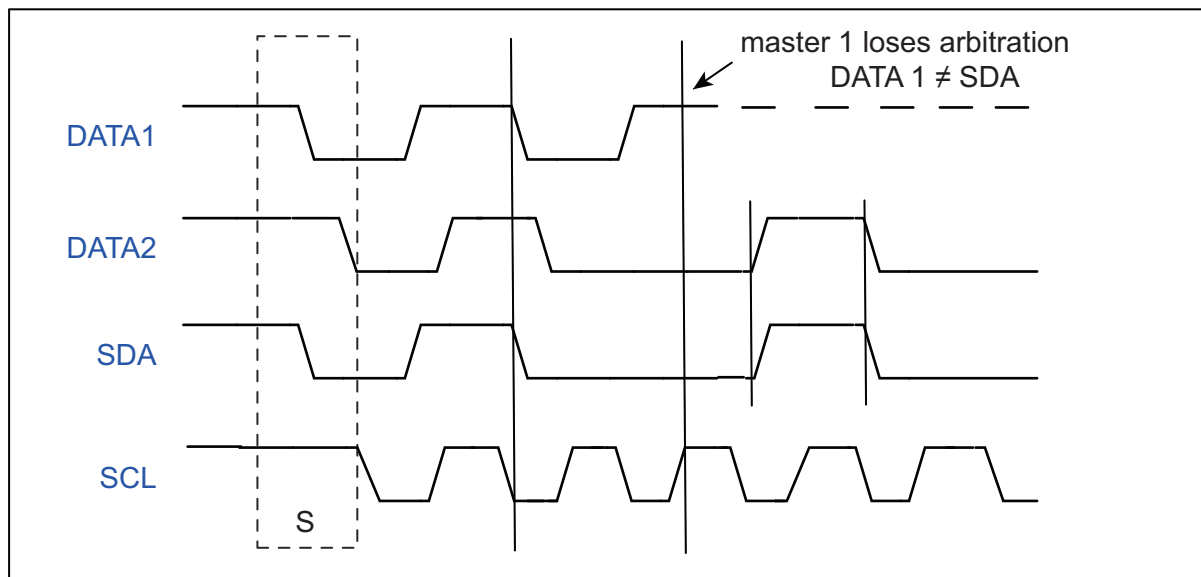


图 11.5: 同时传输数据波形示意图

## 11.4 I2C 时钟设定

I2C 的时钟是由 `bclk`(bus clock) 而来，可以在 `bclk` 时钟的基础上做分频处理。寄存器 `I2C_PRD_DATA` 可以对数据段的时钟做分频处理。`i2c` 模块将数据发送分为 4 个阶段，每个阶段在寄存器中用单独一个字节来控制，每个阶段的采样个数是可以设置的，4 个采样数共同决定了 `i2c clock` 的分频系数。比如现在 `bclk` 是 32M，寄存器 `I2C_PRD_DATA` 在不做配置默认情况下的值是 `0x15151515`，那么 I2C 的时钟频率为  $32M / ((15 + 1) * 4) = 500K$ 。同理，寄存器 `I2C_PRD_START` 和 `I2C_PRD_STOP` 也会分别对起始位和停止位的时钟做分频处理。

## 11.5 I2C 配置流程

### 11.5.1 配置项

- 读写标志位
- 从设备地址
- 从设备寄存器地址
- 从设备寄存器地址长度
- 数据 (发送时，配置发送的数据；接收时，存储接收到的数据)
- 数据长度
- 使能信号

### 11.5.2 读写标志位

I2C 支持发送和接收两种工作状态，寄存器 PKTDIR 表示发送或者接收状态，设置为 0 时，表示发送状态，设置为 1 时，表示接收状态。

### 11.5.3 从设备地址

每个对接 I2C 的从设备，都会有唯一设别地址，通常该地址是 7 位长度，将从设备地址写入寄存器 SLVADDR，I2C 在将从设备地址发送出去之前，会自动左移 1 位，并在最低位补上发送接收方向位。

### 11.5.4 从设备寄存器地址

从设备寄存器地址表示 I2C 需要对从设备某个寄存器做读写操作的寄存器地址。将从设备寄存器地址写入寄存器 I2C\_SUB\_ADDR，同时需要将寄存器 SAEN 置 1。如果将寄存器 SAEN 置 0，那么 I2C 主机发送时会跳过从设备寄存器地址段。

### 11.5.5 从设备寄存器地址长度

将从设备寄存器地址长度减 1 再写入寄存器 SABC。

### 11.5.6 数据

数据部分表示需要发送到从设备的数据，或者需要从从设备接收到的数据。当 I2C 发送数据时，需要将数据依次以 word 为单位写入 I2C FIFO，发送数据写 FIFO 的寄存器地址 I2C\_FIFO\_WDATA。当 I2C 接收数据时，需要依次以 word 为单位从 I2C FIFO 中将数据读出来，接收数据读 FIFO 的寄存器地址 I2C\_FIFO\_RDATA。

### 11.5.7 数据长度

将数据长度减 1 再写入寄存器 PKTLEN。

### 11.5.8 使能信号

将以上几项配置完成后，再将使能信号寄存器 MEN 写 1，就自动启动 I2C 发送流程了。

当读写标志位配置为 0 时，I2C 发送数据，主机发送流程：

1. 起始位
2. (从设备地址左移 1 位 + 0) + ACK
3. 从设备寄存器地址 + ACK
4. 1 字节数据 + ACK
5. 1 字节数据 + ACK
6. 停止位

当读写标志位配置为 1 时，I2C 接收数据，主机发送流程：

1. 起始位
2. (从设备地址左移 1 位 + 0) + ACK
3. 从设备寄存器地址 + ACK
4. 起始位
5. (从设备地址左移 1 位 + 1) + ACK
6. 1 字节数据 + ACK
7. 1 字节数据 + ACK
8. 停止位

## 11.6 FIFO 管理

I2C FIFO 深度为 2 个 word，I2C 发送和接收可分为 RX FIFO 和 TX FIFO。寄存器 RFICNT 表示 RX FIFO 中有多少数据 (单位 word) 需要读取。寄存器 TFICNT 表示 TX FIFO 中剩余多少空间 (单位 Word) 可供写入。

I2C FIFO 状态：

- RX FIFO underflow: 当 RX FIFO 中的数据被读取完毕或者为空时，继续从 RX FIFO 中读取数据，寄存器 RFIU 会被置位；
- RX FIFO overflow: 当 I2C 接收数据直到 RX FIFO 的 2 个 word 被填满后，在没有读取 RX FIFO 的情况下，I2C 再次接收到数据，寄存器 RFIO 会被置位；
- TX FIFO underflow: 当向 TX FIFO 中填入的数据大小不满足配置的 I2C 数据长度 PKTLEN，并且已经没有新数据继续填入 TX FIFO 中时，寄存器 TFIU 会被置位；
- TX FIFO overflow: 当 TX FIFO 的 2 个 word 被填满后，在 TX FIFO 中的数据没有发出去之前，再次向 TX FIFO 中填入数据，寄存器 TFIO 会被置位。

## 11.7 搭配使用 DMA

I2C 可以使用 DMA 进行数据的发送和接收。将 DTEN 置 1，则开启 DMA 发送模式，为 I2C 分配好通道后，DMA 会将数据从存储区传输到 I2C\_FIFO\_WDATA 寄存器中。将 DREN 置 1，则开启 DMA 接收模式，为 I2C 分配好通道后，DMA 会将 I2C\_FIFO\_RDATA 寄存器中的数据传输到存储区中。I2C 模块搭配使用 DMA 时，数据部分将由 DMA 自动完成搬运，不需要 CPU 再将数据写入 I2C TX FIFO 或者从 I2C RX FIFO 中读取数据。

### 11.7.1 DMA 发送流程

1. 配置读写标志位为 0
2. 配置从设备地址

3. 配置从设备寄存器地址
4. 配置从设备寄存器地址长度
5. 数据长度
6. 使能信号寄存器置 1
7. 配置 DMA transfer size
8. 配置 DMA 源地址 transfer width
9. 配置 DMA 目的地址 transfer width(需要注意 I2C 搭配 DMA 使用时, 目的地址 transfer width 需要设置为 32bits, 以 word 对齐使用)
10. 配置 DMA 源地址为存储发送数据的内存地址
11. 配置 DMA 目的地址为 I2C TX FIFO 地址, I2C\_FIFO\_WDATA
12. 使能 DMA

### 11.7.2 DMA 接收流程

1. 配置读写标志位为 1
2. 配置从设备地址
3. 配置从设备寄存器地址
4. 配置从设备寄存器地址长度
5. 数据长度
6. 使能信号寄存器置 1
7. 配置 DMA transfer size
8. 配置 DMA 源地址 transfer width(需要注意 I2C 搭配 DMA 使用时, 源地址 transfer width 需要设置为 32bits, 以 word 对齐使用)
9. 配置 DMA 目的地址 transfer width
10. 配置 DMA 源地址为 I2C RX FIFO 地址, I2C\_FIFO\_RDATA
11. 配置 DMA 目的地址为存储接收数据的内存地址
12. 使能 DMA

## 11.8 中断

I2C 包括如下几种中断:

- I2C\_TRANS\_END\_INT: I2C 传输结束中断

- I2C\_TX\_FIFO\_READY\_INT: 当 I2C TX FIFO 有空闲空间可用于填充时，触发中断
- I2C\_RX\_FIFO\_READY\_INT: 当 I2C RX FIFO 接收到数据时，触发中断
- I2C\_NACK\_RECV\_INT: 当 I2C 模块检测到 NACK 状态，触发中断
- I2C\_ARB\_LOST\_INT: I2C 仲裁丢失中断
- I2C\_FIFO\_ERR\_INT: I2C FIFO ERROR 中断

## 11.9 寄存器描述

名称	描述
i2c_config	I2C configuration register
i2c_int_sts	I2C interrupt status
i2c_sub_addr	I2C sub-address configuration
i2c_bus_busy	I2C bus busy control register
i2c_prd_start	I2C length of start phase
i2c_prd_stop	I2C length of stop phase
i2c_prd_data	I2C length of data phase
i2c_fifo_config_0	I2C FIFO configuration register0
i2c_fifo_config_1	I2C FIFO configuration register1
i2c_fifo_wdata	I2C FIFO write data
i2c_fifo_rdata	I2C FIFO read data

### 11.9.1 i2c\_config

地址: 0x4000a300

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DEGCNT				RSVD				PKTLEN							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	SLVADDR							RSVD	SABC		SAEN	SCLS EN	DEG EN	PKT DIR	MEN

位	名称	权限	复位值	描述
31:28	DEGCNT	R/W	4'd0	De-glitch function cycle count

位	名称	权限	复位值	描述
27:24	RSVD			
23:16	PKTLEN	R/W	8'd0	Packet length (unit: byte)
15	RSVD			
14:8	SLVADDR	R/W	7'd0	Slave address for I2C transaction (target address)
7	RSVD			
6:5	SABC	R/W	2'd0	Sub-address field byte count 2'd0: 1-byte, 2'd1: 2-byte, 2'd2: 3-byte, 2'd3: 4-byte
4	SAEN	R/W	1'b0	Enable signal of I2C sub-address field
3	SCLSEN	R/W	1'b1	Enable signal of I2C SCL synchronization, should be enabled to support Multi-Master and Clock-Stretching (Normally should not be turned-off)
2	DEGEN	R/W	1'b0	Enable signal of I2C input de-glitch function (for all input pins)
1	PKTDIR	R/W	1'b1	Transfer direction of the packet 1'b0: Write; 1'b1: Read
0	MEN	R/W	1'b0	Enable signal of I2C Master function Asserting this bit will trigger the transaction, and should be de-asserted after finish

## 11.9.2 i2c\_int\_sts

地址: 0x4000a304

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		FER EN	ARB EN	NAK EN	RXF EN	TXF EN	END EN	RSVD			ARB CLR	NAK CLR	RSVD		END CLR
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		FER MASK	ARB MASK	NAK MASK	RXF MASK	TXF MASK	END MASK	RSVD		FER INT	ARB INT	NAK INT	RXF INT	TXF INT	END INT

位	名称	权限	复位值	描述
31:30	RSVD			
29	FEREN	R/W	1'b1	Interrupt enable of i2c_fer_int
28	ARBEN	R/W	1'b1	Interrupt enable of i2c_arb_int
27	NAKEN	R/W	1'b1	Interrupt enable of i2c_nak_int
26	RXFEN	R/W	1'b1	Interrupt enable of i2c_rxf_int

位	名称	权限	复位值	描述
25	TXFEN	R/W	1'b1	Interrupt enable of i2c_txf_int
24	ENDEN	R/W	1'b1	Interrupt enable of i2c_end_int
23:21	RSVD			
20	ARBCLR	W1C	1'b0	Interrupt clear of i2c_arb_int
19	NAKCLR	W1C	1'b0	Interrupt clear of i2c_nak_int
18:17	RSVD			
16	ENDCLR	W1C	1'b0	Interrupt clear of i2c_end_int
15:14	RSVD			
13	FERMASK	R/W	1'b1	Interrupt mask of i2c_fer_int
12	ARBMASK	R/W	1'b1	Interrupt mask of i2c_arb_int
11	NAKMASK	R/W	1'b1	Interrupt mask of i2c_nak_int
10	RXFMASK	R/W	1'b1	Interrupt mask of i2c_rxf_int
9	TXFMASK	R/W	1'b1	Interrupt mask of i2c_txf_int
8	ENDMASK	R/W	1'b1	Interrupt mask of i2c_end_int
7:6	RSVD			
5	FERINT	R	1'b0	I2C TX/RX FIFO error interrupt, auto-cleared when FIFO overflow/underflow error flag is cleared
4	ARBINT	R	1'b0	I2C arbitration lost interrupt
3	NAKINT	R	1'b0	I2C NACK-received interrupt
2	RXFINT	R	1'b0	I2C RX FIFO ready (rx_fifo_cnt > rx_fifo_th) interrupt, auto-cleared when data is popped
1	TXFINT	R	1'b0	I2C TX FIFO ready (tx_fifo_cnt > tx_fifo_th) interrupt, auto-cleared when data is pushed
0	ENDINT	R	1'b0	I2C transfer end interrupt

### 11.9.3 i2c\_sub\_addr

地址: 0x4000a308

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SUBAB3								SUBAB2							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SUBAB1								SUBAB0							

位	名称	权限	复位值	描述
31:24	SUBAB3	R/W	8'd0	I2C sub-address field - byte[3]
23:16	SUBAB2	R/W	8'd0	I2C sub-address field - byte[2]
15:8	SUBAB1	R/W	8'd0	I2C sub-address field - byte[1]
7:0	SUBAB0	R/W	8'd0	I2C sub-address field - byte[0] (sub-address starts from this byte)

### 11.9.4 i2c\_bus\_busy

地址: 0x4000a30c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														BUSY CLR	BUSY

位	名称	权限	复位值	描述
31:2	RSVD			
1	BUSYCLR	W1C	1'b0	Clear signal of bus_busy status, not for normal usage (in case I2C bus hangs)
0	BUSY	R	1'b0	Indicator of I2C bus busy

### 11.9.5 i2c\_prd\_start

地址: 0x4000a310

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRDSPH3								PRDSPH2							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRDSPH1								PRDSPH0							

位	名称	权限	复位值	描述
31:24	PRDSPH3	R/W	8'd15	Length of START condition phase 3
23:16	PRDSPH2	R/W	8'd15	Length of START condition phase 2
15:8	PRDSPH1	R/W	8'd15	Length of START condition phase 1



位	名称	权限	复位值	描述
7:0	PRDSPH0	R/W	8'd15	Length of START condition phase 0

### 11.9.6 i2c\_prd\_stop

地址: 0x4000a314

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRDPPH3								PRDPPH2							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRDPPH1								PRDPPH0							

位	名称	权限	复位值	描述
31:24	PRDPPH3	R/W	8'd15	Length of STOP condition phase 3
23:16	PRDPPH2	R/W	8'd15	Length of STOP condition phase 2
15:8	PRDPPH1	R/W	8'd15	Length of STOP condition phase 1
7:0	PRDPPH0	R/W	8'd15	Length of STOP condition phase 0

### 11.9.7 i2c\_prd\_data

地址: 0x4000a318

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRDDPH3								PRDDPH2							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRDDPH1								PRDDPH0							

位	名称	权限	复位值	描述
31:24	PRDDPH3	R/W	8'd15	Length of DATA phase 3
23:16	PRDDPH2	R/W	8'd15	Length of DATA phase 2
15:8	PRDDPH1	R/W	8'd15	Length of DATA phase 1 Note: This value should not be set to 8'd0, adjust source clock rate instead if higher I2C clock rate is required
7:0	PRDDPH0	R/W	8'd15	Length of DATA phase 0

### 11.9.8 i2c\_fifo\_config\_0

地址：0x4000a380

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RFIU	RFIO	TFIU	TFIO	RFI CLR	TFI CLR	DREN	DTEN

位	名称	权限	复位值	描述
31:8	RSVD			
7	RFIU	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
6	RFIO	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	TFIU	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	TFIO	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	RFICLR	W1C	1'b0	Clear signal of RX FIFO
2	TFICLR	W1C	1'b0	Clear signal of TX FIFO
1	DREN	R/W	1'b0	Enable signal of dma_rx_req/ack interface
0	DTEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface

### 11.9.9 i2c\_fifo\_config\_1

地址：0x4000a384

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD							RFI TH	RSVD							TFI TH
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						RFICNT		RSVD						TFICNT	

位	名称	权限	复位值	描述
31:25	RSVD			
24	RFITH	R/W	1'd0	RX FIFO threshold, dma_rx_req will not be asserted if tx_fifo_cnt is less than this value
23:17	RSVD			
16	TFITH	R/W	1'd0	TX FIFO threshold, dma_tx_req will not be asserted if tx_fifo_cnt is less than this value

位	名称	权限	复位值	描述
15:10	RSVD			
9:8	RFICNT	R	2'd0	RX FIFO available count
7:2	RSVD			
1:0	TFICNT	R	2'd2	TX FIFO available count

### 11.9.10 i2c\_fifo\_wdata

地址: 0x4000a388

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FIWD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIWD															

位	名称	权限	复位值	描述
31:0	FIWD	W	x	I2C FIFO write data

### 11.9.11 i2c\_fifo\_rdata

地址: 0x4000a38c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FIRD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIRD															

位	名称	权限	复位值	描述
31:0	FIRD	R	32'h0	I2C FIFO read data

## 12.1 简介

脉冲宽度调制（Pulse width modulation，简称 PWM）是一种模拟控制方式，根据相应载荷的变化来调制晶体管基极或 MOS 管栅极的偏置，来实现晶体管或 MOS 管导通时间的改变，从而实现开关稳定电源输出的改变。这种方式能使电源的输出电压在工作条件变化时保持恒定，是利用微处理器的数字信号对模拟电路进行控制的一种非常有效的技术，广泛应用在从测量、通信到功率控制与变换的许多领域中。

## 12.2 主要特征

- 支持 5 通道 PWM 信号生成
- 三种时钟源可选择（总线时钟 <bclk>、晶振时钟 <xtal\_ck>、慢速时钟 <32k>），搭配 16-bit 时钟分频器
- 双门限值设定，增加脉冲弹性

## 12.3 功能描述

### 12.3.1 时钟与分频器

每个 PWM 计数器时钟来源都有三种选择，来源如下：

- A. bclk - 芯片的总线时钟
- B. XTAL - 外部晶振时钟
- C. f32k - 系统 RTC 时钟

每个计数器都有各自的 16-bit 分频器，可通过 APB 将选择到的时钟进行分频，PWM 计数器将以分频后的时钟作为计数周期单位，每经过一个计数周期进行数一的动作。

### 12.3.2 脉冲产生原理

PWM 内部有计数器，当计数器介于可设定的两个门限值域中间时，PWM 的输出为 1，反之当计数器在设定的两个门限值之外时，PWM 输出为 0，如下图所示：

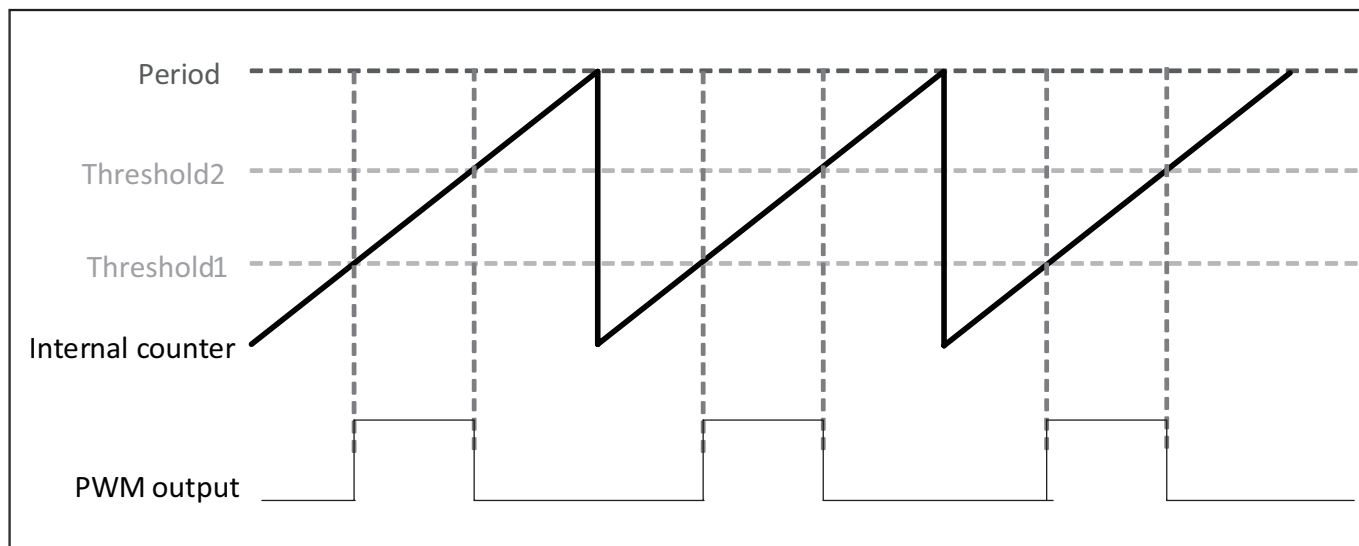


图 12.1: PWM 波形图

PWM 的周期由两部分决定，一个是时钟分频系数，一个是时钟持续周期。

时钟分频系数由寄存器 PWMn\_CLK\_DIV[15:0](n 为 0~5) 进行设置，用于对 PWM 的源时钟进行分频。

时钟持续周期由寄存器 PWMn\_PERIOD[15:0](n 为 0~5) 进行设置，用于设置 PWM 的一个周期由多少个分频后的时钟周期组成。即 PWM 的周期 = PWM 源时钟 / PWMn\_CLK\_DIV[15:0] / PWMn\_PERIOD[15:0]。

PWM 的占空比由时钟持续周期和两个阈值决定。第一个阈值由寄存器 PWMn\_THRE1[15:0](n 为 0~5) 进行设置，第二个阈值由寄存器 PWMn\_THRE2[15:0](n 为 0~5) 进行设置，PWM 的波形会在第一个阈值处拉高，在第二个阈值处拉低。即 PWM 的占空比 = (PWMn\_THRE2[15:0] - PWMn\_THRE1[15:0]) / PWMn\_PERIOD[15:0]。

例：若 PWM 时钟源选择为 bclk 即 72MHz，要产生 1kHz、占空比 20% 的 PWM 波，则设置如下：PWMn\_CLK\_DIV[15:0]=2

PWMn\_PERIOD[15:0]=72000000/2/1000=36000

PWMn\_THRE1[15:0]=0

PWMn\_THRE2[15:0]=0+36000\*20%=7200

### 12.3.3 PWM 中断

对于每一个 PWM 通道，可以设置周期计数值，当 PWM 输出的周期数达到这个计数值时，将产生 PWM 中断。

表 12.1: 占空比参数

频率/MHz	支持的占空比 (n 为整数, 且 $2 \leq n \leq 65535^2$ )											
36	0%	50%	100%									
24	0%	33.33%	66.67%	100%								
18	0%	25%	50%	75%	100%							
14.4	0%	20%	40%	60%	80%	100%						
12	0%	16.67%	33.33%	50%	66.67%	83.33%	100%					
10.29	0%	14.29%	28.57%	42.86%	57.14%	71.43%	85.71%	100%				
9	0%	12.50%	25%	37.50%	50%	62.50%	75%	87.50%	100%			
8	0%	11.11%	22.22%	33.33%	44.44%	55.56%	66.67%	77.78%	88.89%	100%		
7.2	0%	10%	20%	30%	40%	50%	60%	70%	80%	90%	100%	
•												
•												
•												
72/n	0/n	1/n	2/n	3/n	4/n	5/n	6/n	7/n	8/n	9/n	...	n/n

## 12.4 寄存器描述

名称	描述
pwm_int_config	PWM interrupt configuration register
pwm0_clkdiv	PWM0 clock division configuration register
pwm0_thre1	PWM0 first counter threshold configuration register
pwm0_thre2	PWM0 sencond counter threshold configuration register
pwm0_period	PWM0 period setting register
pwm0_config	PWM0 configuration register
pwm0_interrupt	PWM0 interrupt register
pwm1_clkdiv	PWM1 clock division configuration register
pwm1_thre1	PWM1 first counter threshold configuration register
pwm1_thre2	PWM1 sencond counter threshold configuration register
pwm1_period	PWM1 period setting register
pwm1_config	PWM1 configuration register

名称	描述
pwm1_interrupt	PWM1 interrupt register
pwm2_clkdiv	PWM2 clock division configuration register
pwm2_thre1	PWM2 first counter threshold configuration register
pwm2_thre2	PWM2 sencond counter threshold configuration register
pwm2_period	PWM2 period setting register
pwm2_config	PWM2 configuration register
pwm2_interrupt	PWM2 interrupt register
pwm3_clkdiv	PWM3 clock division configuration register
pwm3_thre1	PWM3 first counter threshold configuration register
pwm3_thre2	PWM3 sencond counter threshold configuration register
pwm3_period	PWM3 period setting register
pwm3_config	PWM3 configuration register
pwm3_interrupt	PWM3 interrupt register
pwm4_clkdiv	PWM4 clock division configuration register
pwm4_thre1	PWM4 first counter threshold configuration register
pwm4_thre2	PWM4 sencond counter threshold configuration register
pwm4_period	PWM4 period setting register
pwm4_config	PWM4 configuration register
pwm4_interrupt	PWM4 interrupt register

### 12.4.1 pwm\_int\_config

地址：0x4000a400

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		INTCLR						RSVD		INTSTS					

位	名称	权限	复位值	描述
31:14	RSVD			

位	名称	权限	复位值	描述
13:8	INTCLR	W	6'd0	PWM channel interrupt clear
7:6	RSVD			
5:0	INTSTS	R	6'd0	PWM channel interrupt status

## 12.4.2 pwm0\_clkdiv

地址: 0x4000a420

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLKDIV															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	CLKDIV	R/W	16'b0	PWM clock division

## 12.4.3 pwm0\_thre1

地址: 0x4000a424

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE1															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE1	R/W	16'b0	PWM first counter threshold, can't be larger that pwm_thre2

## 12.4.4 pwm0\_thre2

地址: 0x4000a428



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE2															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE2	R/W	16'd0	PWM sencond counter threshold, can't be smaller that pwm_thre1

### 12.4.5 pwm0\_period

地址: 0x4000a42c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PERIOD															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	PERIOD	R/W	16'd0	PWM period setting

### 12.4.6 pwm0\_config

地址: 0x4000a430

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								STOP STA	STOP EN	SW MODE	SW FVAL	STOP MODE	OUT INV	CLKSEL	

位	名称	权限	复位值	描述
31:8	RSVD			
7	STOPSTA	R	1'b0	PWM stop status
6	STOPEN	R/W	1'b0	PWM stop enable

位	名称	权限	复位值	描述
5	SWMODE	R/W	1'b0	PWM SW Mode setting
4	SWFVAL	R/W	1'b0	PWM SW Mode force value
3	STOPMODE	R/W	1'b1	PWM stop mode, 1'b1 - graceful ; 1'b0 - abrupt
2	OUTINV	R/W	1'b0	PWM invert output mode
1:0	CLKSEL	R/W	2'd0	PWM clock source select, 2'b00-xclk ; 2'b01-bclk ; others-f32k_clk

### 12.4.7 pwm0\_interrupt

地址: 0x4000a434

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															INT EN
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTPECN															

位	名称	权限	复位值	描述
31:17	RSVD			
16	INTEN	R/W	1'b0	PWM interrupt enable
15:0	INTPECN	R/W	16'd0	PWM interrupt period counter threshold

### 12.4.8 pwm1\_clkdiv

地址: 0x4000a440

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLKDIV															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	CLKDIV	R/W	16'b0	PWM clock division

### 12.4.9 pwm1\_thre1

地址: 0x4000a444

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE1															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE1	R/W	16'b0	PWM first counter threshold, can't be larger that pwm_thre2

### 12.4.10 pwm1\_thre2

地址: 0x4000a448

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE2															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE2	R/W	16'd0	PWM sencond counter threshold, can't be smaller that pwm_thre1

### 12.4.11 pwm1\_period

地址: 0x4000a44c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PERIOD															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	PERIOD	R/W	16'd0	PWM period setting

## 12.4.12 pwm1\_config

地址: 0x4000a450

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								STOP STA	STOP EN	SW MODE	SW FVAL	STOP MODE	OUT INV	CLKSEL	

位	名称	权限	复位值	描述
31:8	RSVD			
7	STOPSTA	R	1'b0	PWM stop status
6	STOPEN	R/W	1'b0	PWM stop enable
5	SWMODE	R/W	1'b0	PWM SW Mode setting
4	SWFVAL	R/W	1'b0	PWM SW Mode force value
3	STOPMODE	R/W	1'b1	PWM stop mode, 1'b1 - graceful ; 1'b0 - abrupt
2	OUTINV	R/W	1'b0	PWM invert output mode
1:0	CLKSEL	R/W	2'd0	PWM clock source select, 2'b00-xclk ; 2'b01-bclk ; others-f32k_clk

## 12.4.13 pwm1\_interrupt

地址: 0x4000a454

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															INT EN
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTPECN															

位	名称	权限	复位值	描述
31:17	RSVD			
16	INTEN	R/W	1'b0	PWM interrupt enable
15:0	INTPECN	R/W	16'd0	PWM interrupt period counter threshold

#### 12.4.14 pwm2\_clkdiv

地址: 0x4000a460

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLKDIV															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	CLKDIV	R/W	16'b0	PWM clock division

#### 12.4.15 pwm2\_thre1

地址: 0x4000a464

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE1															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE1	R/W	16'b0	PWM first counter threshold, can't be larger that pwm_thre2

#### 12.4.16 pwm2\_thre2

地址: 0x4000a468

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE2															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE2	R/W	16'd0	PWM sencond counter threshold, can't be smaller that pwm_thre1

### 12.4.17 pwm2\_period

地址: 0x4000a46c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PERIOD															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	PERIOD	R/W	16'd0	PWM period setting

### 12.4.18 pwm2\_config

地址: 0x4000a470

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								STOP STA	STOP EN	SW MODE	SW FVAL	STOP MODE	OUT INV	CLKSEL	

位	名称	权限	复位值	描述
31:8	RSVD			
7	STOPSTA	R	1'b0	PWM stop status
6	STOPEN	R/W	1'b0	PWM stop enable

位	名称	权限	复位值	描述
5	SWMODE	R/W	1'b0	PWM SW Mode setting
4	SWFVAL	R/W	1'b0	PWM SW Mode force value
3	STOPMODE	R/W	1'b1	PWM stop mode, 1'b1 - graceful ; 1'b0 - abrupt
2	OUTINV	R/W	1'b0	PWM invert output mode
1:0	CLKSEL	R/W	2'd0	PWM clock source select, 2'b00-xclk ; 2'b01-bclk ; others-f32k_clk

### 12.4.19 pwm2\_interrupt

地址: 0x4000a474

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															INT EN
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTPECN															

位	名称	权限	复位值	描述
31:17	RSVD			
16	INTEN	R/W	1'b0	PWM interrupt enable
15:0	INTPECN	R/W	16'd0	PWM interrupt period counter threshold

### 12.4.20 pwm3\_clkdiv

地址: 0x4000a480

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLKDIV															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	CLKDIV	R/W	16'b0	PWM clock division

### 12.4.21 pwm3\_thre1

地址: 0x4000a484

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE1															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE1	R/W	16'b0	PWM first counter threshold, can't be larger that pwm_thre2

### 12.4.22 pwm3\_thre2

地址: 0x4000a488

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE2															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE2	R/W	16'd0	PWM sencond counter threshold, can't be smaller that pwm_thre1

### 12.4.23 pwm3\_period

地址: 0x4000a48c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PERIOD															



位	名称	权限	复位值	描述
31:16	RSVD			
15:0	PERIOD	R/W	16'd0	PWM period setting

## 12.4.24 pwm3\_config

地址: 0x4000a490

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								STOP STA	STOP EN	SW MODE	SW FVAL	STOP MODE	OUT INV	CLKSEL	

位	名称	权限	复位值	描述
31:8	RSVD			
7	STOPSTA	R	1'b0	PWM stop status
6	STOPEN	R/W	1'b0	PWM stop enable
5	SWMODE	R/W	1'b0	PWM SW Mode setting
4	SWFVAL	R/W	1'b0	PWM SW Mode force value
3	STOPMODE	R/W	1'b1	PWM stop mode, 1'b1 - graceful ; 1'b0 - abrupt
2	OUTINV	R/W	1'b0	PWM invert output mode
1:0	CLKSEL	R/W	2'd0	PWM clock source select, 2'b00-xclk ; 2'b01-bclk ; others-f32k_clk

## 12.4.25 pwm3\_interrupt

地址: 0x4000a494

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															INT EN
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTPECN															

位	名称	权限	复位值	描述
31:17	RSVD			
16	INTEN	R/W	1'b0	PWM interrupt enable
15:0	INTPECN	R/W	16'd0	PWM interrupt period counter threshold

## 12.4.26 pwm4\_clkdiv

地址: 0x4000a4a0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLKDIV															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	CLKDIV	R/W	16'b0	PWM clock division

## 12.4.27 pwm4\_thre1

地址: 0x4000a4a4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE1															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE1	R/W	16'b0	PWM first counter threshold, can't be larger that pwm_thre2

## 12.4.28 pwm4\_thre2

地址: 0x4000a4a8

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE2															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE2	R/W	16'd0	PWM sencond counter threshold, can't be smaller that pwm_thre1

### 12.4.29 pwm4\_period

地址: 0x4000a4ac

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PERIOD															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	PERIOD	R/W	16'd0	PWM period setting

### 12.4.30 pwm4\_config

地址: 0x4000a4b0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								STOP STA	STOP EN	SW MODE	SW FVAL	STOP MODE	OUT INV	CLKSEL	

位	名称	权限	复位值	描述
31:8	RSVD			
7	STOPSTA	R	1'b0	PWM stop status
6	STOPEN	R/W	1'b0	PWM stop enable

位	名称	权限	复位值	描述
5	SWMODE	R/W	1'b0	PWM SW Mode setting
4	SWFVAL	R/W	1'b0	PWM SW Mode force value
3	STOPMODE	R/W	1'b1	PWM stop mode, 1'b1 - graceful ; 1'b0 - abrupt
2	OUTINV	R/W	1'b0	PWM invert output mode
1:0	CLKSEL	R/W	2'd0	PWM clock source select, 2'b00-xclk ; 2'b01-bclk ; others-f32k_clk

### 12.4.31 pwm4\_interrupt

地址: 0x4000a4b4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															INT EN
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTPECN															

位	名称	权限	复位值	描述
31:17	RSVD			
16	INTEN	R/W	1'b0	PWM interrupt enable
15:0	INTPECN	R/W	16'd0	PWM interrupt period counter threshold

### 13.1 简介

芯片内置 2 组 32-bit 计数器，每个计数器可独立控制配置其参数与时钟频率。

芯片内有一组看门狗计数器，不可预知的软件或硬件行为有可能导致应用程序工作失常，看门狗定时器可以帮助系统从中恢复，如果当前阶段超过预定时间，但没有喂狗或关闭看门狗定时器，可依设定触发中断或系统复位。

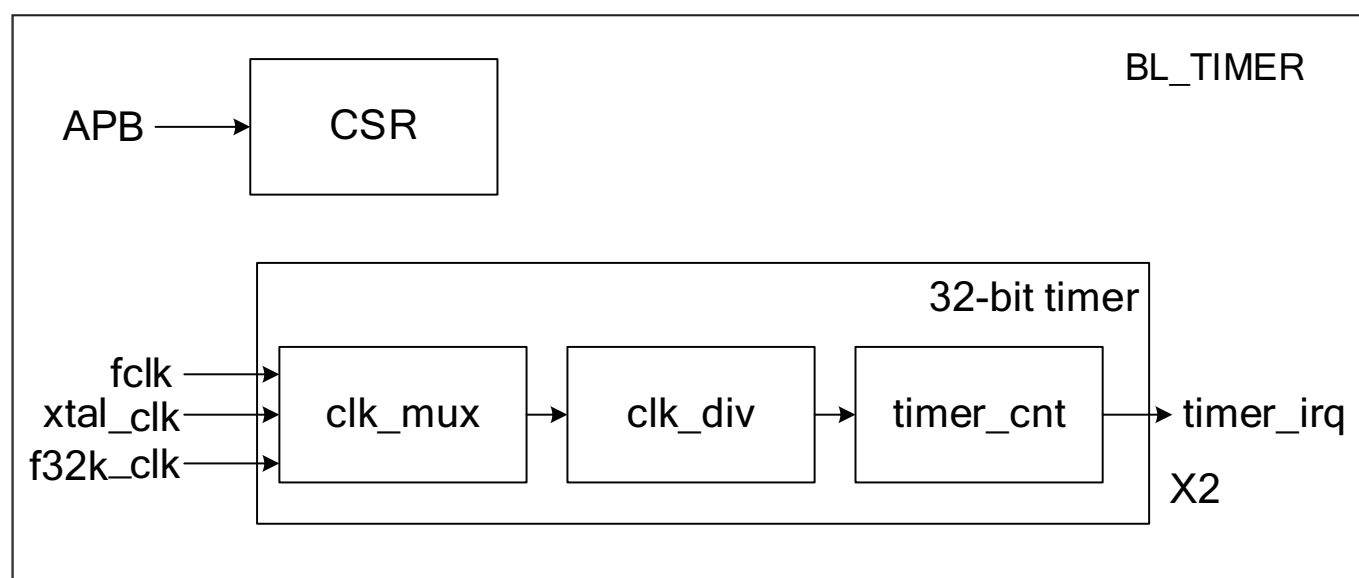


图 13.1: 定时器框图

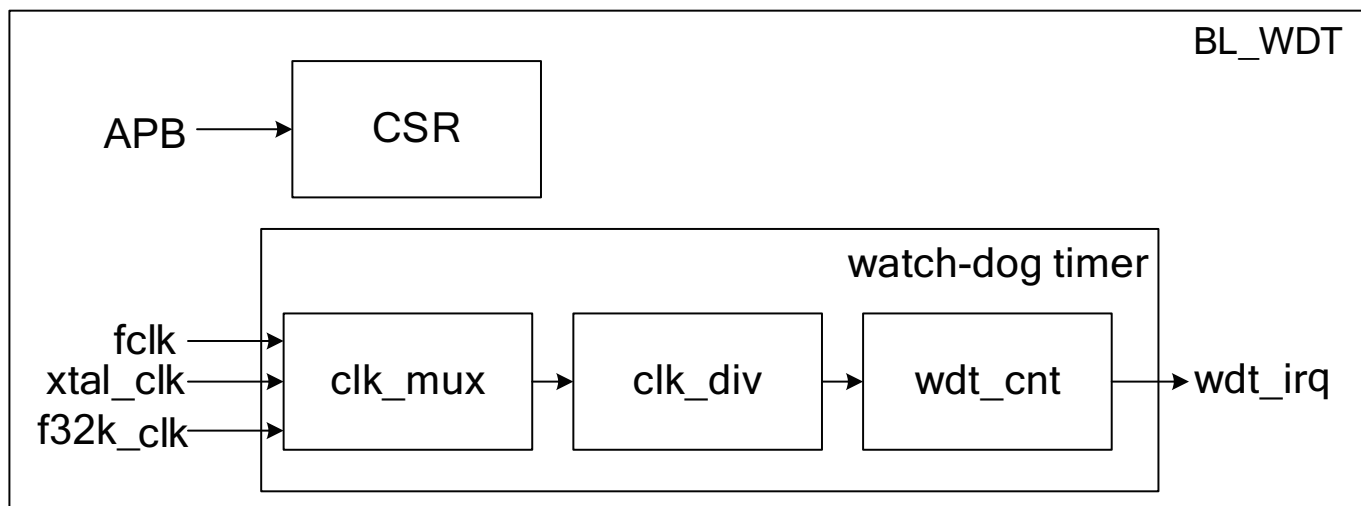


图 13.2: 看门狗定时器框图

## 13.2 主要特征

- 多种时钟来源选择
- 8-bit 时钟分频器，分频系数为 1-256
- 两组 32-bit 定时器
- 每个定时器包含三组报警值设定，可独立设定每组报警值溢出时报警
- 支持 Free Run 模式和 Pre\_load 模式
- 16-bit 看门狗定时器
- 支持写入密码保护，防止误设定造成系统异常
- 支持中断或复位两种看门狗溢出方式

## 13.3 功能描述

### 13.3.1 8-bit 分频器

Watchdog 定时器时钟有 3 种选择：

- Fclk—系统主时钟
- 32K—32K 时钟
- Xtal—外部晶振

每个定时器时钟来源都有四种选择，来源如下：

- Fclk—系统主时钟

- 32K–32K 时钟
- 1K–1K 时钟（32K 的分频）
- Xtal–外部晶振

每个计数器有各自的 8-bit 分频器，可通过 APB 将选择到的时钟进行 1-256 的分频，具体来说设定为 0 时表示不分频，设定为 1 时进行 2 分频以此类推，最大分频系数为 256，计数器将以分频后的时钟作为计数周期单位，每经过一个计数周期进行上数一的动作。

### 13.3.2 通用定时器工作原理

每个通用定时器都包含三组比较器，一个计数器以及一个预加载寄存器，当设定好时钟源，启动定时器后，计数器开始向上累加计数，当计数器的值与比较器相等的时候，比较标志置位同时可以产生比较中断。

计数器的初始值取决于定时的模式，在 FreeRun 模式下，计数器的初始值是 0，然后累加计数，当达到计数最大值后，然后从 0 再次开始计数。

在 PreLoad 模式下，计数器的初始值是 PreLoad 寄存器的值，然后向上累加计数，当满足 PreLoad 条件时，计数器的值被置为 PreLoad 寄存器的值，然后计数器再次开始向上累加计数，在定时器的计数器计数过程中，一旦计数器的值与三个比较器中的某比较值一致，该比较器的比较标志就会置位，并可以产生相应的比较中断。

若预加载寄存器的值为 10，比较器 0 的值为 13，比较器 1 的值为 16，比较器 2 的值为 19，则定时器在 PreLoad 的模式下工作时序如下图：

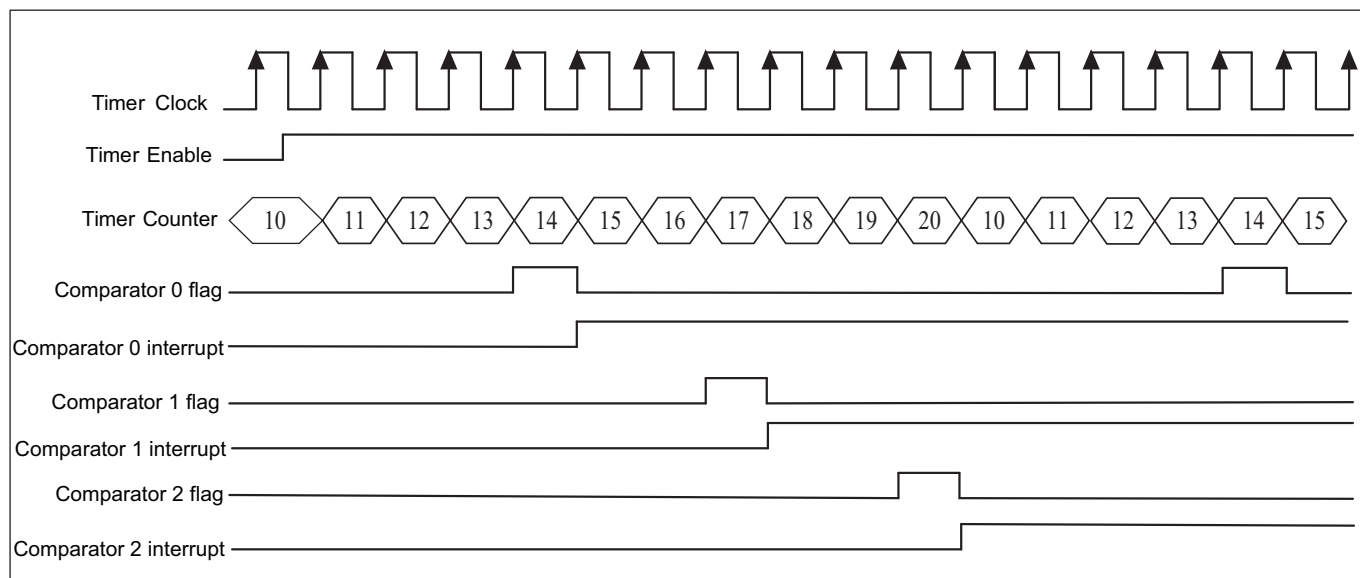


图 13.3: 定时器在 PreLoad 模式下工作时序

在 FreeRun 模式下，定时器工作时序与 PreLoad 基本相同，只是计数器会从 0 开始累计到最大值，期间产生的比较标志和比较中断的机制与 FreeRun 模式相同。

### 13.3.3 看门狗定时器工作原理

Watchdog 定时器包含一个计数器和一个比较器，计数器从 0 开始累加计数，如果计数器被复位 (喂狗)，则从 0 再次开始向上计数，当计数器的值与比较器相等的时候，可以产生一个比较中断信号或者系统复位信号，用户可以根据需要选择使用其中一个。看门狗计数器会在每个计数周期单位上加 1，软件可以在任何时间点通过 APB 将看门狗计数器归零。

若比较器的值为 6, Watchdog 的工作时序如下图所示

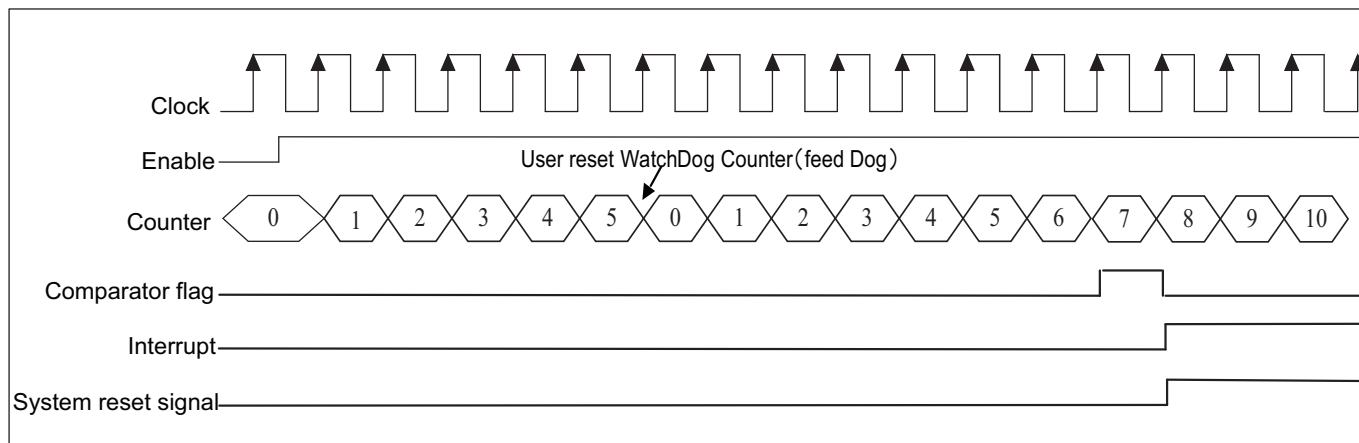


图 13.4: Watchdog 工作时序

### 13.3.4 报警设定

每一组计数器有三个比较值提供软件设定，并可设定每一组比较值是否触发报警中断，当计数器与比较值吻合且设定会报警时，计数器会通过中断通知处理器。软件可以通过 APB 读取目前是否发生报警和是哪个比较值触发报警中断，当清理报警中断时亦会同步清理报警状态。

### 13.3.5 看门狗报警

每个计数器可设定一组比较值，当软件因为系统错误，来不及将看门狗计数器归零，导致看门狗计数器超过比较值时，便会触发看门狗报警，报警方式有两种，第一种是通过中断通知软件进行必要的处置，第二种是进入系统看门狗复位，看门狗复位被触发时，会通知系统复位控制器，并做好系统复位前准备，当一切就绪后进入系统看门狗复位，值得注意的是，软件可通过 APB 读取 WSR 寄存器得知是否曾经发生看门狗系统复位。



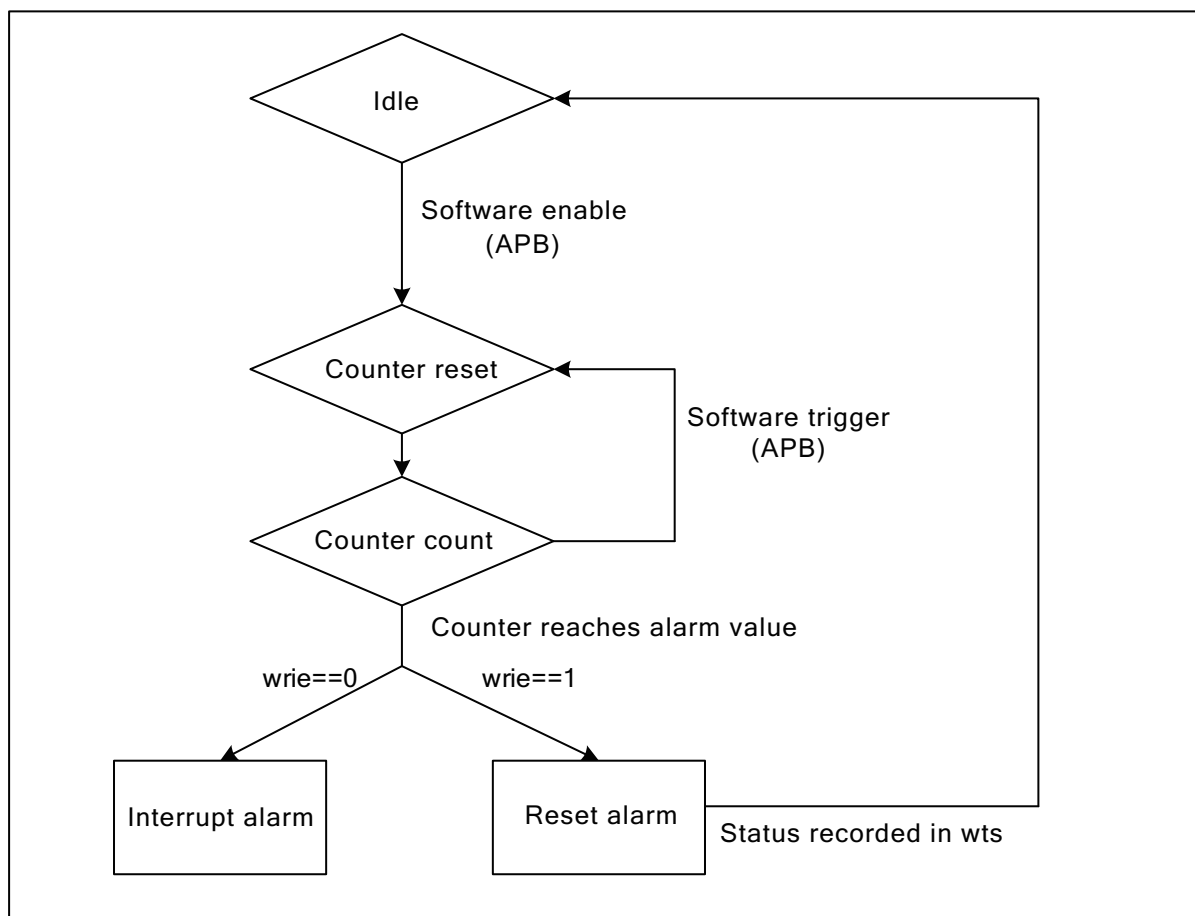


图 13.5: 看门狗报警机制

## 13.4 寄存器描述

名称	描述
TCCR	Timer clock source configuration register
TMR2_0	Timer2 match register 0
TMR2_1	Timer2 match register 1
TMR2_2	Timer2 match register 2
TMR3_0	Timer3 match register 0
TMR3_1	Timer3 match register 1
TMR3_2	Timer3 match register 2
TCR2	Timer2 counter register
TCR3	Timer3 counter register
TMSR2	Timer2 match register status

名称	描述
TMSR3	Timer3 match register status
TIER2	Timer2 match interrupt enable register
TIER3	Timer3 match interrupt enable register
TPLVR2	Timer2 pre-load value register
TPLVR3	Timer3 pre-load value register
TPLCR2	Timer2 pre-load control register
TPLCR3	Timer3 pre-load control register
WMER	WDT reset/interrupt mode register
WMR	WDT counter match value register
WVR	WDT counter value register
WSR	WDT timer reset indication register
TICR2	Timer2 Interrupt clear control register
TICR3	Timer3 Interrupt clear control register
WICR	WDT Interrupt clear register
TCER	Timer count enable register
TCMR	Timer count mode register
TILR2	Timer2 match interrupt mode register
TILR3	Timer3 match interrupt mode register
WCR	WDT timer count reset register
WFAR	WDT access key1 register
WSAR	WDT access key2 register
TCVWR2	Timer2 capture value of counter register
TCVWR3	Timer3 capture value of counter register
TCVSYN2	Timer2 synchronous value of counter register
TCVSYN3	Timer3 synchronous value of counter register
TCDR	WDT/Timer clock division register

### 13.4.1 TCCR

地址：0x4000a500

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						CSWDT		RSVD	CS2		RSVD	CS1		RSVD	

位	名称	权限	复位值	描述
31:10	RSVD			
9:8	CSWDT	R/W	2'd0	Clock Source for Timer #1/#2/#3/WDT 2'd0 - fclk 2'd1 - f32k_clk 2'd2 - 1 kHz 2'd3 - PLL 32MHz
7	RSVD			
6:5	CS2	R/W	2'd0	Clock Source for Timer #1/#2/#3/WDT 2'd0 - fclk 2'd1 - f32k_clk 2'd2 - 1 kHz 2'd3 - PLL 32MHz
4	RSVD			
3:2	CS1	R/W	2'd0	Clock Source for Timer #1/#2/#3/WDT 2'd0 - fclk 2'd1 - f32k_clk 2'd2 - 1 kHz 2'd3 - PLL 32MHz
1:0	RSVD			

### 13.4.2 TMR2\_0

地址：0x4000a510

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMR20															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR20															

位	名称	权限	复位值	描述
31:0	TMR20	R/W	32'hffffff	Timer2 match register 0

### 13.4.3 TMR2\_1

地址: 0x4000a514

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMR21															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR21															

位	名称	权限	复位值	描述
31:0	TMR21	R/W	32'hffffff	Timer2 match register 1

### 13.4.4 TMR2\_2

地址: 0x4000a518

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMR22															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR22															

位	名称	权限	复位值	描述
31:0	TMR22	R/W	32'hffffff	Timer2 match register 2

### 13.4.5 TMR3\_0

地址: 0x4000a51c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMR30															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR30															

位	名称	权限	复位值	描述
31:0	TMR30	R/W	32'hfffffff	Timer3 match register 0

### 13.4.6 TMR3\_1

地址: 0x4000a520

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMR31															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR31															

位	名称	权限	复位值	描述
31:0	TMR31	R/W	32'hfffffff	Timer3 match register 1

### 13.4.7 TMR3\_2

地址: 0x4000a524

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMR32															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR32															

位	名称	权限	复位值	描述
31:0	TMR32	R/W	32'hfffffff	Timer3 match register 2

### 13.4.8 TCR2

地址: 0x4000a52c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCR2COUT															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCR2COUT															

位	名称	权限	复位值	描述
31:0	TCR2COUT	R	32'h0	Timer2 counter register

### 13.4.9 TCR3

地址: 0x4000a530

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCR3COUT															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCR3COUT															

位	名称	权限	复位值	描述
31:0	TCR3COUT	R	32'h0	Timer3 counter register

### 13.4.10 TMSR2

地址: 0x4000a538

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												T2M R2S	T2M R1S	T2M R0S	

位	名称	权限	复位值	描述
31:3	RSVD			
2	T2MR2S	R	1'b0	Timer2 match register 2 status/Clear interrupt would also clear this bit
1	T2MR1S	R	1'b0	Timer2 match register 1 status/Clear interrupt would also clear this bit
0	T2MR0S	R	1'b0	Timer2 match register 0 status/Clear interrupt would also clear this bit

### 13.4.11 TMSR3

地址：0x4000a53c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												T3M R2S	T3M R1S	T3M R0S	

位	名称	权限	复位值	描述
31:3	RSVD			
2	T3MR2S	R	1'b0	Timer3 match register 2 status/Clear interrupt would also clear this bit
1	T3MR1S	R	1'b0	Timer3 match register 1 status/Clear interrupt would also clear this bit
0	T3MR0S	R	1'b0	Timer3 match register 0 status/Clear interrupt would also clear this bit

### 13.4.12 TIER2

地址：0x4000a544

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												TIER 22	TIER 21	TIER 20	

位	名称	权限	复位值	描述
31:3	RSVD			
2	TIER22	R/W	1'b0	Timer2 match register 2 interrupt enable register
1	TIER21	R/W	1'b0	Timer2 match register 1 interrupt enable register
0	TIER20	R/W	1'b0	Timer2 match register 0 interrupt enable register

### 13.4.13 TIER3

地址：0x4000a548

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												TIER32	TIER31	TIER30	

位	名称	权限	复位值	描述
31:3	RSVD			
2	TIER32	R/W	1'b0	Timer3 match register 2 interrupt enable register
1	TIER31	R/W	1'b0	Timer3 match register 1 interrupt enable register
0	TIER30	R/W	1'b0	Timer3 match register 0 interrupt enable register

### 13.4.14 TPLVR2

地址: 0x4000a550

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TPLVR2															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPLVR2															

位	名称	权限	复位值	描述
31:0	TPLVR2	R/W	32'h0	Timer2 pre-load value register

### 13.4.15 TPLVR3

地址: 0x4000a554

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TPLVR3															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPLVR3															

位	名称	权限	复位值	描述
31:0	TPLVR3	R/W	32'h0	Timer3 pre-load value register



### 13.4.16 TPLCR2

地址：0x4000a55c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														TPLCR2	

位	名称	权限	复位值	描述
31:2	RSVD			
1:0	TPLCR2	R/W	2'h0	Timer2 pre-load control register 2'd0 - No pre-load 2'd1 - Pre-load with match comparator 0 2'd2 - Pre-load with match comparator 1 2'd3 - Pre-load with match comparator 2

### 13.4.17 TPLCR3

地址：0x4000a560

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														TPLCR3	

位	名称	权限	复位值	描述
31:2	RSVD			
1:0	TPLCR3	R/W	2'h0	Timer3 pre-load control register 2'd0 - No pre-load 2'd1 - Pre-load with match comparator 0 2'd2 - Pre-load with match comparator 1 2'd3 - Pre-load with match comparator 2

### 13.4.18 WMER

地址：0x4000a564

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														WRIE	WE

位	名称	权限	复位值	描述
31:2	RSVD			
1	WRIE	R/W	1'b0	WDT reset/interrupt mode register 1'b0 - WDT expiration to generate interrupt 1'b1 - WDT expiration to generate reset source
0	WE	R/W	1'b0	WDT enable register

### 13.4.19 WMR

地址: 0x4000a568

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WMR															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	WMR	R/W	16'hffff	WDT counter match value register

### 13.4.20 WVR

地址: 0x4000a56c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WVR															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	WVR	R	16'h0	WDT counter value register

### 13.4.21 WSR

地址：0x4000a570

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														WTS	

位	名称	权限	复位值	描述
31:1	RSVD			
0	WTS	R/W	1'b0	WDT timer reset indication, Indicates that reset was caused by the WDT. (Write)1'b0 - clear the WDT reset status (Write)1'b1 - no affect (Read)1'b0 - Watchdog timer did not cause reset because this bit was cleare (Read)1'b1 - Watchdog timer caused reset

### 13.4.22 TICR2

地址：0x4000a578

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												TCLR 22	TCLR 21	TCLR 20	

位	名称	权限	复位值	描述
31:3	RSVD			
2	TCLR22	W	1'b0	Timer2 Interrupt clear for match comparator 2
1	TCLR21	W	1'b0	Timer2 Interrupt clear for match comparator 1
0	TCLR20	W	1'b0	Timer2 Interrupt clear for match comparator 0

### 13.4.23 TICR3

地址：0x4000a57c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													TCLR 32	TCLR 31	TCLR 30

位	名称	权限	复位值	描述
31:3	RSVD			
2	TCLR32	W	1'b0	Timer3 Interrupt clear for match comparator 2
1	TCLR31	W	1'b0	Timer3 Interrupt clear for match comparator 1
0	TCLR30	W	1'b0	Timer3 Interrupt clear for match comparator 0

### 13.4.24 WICR

地址: 0x4000a580

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														WI CLR	

位	名称	权限	复位值	描述
31:1	RSVD			
0	WICLR	W	1'b0	WDT Interrupt clear register

### 13.4.25 TCER

地址: 0x4000a584

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													TIM3 EN	TIM2 EN	RSVD

位	名称	权限	复位值	描述
31:3	RSVD			
2	TIM3EN	R/W	1'b0	Timer3 count enable
1	TIM2EN	R/W	1'b0	Timer2 count enable
0	RSVD			

### 13.4.26 TCMR

地址: 0x4000a588

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													TIM3 MODE	TIM2 MODE	RSVD

位	名称	权限	复位值	描述
31:3	RSVD			
2	TIM3MODE	R/W	1'b0	Timer1/2/3 count mode register 1'b0 - pre-load mode 1'b1 - free run mode
1	TIM2MODE	R/W	1'b0	Timer1/2/3 count mode register 1'b0 - pre-load mode 1'b1 - free run mode
0	RSVD			

### 13.4.27 TILR2

地址: 0x4000a590

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													TILR 22	TILR 21	TILR 20

位	名称	权限	复位值	描述
31:3	RSVD			
2	TILR22	R/W	1'b0	Timer2 match 0/1/2 interrupt mode register 1'b0 - level interrupt 1'b1 - pulse interrupt
1	TILR21	R/W	1'b0	Timer2 match 0/1/2 interrupt mode register 1'b0 - level interrupt 1'b1 - pulse interrupt
0	TILR20	R/W	1'b0	Timer2 match 0/1/2 interrupt mode register 1'b0 - level interrupt 1'b1 - pulse interrupt

### 13.4.28 TILR3

地址: 0x4000a594

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													TILR 32	TILR 31	TILR 30

位	名称	权限	复位值	描述
31:3	RSVD			
2	TILR32	R/W	1'b0	Timer3 match 0/1/2 interrupt mode register 1'b0 - level interrupt 1'b1 - pulse interrupt
1	TILR31	R/W	1'b0	Timer3 match 0/1/2 interrupt mode register 1'b0 - level interrupt 1'b1 - pulse interrupt
0	TILR30	R/W	1'b0	Timer3 match 0/1/2 interrupt mode register 1'b0 - level interrupt 1'b1 - pulse interrupt

### 13.4.29 WCR

地址: 0x4000a598

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															WCR

位	名称	权限	复位值	描述
31:1	RSVD			
0	WCR	W	1'b0	WDT timer count reset register

### 13.4.30 WFAR

地址: 0x4000a59c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WFAR															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	WFAR	W	16'b0	WDT access key1 - 16'hBABA

### 13.4.31 WSAR

地址: 0x4000a5a0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WSAR															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	WSAR	W	16'b0	WDT access key2 - 16'hEB10

### 13.4.32 TCVWR2

地址: 0x4000a5a8

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCVWR2															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCVWR2															

位	名称	权限	复位值	描述
31:0	TCVWR2	R	32'h0	Timer2 capture value of counter

### 13.4.33 TCVWR3

地址: 0x4000a5ac

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCVWR3															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCVWR3															

位	名称	权限	复位值	描述
31:0	TCVWR3	R	32'h0	Timer3 capture value of counter

### 13.4.34 TCVSYN2

地址: 0x4000a5b4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCVSYN2															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCVSYN2															

位	名称	权限	复位值	描述
31:0	TCVSYN2	R	32'h0	Timer2 synchronous value of counter



### 13.4.35 TCVSYN3

地址: 0x4000a5b8

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCVSYN3															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCVSYN3															

位	名称	权限	复位值	描述
31:0	TCVSYN3	R	32'h0	Timer3 synchronous value of counter

### 13.4.36 TCDR

地址: 0x4000a5bc

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WCDR								TCDR3							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCDR2								RSVD							

位	名称	权限	复位值	描述
31:24	WCDR	R/W	8'h0	WDT clock division value register
23:16	TCDR3	R/W	8'h0	Timer3 clock division value register
15:8	TCDR2	R/W	8'h0	Timer2 clock division value register
7:0	RSVD			

## 14.1 简介

正交解码器 (quadrature decoder)，用于将双路旋转编码器产生的两组相位相差 90 度的脉冲解码为对应转速和旋转方向。

## 14.2 主要特征

三组 QDEC 可供使用 QDEC 的时钟源可以为 32K (f32k\_clk) 或 32M (xclk)，正常工作时建议选择 32M 作为时钟源，当进入睡眠模式并希望可以由 QDEC 唤醒时建议使用 32k。支持 5 位分频值，可分频 1~32。16 位脉冲计数范围 (-32768~32767 pulse/sample) 12 种可配置的 sample 周期 (32us~131ms per sample at 1MHz) 16 位可设置的 report 周期 (0~65535 sample/report) 内置一个可随采样进行闪烁的 LED 功能 (LED on/off 0~511 us/sample) 中断可配 (sample 中断、report 中断、error 中断、overflow 中断) 可配置为 PDS 的唤醒源 (clock source 需要配置为 32k)

## 14.3 功能描述

QDEC 预期的工作频率为 1MHz，检测的速度越快所需的工作频率越高。每次采样会将编码器输出的 A/B 两相脉冲解码为高低电平，对比前次采样结果可获得当前编码器旋转方向与脉冲计数变化情况 (顺时针转 +1，逆时针转 -1，不转不变，出错报错并计数)，经过 report 所设定的采样次数后，即可获得此段时间内编码器的旋转方向和脉冲计数，据此求解出此段 report 时间内转速方向均值。每次采样的周期可配，在工作频率为 1MHz 时，最低 32us 一次采样，最高 131ms 一次采样。可配置中断为单次采样结束触发 (sample 中断)、多次采样结束触发 (report 中断)，以灵活测量转速。可配置的 LED 闪烁功能，闪烁频率 = LED 周期/采样周期，每次闪烁中的 on/off 由 LED 极性决定。

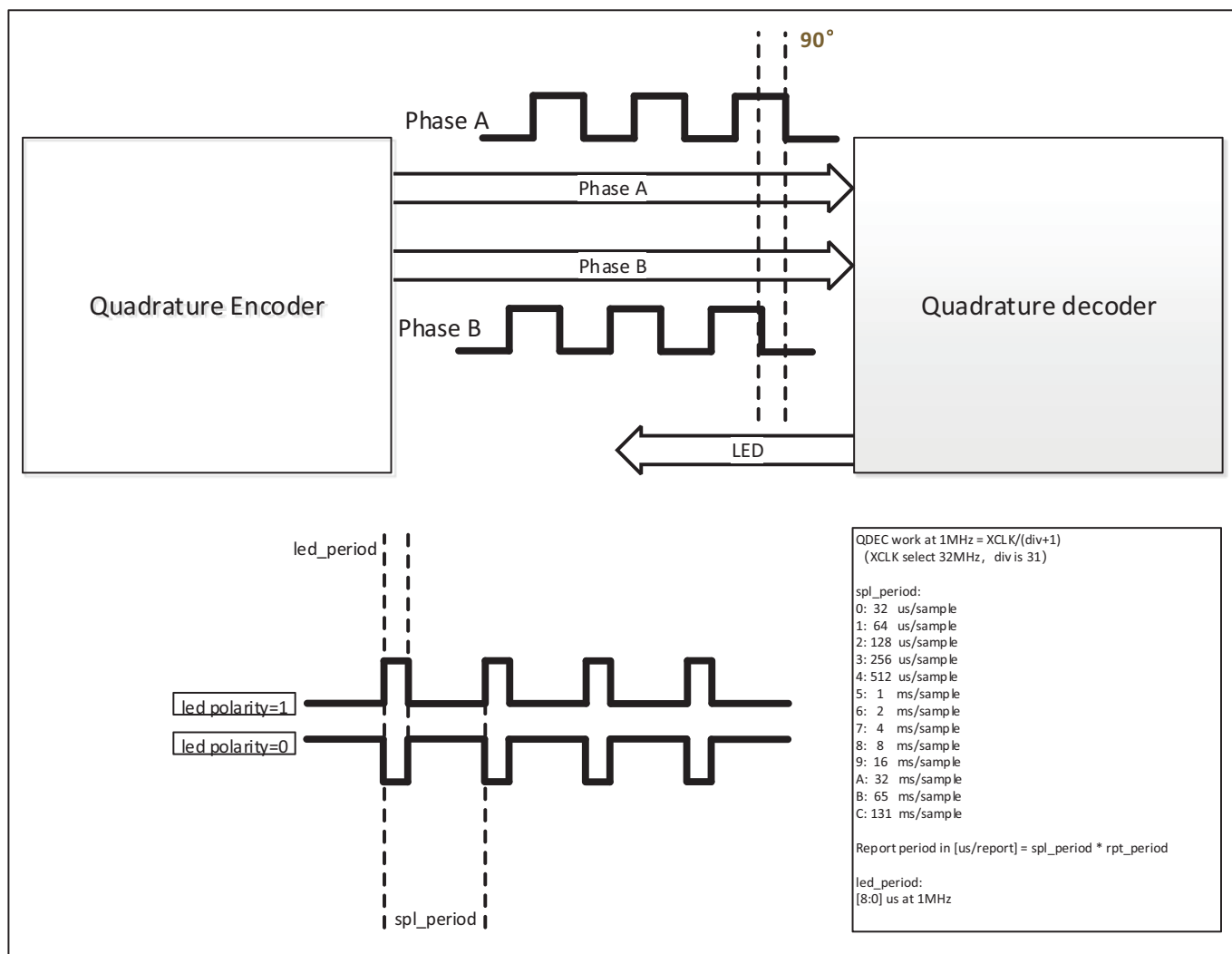


图 14.1: QDEC 功能框图

## 14.4 寄存器描述

名称	描述
qdec0_ctrl0	QDEC0 control0
qdec0_ctrl1	QDEC0 control1
qdec0_value	QDEC0 value
qdec0_int_en	QDEC0 interrupt enable
qdec0_int_sts	QDEC0 interrupt status
qdec0_int_clr	QDEC0 interrupt clear
qdec1_ctrl0	QDEC1 control0
qdec1_ctrl1	QDEC1 control1

名称	描述
qdec1_value	QDEC1 value
qdec1_int_en	QDEC1 interrupt enable
qdec1_int_sts	QDEC1 interrupt status
qdec1_int_clr	QDEC1 interrupt clear
qdec2_ctrl0	QDEC2 control0
qdec2_ctrl1	QDEC2 control1
qdec2_value	QDEC2 value
qdec2_int_en	QDEC2 interrupt enable
qdec2_int_sts	QDEC2 interrupt status
qdec2_int_clr	QDEC2 interrupt clear

#### 14.4.1 qdec0\_ctrl0

地址: 0x4000a800

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				RPT											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RPT				SPL				DEGCNT				DEG EN	LED POL	LED EN	QDEC EN

位	名称	权限	复位值	描述
31:28	RSVD			
27:12	RPT	R/W	16'd10	"RPT" report period in [samples/report]. Specifies the number of samples to be accumulated in the ACC1 register before the RPT_RDY and DBL_RDY events can be generated "RPT_US" report period in [us/report] = SP * RP

位	名称	权限	复位值	描述
11:8	SPL	R/W	4'h2	"SPL" sample period in [us/sample]. The SAMPLE register will be updated for every new sample (at 1MHz) 0: 32 us 1: 64 2: 128 3: 256 4: 512 5: 1 ms 6: 2 7: 4 8: 8 9: 16 A: 32 B: 65 C: 131
7:4	DEGCNT	R/W	0	deglitch strength
3	DEGEN	R/W	0	deglitch enable
2	LEDPOL	R/W	1	qdec led polarity
1	LEDEN	R/W	0	qdec led enable
0	QDECEN	R/W	0	qdec enable

#### 14.4.2 qdec0\_ctrl1

地址: 0x4000a804

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD								LEDPED							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												IS	RPT	SPL	ACC

位	名称	权限	复位值	描述
31:25	RSVD			
24:16	LEDPED	R/W	0	Period in us the LED is switched on prior to sampling
15:4	RSVD			
3	IS	R/W	0	input a/b swap
2	RPT	R/W	0	rpt option 0: Count time only if sample change 1: Continue time

位	名称	权限	复位值	描述
1	SPL	R/W	0	spl option 0: Stop sample if rpt_rdy 1: Continue sample
0	ACC	R/W	1	acc option 0: Stop accumulate if overflow 1: Continue accumulate

### 14.4.3 qdec0\_value

地址: 0x4000a808

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		SPLVAL		RSVD								ACC2VAL			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ACC1VAL															

位	名称	权限	复位值	描述
31:30	RSVD			
29:28	SPLVAL	R	0	Sample value. Direction of last change 00: no change 01: clockwise 11: counter-clockwise 10: Error
27:20	RSVD			
19:16	ACC2VAL	R	0	Double error accumulation (0 15)
15:0	ACC1VAL	R	0	Sample accumulation (-32768 32767) clockwise +1, counter-clockwise -1

### 14.4.4 qdec0\_int\_en

地址: 0x4000a810

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												OFEN	DREN	SREN	RREN

位	名称	权限	复位值	描述
31:4	RSVD			

位	名称	权限	复位值	描述
3	OFEN	R/W	0	overflow interrupt enable
2	DREN	R/W	0	double error interrupt enable
1	SREN	R/W	0	sample interrupt enable
0	RREN	R/W	1	report interrupt enable

#### 14.4.5 qdec0\_int\_sts

地址: 0x4000a814

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												OF STS	DR STS	SR STS	RR STS

位	名称	权限	复位值	描述
31:4	RSVD			
3	OFSTS	R	0	ACC1 or ACC2 overflow
2	DRSTS	R	0	ACC2 double error
1	SRSTS	R	0	Event being generated for every new sample value written to the SAMPLE register
0	RRSTS	R	0	Non-null report ready

#### 14.4.6 qdec0\_int\_clr

地址: 0x4000a818

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												OFCL	DRCL	SRCL	RRCL

位	名称	权限	复位值	描述
31:4	RSVD			
3	OFCL	W1C	0	overflow interrupt clear

位	名称	权限	复位值	描述
2	DRCL	W1C	0	double error interrupt clear
1	SRCL	W1C	0	sample interrupt clear
0	RRCL	W1C	0	report interrupt clear

#### 14.4.7 qdec1\_ctrl0

地址: 0x4000a840

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				RPT											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RPT				SPL				DEGCNT				DEGEN	LEDPOL	LEDEN	QDECEN

位	名称	权限	复位值	描述
31:28	RSVD			
27:12	RPT	R/W	16'd10	"RPT" report period in [samples/report]. Specifies the number of samples to be accumulated in the ACC1 register before the RPT_RDY and DBL_RDY events can be generated "RPT_US" report period in [us/report] = SP * RP
11:8	SPL	R/W	4'h2	"SPL" sample period in [us/sample]. The SAMPLE register will be updated for every new sample (at 1MHz) 0: 32 us 1: 64 2: 128 3: 256 4: 512 5: 1 ms 6: 2 7: 4 8: 8 9: 16 A: 32 B: 65 C: 131
7:4	DEGCNT	R/W	0	deglitch strength
3	DEGEN	R/W	0	deglitch enable
2	LEDPOL	R/W	1	qdec led polarity



位	名称	权限	复位值	描述
1	LEDEN	R/W	0	qdec led enable
0	QDECEN	R/W	0	qdec enable

#### 14.4.8 qdec1\_ctrl1

地址: 0x4000a844

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD								LEDPED							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												IS	RPT	SPL	ACC

位	名称	权限	复位值	描述
31:25	RSVD			
24:16	LEDPED	R/W	0	Period in us the LED is switched on prior to sampling
15:4	RSVD			
3	IS	R/W	0	input a/b swap
2	RPT	R/W	0	rpt option 0: Count time only if sample change 1: Continue time
1	SPL	R/W	0	spl option 0: Stop sample if rpt_rdy 1: Continue sample
0	ACC	R/W	1	acc option 0: Stop accumulate if overflow 1: Continue accumulate

#### 14.4.9 qdec1\_value

地址: 0x4000a848

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		SPLVAL		RSVD								ACC2VAL			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ACC1VAL															

位	名称	权限	复位值	描述
31:30	RSVD			

位	名称	权限	复位值	描述
29:28	SPLVAL	R	0	Sample value. Direction of last change 00: no change 01: clockwise 11: counter-clockwise 10: Error
27:20	RSVD			
19:16	ACC2VAL	R	0	Double error accumulation (0 15)
15:0	ACC1VAL	R	0	Sample accumulation (-32768 32767) clockwise +1, counter-clockwise -1

#### 14.4.10 qdec1\_int\_en

地址: 0x4000a850

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												OFEN	DREN	SREN	RREN

位	名称	权限	复位值	描述
31:4	RSVD			
3	OFEN	R/W	0	overflow interrupt enable
2	DREN	R/W	0	double error interrupt enable
1	SREN	R/W	0	sample interrupt enable
0	RREN	R/W	1	report interrupt enable

#### 14.4.11 qdec1\_int\_sts

地址: 0x4000a854

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												OF STS	DR STS	SR STS	RR STS

位	名称	权限	复位值	描述
31:4	RSVD			
3	OFSTS	R	0	ACC1 or ACC2 overflow
2	DRSTS	R	0	ACC2 double error
1	SRSTS	R	0	Event being generated for every new sample value written to the SAMPLE register
0	RRSTS	R	0	Non-null report ready

#### 14.4.12 qdec1\_int\_clr

地址: 0x4000a858

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												OFCL	DRCL	SRCL	RRCL

位	名称	权限	复位值	描述
31:4	RSVD			
3	OFCL	W1C	0	overflow interrupt clear
2	DRCL	W1C	0	double error interrupt clear
1	SRCL	W1C	0	sample interrupt clear
0	RRCL	W1C	0	report interrupt clear

#### 14.4.13 qdec2\_ctrl0

地址: 0x4000a880

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				RPT											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RPT				SPL				DEGCNT				DEG EN	LED POL	LED EN	QDEC EN

位	名称	权限	复位值	描述
31:28	RSVD			

位	名称	权限	复位值	描述
27:12	RPT	R/W	16'd10	"RPT" report period in [samples/report]. Specifies the number of samples to be accumulated in the ACC1 register before the RPT_RDY and DBL_RDY events can be generated "RPT_US" report period in [us/report] = SP * RP
11:8	SPL	R/W	4'h2	"SPL" sample period in [us/sample]. The SAMPLE register will be updated for every new sample (at 1MHz) 0: 32 us 1: 64 2: 128 3: 256 4: 512 5: 1 ms 6: 2 7: 4 8: 8 9: 16 A: 32 B: 65 C: 131
7:4	DEGCNT	R/W	0	deglitch strength
3	DEGEN	R/W	0	deglitch enable
2	LEDPOL	R/W	1	qdec led polarity
1	LEDEN	R/W	0	qdec led enable
0	QDECEN	R/W	0	qdec enable

#### 14.4.14 qdec2\_ctrl1

地址: 0x4000a884

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD								LEDPED							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												IS	RPT	SPL	ACC

位	名称	权限	复位值	描述
31:25	RSVD			
24:16	LEDPED	R/W	0	Period in us the LED is switched on prior to sampling
15:4	RSVD			

位	名称	权限	复位值	描述
3	IS	R/W	0	input a/b swap
2	RPT	R/W	0	rpt option 0: Count time only if sample change 1: Continue time
1	SPL	R/W	0	spl option 0: Stop sample if rpt_rdy 1: Continue sample
0	ACC	R/W	1	acc option 0: Stop accumulate if overflow 1: Continue accumulate

#### 14.4.15 qdec2\_value

地址: 0x4000a888

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		SPLVAL		RSVD								ACC2VAL			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ACC1VAL															

位	名称	权限	复位值	描述
31:30	RSVD			
29:28	SPLVAL	R	0	Sample value. Direction of last change 00: no change 01: clockwise 11: counter-clockwise 10: Error
27:20	RSVD			
19:16	ACC2VAL	R	0	Double error accumulation (0 15)
15:0	ACC1VAL	R	0	Sample accumulation (-32768 32767) clockwise +1, counter-clockwise -1

#### 14.4.16 qdec2\_int\_en

地址: 0x4000a890

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												OFEN	DREN	SREN	RREN

位	名称	权限	复位值	描述
31:4	RSVD			
3	OFEN	R/W	0	overflow interrupt enable
2	DREN	R/W	0	double error interrupt enable
1	SREN	R/W	0	sample interrupt enable
0	RREN	R/W	1	report interrupt enable

#### 14.4.17 qdec2\_int\_sts

地址: 0x4000a894

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												OF STS	DR STS	SR STS	RR STS

位	名称	权限	复位值	描述
31:4	RSVD			
3	OFSTS	R	0	ACC1 or ACC2 overflow
2	DRSTS	R	0	ACC2 double error
1	SRSTS	R	0	Event being generated for every new sample value written to the SAMPLE register
0	RRSTS	R	0	Non-null report ready

#### 14.4.18 qdec2\_int\_clr

地址: 0x4000a898

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												OFCL	DRCL	SRCL	RRCL

位	名称	权限	复位值	描述
31:4	RSVD			

位	名称	权限	复位值	描述
3	OFCL	W1C	0	overflow interrupt clear
2	DRCL	W1C	0	double error interrupt clear
1	SRCL	W1C	0	sample interrupt clear
0	RRCL	W1C	0	report interrupt clear

## 15.1 简介

KYS(Key Scan) 模块用于对矩阵键盘进行扫描以获取键值，它会周期性的对键盘连接引脚进行扫描，一旦发现有按键按下会立即产生一个中断。

## 15.2 主要特征

- 可配置的行列数，最大可支持 8 行 \*20 列的矩阵键盘
- 最多存储四个键值
- 支持按键中断

## 15.3 功能描述

### 15.3.1 可配置的行列数

通过寄存器 KS\_CTRL 的位 <ROW\_NUM> 和 <COL\_NUM> 可以分别配置矩阵键盘的行列数，配置值为实际值减一。行数最大支持 8 行，列数最大支持 20 列。

### 15.3.2 GPIO 选择

由于按键扫描固定从功能为 ROW\_0 和 COL\_0 的 GPIO 引脚开始扫描，所以行引脚需要从功能为 ROW\_0 的 GPIO 开始往下依次选择，即从 GPIO0/GPIO8/GPIO16/GPIO24 中的任意一个开始，列引脚需要从功能为 COL\_0 的 GPIO 开始往下依次选择，即从 GPIO0/GPIO20 中的任意一个开始。

### 15.3.3 键值

键值会存储在寄存器 KEYCODE\_VALUE 中，每 8 位为一个键值，第一个键值会存放在最低 8 位。当寄存器 KEYCODE\_CLR 中对应序号的位被置一时，对应的键值和中断标志位会被清除。键值对应的行号 = 键值 % 总行数，键值对应的列号 = 键值 / 总行数。



### 15.3.4 中断

当检测到有按键按下时，中断标志位会置一，同时产生一个中断。

## 15.4 寄存器描述

名称	描述
ks_ctrl	Keyscan control
ks_int_en	Keyscan interrupt enable
ks_int_sts	Keyscan interrupt status
keycode_clr	Keycode clear
keycode_value	Keycode value

### 15.4.1 ks\_ctrl

地址：0x4000a900

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD								COLNUM				RSVD	ROWNUM		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						RCEXT		DEGCNT				DEGEN	GHEN	RSVD	KSEN

位	名称	权限	复位值	描述
31:25	RSVD			
24:20	COLNUM	R/W	5'd19	col_num + 1
19	RSVD			
18:16	ROWNUM	R/W	3'd7	row_num + 1
15:10	RSVD			
9:8	RCEXT	R/W	2'd3	idle duration between column scans
7:4	DEGCNT	R/W	0	deglitch count
3	DEGEN	R/W	0	deglitch
2	GHEN	R/W	0	ghost key event detection
1	RSVD			
0	KSEN	R/W	0	Keyscan en

### 15.4.2 ks\_int\_en

地址: 0x4000a910

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														KSIT EN	

位	名称	权限	复位值	描述
31:1	RSVD			
0	KSITEN	R/W	1	Keyscan interrupt enable

### 15.4.3 ks\_int\_sts

地址: 0x4000a914

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												KCVALID			

位	名称	权限	复位值	描述
31:4	RSVD			
3:0	KCVALID	R	0	Keycode valid

### 15.4.4 keycode\_clr

地址: 0x4000a918

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												KCCLR			

位	名称	权限	复位值	描述
31:4	RSVD			
3:0	KCCLR	W1C	0	Keycode clear

### 15.4.5 keycode\_value

地址: 0x4000a91c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KC3								KC2							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KC1								KC0							

位	名称	权限	复位值	描述
31:24	KC3	R	8'hff	Col = keycode / (row_num+1) Row = keycode
23:16	KC2	R	8'hff	Col = keycode / (row_num+1) Row = keycode
15:8	KC1	R	8'hff	Col = keycode / (row_num+1) Row = keycode
7:0	KC0	R	8'hff	Col = keycode / (row_num+1) Row = keycode

## 16.1 简介

I2S 是传输数字音频数据的一种接口标准，采用序列的方式传输 2 组（左右声道）数据。

I2S 将时钟信号与数据信号分开传输，使得接收端不用从数据信号还原时钟，进而降低接收端的设计难度。

## 16.2 主要特征

- 支持主模式以及从模式
- 支持 Left-justified/Right-justified/DSP 等数据格式
- 支持 8/16/24/32 比特数据宽度
- 除单声道/双声道模式之外，同时支持四声道模式
- 支持动态静音切换功能
- 数据发送 FIFO 的宽度为 32 位，深度 16
- 数据接收 FIFO 的宽度为 32 位，深度 16

## 16.3 功能描述

引脚列表：

表 16.1: I2S 引脚

名称	类型	描述
I2Sx_DI	输入	串行数据输入
I2Sx_DO	输出	串行数据输出
I2Sx_BCLK	输入/输出	同步传输时钟，作为主机时为输出，作为从机时为输入
I2Sx_FS	输入/输出	数据起始/结束表示信号，作为主机时为输出，作为从机时为输入

## 16.4 寄存器描述

名称	描述
i2s_config	I2S configuration
i2s_int_sts	I2S interrupt status
i2s_bclk_config	I2S clock configuration
i2s_fifo_config_0	I2S FIFO configuration0
i2s_fifo_config_1	I2S DMA FIFO configuration
i2s_fifo_wdata	I2S FIFO write data
i2s_fifo_rdata	I2S FIFO read data
i2s_io_config	I2S IO configuration

### 16.4.1 i2s\_config

地址：0x4000aa00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD						OFS EN	OFSCNT					MONO RCH	EN DIAN	MODE	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATASIZE		FRAMSIZE		RSVD			FSCH MODE	FS4C	FS1T	MUTE	MONO	RXD EN	TXD EN	SLA EN	MAS EN

位	名称	权限	复位值	描述
31:26	RSVD			
25	OFSEN	R/W	1'b0	Offset enable 1'b0: Disabled, 1'b1: Enabled

位	名称	权限	复位值	描述
24:20	OFSCNT	R/W	5'd0	Offset cycle count (unit: cycle of I2S BCLK) 5'd0: 1 cycle 5'd1: 2 cycles ...
19	MONORCH	R/W	1'b0	RX mono mode channel select signal 1'b0: L-channel 1'b1: R-channel
18	ENDIAN	R/W	1'b0	Data endian (bit reverse) 1'b0: MSB goes out first, 1'b1: LSB goes out first
17:16	MODE	R/W	2'd0	2'd0: Left-Justified, 2'd1: Right-Justified, 2'd2: DSP, 2'd3: Reserved
15:14	DATASIZE	R/W	2'd1	Data bit width of each channel 2'd0: 8, 2'd1: 16, 2'd2: 24, 2'd3: 32 (bits)
13:12	FRAMSIZE	R/W	2'd1	Frame size of each channel 2'd0: 8, 2'd1: 16, 2'd2: 24, 2'd3: 32 (cycles)
11:9	RSVD			
8	FSCHMODE	R/W	1'b0	1'b0: FS 2-channel mode, 1'b1: FS 3-channel mode (DSP mode only) Note: cr_fs_3ch_mode & cr_fs_4ch_mode should NOT be enabled at the same time Note: cr_mono_mode & cr_fifo_lr_merge will be invalid in 3-channel mode Note: When 3-channel mode is enabled, frame_size must equal data_size
7	FS4C	R/W	1'b0	1'b0: FS 2-channel mode, 1'b1: FS 4-channel mode (DSP mode only) Note: cr_fs_3ch_mode & cr_fs_4ch_mode should NOT be enabled at the same time Note: When 4-channel mode is enabled, frame_size must equal data_size
6	FS1T	R/W	1'b0	1'b0: FS high/low is even, 1'b1: FS only asserts for 1 cycle
5	MUTE	R/W	1'b0	1'b0: Normal mode, 1'b1: Mute mode
4	MONO	R/W	1'b0	1'b0: Stereo mode, 1'b1: Mono mode Note: csr_mono_mode & csr_fifo_lr_merge should NOT be enabled at the same time
3	RXDEN	R/W	1'b0	Enable signal of I2S RXD signal
2	TXDEN	R/W	1'b0	Enable signal of I2S TXD signal

位	名称	权限	复位值	描述
1	SLAEN	R/W	1'b0	Enable signal of I2S Slave function, cannot enable both csr_i2s_m_en & csr_i2s_s_en
0	MASEN	R/W	1'b0	Enable signal of I2S Master function, cannot enable both csr_i2s_m_en & csr_i2s_s_en

## 16.4.2 i2s\_int\_sts

地址: 0x4000aa04

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD					FER EN	RXF EN	TXF EN	RSVD							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					FER MASK	RXF MASK	TXF MASK	RSVD					FER INT	RXF INT	TXF INT

位	名称	权限	复位值	描述
31:27	RSVD			
26	FEREN	R/W	1'b1	Interrupt enable of i2s_fer_int
25	RXFEN	R/W	1'b1	Interrupt enable of i2s_rxf_int
24	TXFEN	R/W	1'b1	Interrupt enable of i2s_txf_int
23:11	RSVD			
10	FERMASK	R/W	1'b1	Interrupt mask of i2s_fer_int
9	RXFMASK	R/W	1'b1	Interrupt mask of i2s_rxf_int
8	TXFMASK	R/W	1'b1	Interrupt mask of i2s_txf_int
7:3	RSVD			
2	FERINT	R	1'b0	I2S TX/RX FIFO error interrupt, auto-cleared when FIFO overflow/underflow error flag is cleared
1	RXFINT	R	1'b0	I2S RX FIFO ready (rx_fifo_cnt > rx_fifo_th) interrupt, auto-cleared when data is popped
0	TXFINT	R	1'b0	I2S TX FIFO ready (tx_fifo_cnt > tx_fifo_th) interrupt, auto-cleared when data is pushed

### 16.4.3 i2s\_bclk\_config

地址: 0x4000aa10

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				BDIVH											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				BDIVL											

位	名称	权限	复位值	描述
31:28	RSVD			
27:16	BDIVH	R/W	12'd1	I2S BCLK active high period (unit: cycle of i2s_clk)
15:12	RSVD			
11:0	BDIVL	R/W	12'd1	I2S BCLK active low period (unit: cycle of i2s_clk)

### 16.4.4 i2s\_fifo\_config\_0

地址: 0x4000aa80

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					24B LJ	LREC	LRMG	RUD FLOW	RO FLOW	TUD FLOW	TO FLOW	RXF CLR	TXF CLR	DMA RXEN	DMA TXEN

位	名称	权限	复位值	描述
31:11	RSVD			
10	24BLJ	R/W	1'b0	FIFO 24-bit data left-justified mode 1'b0: Right-justified, 8'h0, data[23:0] 1'b1: Left-justified, data[23:0], 8'h0 Note: Valid only when cr_data_size = 2'd2 (24-bit)
9	LREC	R/W	1'b0	The position of L/R channel data within each entry is exchanged if this bit is enabled Can only be enabled if data size is 8 or 16 bits and csr_fifo_lr_merge is enabled



位	名称	权限	复位值	描述
8	LRMG	R/W	1'b0	Each FIFO entry contains both L/R channel data if this bit is enabled Can only be enabled if data size is 8 or 16 bits Note: cr_fifo_lr_merge & cr_mono_mode should NOT be enabled at the same time Note: cr_fifo_lr_merge & cr_fifo_l_shift should NOT be enabled at the same time
7	RUDFLOW	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
6	ROFLOW	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	TUDFLOW	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	TOFLOW	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	RXFCLR	W1C	1'b0	Clear signal of RX FIFO
2	TXFCLR	W1C	1'b0	Clear signal of TX FIFO
1	DMARXEN	R/W	1'b0	Enable signal of dma_rx_req/ack interface
0	DMATXEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface

### 16.4.5 i2s\_fifo\_config\_1

地址: 0x4000aa84

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				RXTH				RSVD				TXTH			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				RXCNT				RSVD				TXCNT			

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	RXTH	R/W	4'd0	RX FIFO threshold, dma_rx_req will not be asserted if tx_fifo_cnt is less than this value
23:20	RSVD			
19:16	TXTH	R/W	4'd0	TX FIFO threshold, dma_tx_req will not be asserted if tx_fifo_cnt is less than this value
15:13	RSVD			
12:8	RXCNT	R	5'd0	RX FIFO available count
7:5	RSVD			
4:0	TXCNT	R	5'd16	TX FIFO available count

位	名称	权限	复位值	描述
---	----	----	-----	----

### 16.4.6 i2s\_fifo\_wdata

地址: 0x4000aa88

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FIWD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIWD															

位	名称	权限	复位值	描述
31:0	FIWD	W	x	I2S FIFO write data

### 16.4.7 i2s\_fifo\_rdata

地址: 0x4000aa8c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FIRD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIRD															

位	名称	权限	复位值	描述
31:0	FIRD	R	32'h0	I2S FIFO read data

### 16.4.8 i2s\_io\_config

地址: 0x4000aafc

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								DEG EN	DEGCNT			BCLK INV	FS INV	RXD INV	TXD INV

位	名称	权限	复位值	描述
31:8	RSVD			
7	DEGEN	R/W	1'b0	Deglitch enable (for all th input pins) 1'b0: Disabled, 1'b1: Enabled
6:4	DEGCNT	R/W	3'd0	Deglitch cycle count (unit: cycle of I2S kernel clock) 3'd0: 1 cycle 3'd1: 2 cycles ...
3	BCLKINV	R/W	1'b0	Inverse BCLK signal 0: No inverse, 1: Inverse
2	FSINV	R/W	1'b0	Inverse FS signal 0: No inverse, 1: Inverse
1	RXDINV	R/W	1'b0	Inverse RXD signal 0: No inverse, 1: Inverse
0	TXDINV	R/W	1'b0	Inverse TXD signal 0: No inverse, 1: Inverse

## 17.1 简介

EMAC 模块是一个兼容 IEEE 802.3 的 10/100Mbps 以太网 MAC(Ethernet Media Access Controller)。其包含状态及控制寄存器组，收发模块，收发缓冲描述符组，主机接口，MDIO，物理层芯片 (PHY) 接口。

状态及控制寄存器组包含了 EMAC 的状态位及控制位，是与用户程序的接口，负责控制数据收发，并汇报状态。

收发模块负责根据收发描述符内的控制字，从指定内存位置取得数据帧，添加前导，CRC，并扩充短的帧后通过 PHY 发出；或是从 PHY 接收数据，并根据收发缓冲描述符，将数据放入指定内存。收发完成后配置相关的事件标志。如果使能了事件中断，将通过中断请求到主机进行处理。

MDIO 及 MII/RMII 接口负责与 PHY 进行通信，包括读写 PHY 的寄存器，以及数据包的收发。

## 17.2 主要特征

- 兼容 IEEE 802.3 定义的 MAC 层功能
- 支持 IEEE 802.3 定义的 MII、RMII 接口的 PHY
- 通过 MDIO 与 PHY 交互
- 支持 10Mbps 与 100Mbps 以太网
- 支持半双工与全双工
- 在全双工模式下，支持自动流控及生成控制帧
- 在半双工模式下，支持碰撞检测及重传
- 支持 CRC 的生成及校验
- 数据帧前导生成及移除
- 发送时，自动扩展短的数据帧
- 检测过长或过短的数据帧 (长度限制)

- 可传输长数据帧 (> 标准以太帧长度)
- 自动丢弃重发次数超限或帧间隙过小的包
- 广播包过滤
- 用于保存多达 128 个 BD(Buffer Descriptor) 的内部 RAM
- 发送/接收的各种事件标志
- 在事件发生时产生对应中断

### 17.3 功能描述

EMAC 模块的组成如下图。

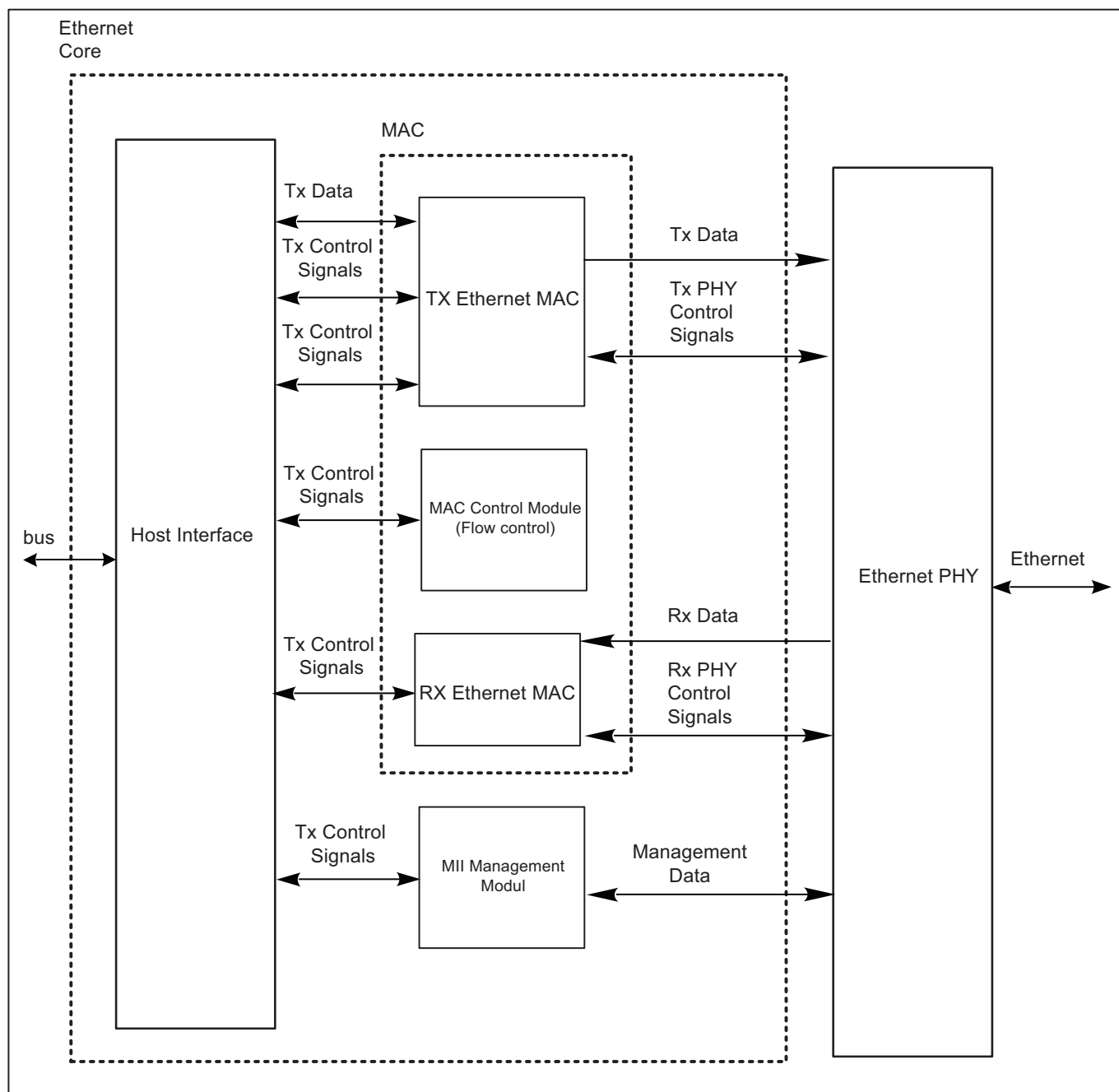


图 17.1: EMAC 框图

模块的控制寄存器通过 MDIO，可以读写 PHY 的寄存器从而实现配置、选择模式 (半/全双工)、发起协商等操作。接收模块过滤并检查收到的数据帧：是否有合法的前导，FCS，长度等，并根据描述符，将数据帧存放到指定缓冲地址。发送模块根据数据缓冲描述符，从内存中取得数据，添加前导，FCS，pad 等，然后根据 CSMA/CD 协议，将数据发出。如果检测到 CRS，将会延迟重试。收发缓冲描述符组连接到外部的 RAM，此 RAM 用于保存发送和接收的以太网数据帧。每个描述符包含相应的控制状态字以及对应的缓冲内存地址。描述符一共有 128 组，可以灵活分配，用于发送或者接收。

## 17.4 时钟

EMAC 模块需要一路时钟用于同步收发 (100Mbps 时, 25MHz(MII) 或 50MHz(RMII); 10Mbps 时, 2.5MHz)。此时钟必须在 EMAC 与 PHY 之间同步。

## 17.5 收发缓冲描述符 (BD, Buffer Descriptor)

收发缓冲描述符, 用于提供 EMAC 与数据帧缓存地址信息之间的关联, 对收发数据帧进行控制, 以及提供收发状态提示。每个描述符由两个连续的 word(32bit) 构成, 低地址的 word 提供了本 buffer 包含的数据帧的长度, 控制及状态位; 高地址的 word 是内存指针。具体的 BD 描述可以参考寄存器描述章节。需要注意的是: 对于 BD, 需要按 word 写入。EMAC 模块支持 128 个 BD, 由发送/接收逻辑共享, 可自由组合。但发送 BD 总是占据前面的连续区域 (个数由 MAC\_TX\_BD\_NUM 寄存器中的 TXBDNUM 域来指定)。EMAC 按照 BD 的顺序, 循环处理发送/接收 BD, 直到遇到标记为 WR 的 BD 就回绕到发送/接收各自的首个 BD。

## 17.6 PHY 交互

PHY 交互寄存器组提供了 PHY 交互需要的命令及数据通信方式。EMAC 通过 MDIO 控制 PHY 的工作模式, 并保证两者匹配 (速率, 全/半双工)。数据包通过 MII/RMII 接口在 EMAC 与 PHY 之间交互, 可以通过 EMAC 的模式寄存器 (EMAC\_MODE) 中的 RMII\_EN 选择。当此 bit 为 1, 则选择 RMII 模式, 否则就是 MII 模式。MII 及 RMII 模式均支持 IEEE 802.3u 标准中指定的 10Mbps 与 100Mbps 的传输速率。MII 及 RMII 的传输信号描述与下表。

表 17.1: 传输信号

名称	MII	RMII
EXTCK_EREFC	ETXCK: 发送时钟信号	EREFC: 参考时钟
ECRS	ECRS: 载波探测	-
ECOL	ECOL: 碰撞检测	-
ERXDV	ERXDV: 数据 valid	ECRSDV: 载波检测/数据 valid
ERX0-ERX3	ERX0-ERX3: 4-bit 接收数据	ERX0-ERX1: 2-bit 接收数据
ERXER	ERXER: 接收错误指示	ERXER: 接收错误指示
ERXCK	ERXCK: 接收时钟信号	-
ETXEN	ETXEN: 发送使能	ETXEN: 发送使能
ETX0-ETX3	ETX0-ETX3: 4-bit 发送数据	ETX0-ETX1: 2-bit 发送数据
ETXER	ETXER: 发送错误指示	-
EMDC	MDIO Clock	MDIO Clock
EMDIO	MDIO Data Input Output	MDIO Data Input Output

RMII 接口引脚较少, 使用 2-bit 数据线用于收发, 在 100Mbps 速率时, 需要提供 50MHz 的参考时钟。

## 17.7 编程流程

### 17.7.1 PHY 初始化

- 根据 PHY 类型，设置 EMAC\_MODE 寄存器中的 RMII\_EN 位来选择合适的连接方式
- 设置 EMAC 的 MAC 地址到 EMAC\_MAC\_ADDR0 与 EMAC\_MAC\_ADDR1 中
- 通过编程 EMAC\_MIIMODE 寄存器中的域 CLKDIV，为 MDIO 部分设置合适的时钟
- 设置对应 PHY 的地址到寄存器 EMAC\_MIIADDRESS 的域 FIAD 中
- 根据 PHY 的手册，通过 EMAC\_MIICOMMAND 与 EMAC\_MIITX\_DATA 寄存器发送命令
- 读取 PHY 的数据会保存在 EMAC\_MIIRX\_DATA 寄存器中
- 通过 EMAC\_MIISTATUS 寄存器可以查询与 PHY 命令交互的状态

基础的交互完成后，应当使 PHY 进入自动协商状态。协商完成之后，根据协商结果编程模式到 EMAC\_MODE 寄存器中的 FULLD 位。

### 17.7.2 发送数据帧

- 配置 EMAC\_MODE 寄存器中数据帧格式、间隔等位域
- 通过配置 EMAC\_TX\_BD\_NUM 寄存器中的 TXBDNUM 域来指定发送所使用的 BD 的个数，那么剩余的就是 RX 的 BD
- 在内存中准备好需要发送的数据帧
- 将数据帧的地址填写到对应发送 BD 的数据指针域 (word 1) 中
- 清空对应发送 BD 的控制与状态域 (word 0) 中的状态标记，并设置控制域 (CRC 使能，PAD 使能，中断使能等)
- 写入数据帧长度，并设置好 RD 域，告知 EMAC 此 BD 数据需要发送；如需要，设置上 IRQ 位，以使能中断
- 特别的，如果是最后一个发送的 BD，需要设置上 WR 位，EMAC 会在处理完这个 BD 之后“回绕”到第一个发送 BD 进行处理
- 如果有多个 BD 需要发送，则重复设置 BD 的步骤以填充所有的发送 BD
- 如果需要使能发送中断，还需要配置 EMAC\_INT\_MASK 寄存器中的 TX 相关位
- 配置 EMAC\_MODE 寄存器中的 TXEN 位，以使能发送
- 如果使能了中断，在发送的中断中，可用通过 EMAC\_TX\_BD\_NUM 寄存器中的 TXBDNUM 域获取当前的 BD
- 根据当前 BD 的状态字进行相应的处理
- 数据已被发送出去的 BD，其控制域中的 RD 位会被硬件清零，且不会被再次发送；需要填充新数据后，置位 RD，此 BD 即可再次用于发送



### 17.7.3 接收数据帧

- 配置 EMAC\_MODE 寄存器中数据帧格式、间隔等位域
- 通过配置 EMAC\_TX\_BD\_NUM 寄存器中的 TXBDNUM 域来指定发送所使用的 BD 的个数，那么剩余的就是 RX 的 BD
- 在内存中准备好接收数据的区域
- 将数据帧的地址填写到对应接收 BD 的数据指针域 (word 1) 中
- 清空对应发送 BD 的控制与状态域 (word 0) 中的状态标记，并设置控制域 (中断使能等)
- 写入可接收的数据帧长度，并设置好 E 位域，告知 EMAC 此 BD 空闲，可以用于数据接收；如需要，设置上 IRQ 位，以使能中断
- 特别的，如果是最后一个有效接收 BD，需要设置上 WR 位，EMAC 会在处理完这个 BD 之后“回绕”到第一个接收 BD 进行处理
- 如果有多个 BD 可供接收数据，则重复设置 BD 的步骤以填充所有的 BD
- 如果需要使能接收中断，还需要配置 EMAC\_INT\_MASK 寄存器中的 RX 相关位
- 配置 EMAC\_MODE 寄存器中的 RXEN 位，以使能接收
- 如果使能了中断，在接收的中断中，可用通过 EMAC\_TX\_BD\_NUM 寄存器中的 RXBDNUM 域获取当前的 BD
- 根据当前 BD 的状态字进行相应的处理
- 接收完成的 BD，其控制域中的 E 位会被硬件清零，且不会被再次用于接收；需要取走数据，置位 E，此 BD 即可再次用于接收

## 17.8 寄存器描述

名称	描述
MODE	EMAC configuration
INT_SOURCE	EMAC transmit control
INT_MASK	EMAC interrupt mask
IPGT	Inter packet gap
PACKETLEN	Frame length
COLLCONFIG	Collision configuration
TX_BD_NUM	TX buffer descriptors number
MIIMODE	Management Data configuration
MIICOMMAND	Trigger command

名称	描述
MIADDRESS	Register address
MIITX_DATA	Control data to be written to PHY
MIIRX_DATA	Received data from PHY
MIISTATUS	MIIM I/F status
MAC_ADDR0	Ethernet MAC address0
MAC_ADDR1	Ethernet MAC address1
HASH0_ADDR	Lower 32-bit of HASH register
HASH1_ADDR	Upper 32-bit of HASH register
TXCTRL	TX control

## 17.8.1 MODE

地址：0x4000d000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD														RMII EN	RECS MALL
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PAD	HUG EN	CRC EN	RSVD		FULL D	RSVD			IFG	PRO	RSVD	BRO	NO PRE	TXEN	RXEN

位	名称	权限	复位值	描述
31:18	RSVD			
17	RMIIEN	R/W	1'b0	RMII mode enable 0: MII PHY I/F is used 1: RMII PHY I/F is used
16	RECSMALL	R/W	1'b0	Receive small frame enable 0: Frames smaller than MINFL are ignored. 1: Frames smaller than MINFL are accepted.
15	PAD	R/W	1'b1	Padding enable 0: Do not add pads to frames shorter than MINFL. 1: Add pads to short frames, until the length equals MINFL.

位	名称	权限	复位值	描述
14	HUGEN	R/W	1'b0	Huge frames enable 0: The maximum frame length is MAXFL. All additional bytes are dropped. 1: Frame size is not limited by MAXFL and can be up to 64K bytes.
13	CRCEN	R/W	1'b1	CRC Enable 0: TX MAC does not append CRC field. 1: TX MAC will append CRC field to every frame.
12:11	RSVD			
10	FULLD	R/W	1'b0	Full duplex 0: Half duplex mode. 1: Full duplex mode.
9:7	RSVD			
6	IFG	R/W	1'b0	Inter frame gap check 0: IFG is verified before each frame be received. 1: All frames are received regardless to IFG requirement.
5	PRO	R/W	1'b0	Promiscuous mode enable 0: The destination address is checked before receiving. 1: All frames received regardless of the address.
4	RSVD			
3	BRO	R/W	1'b1	Broadcast address enable 0: Reject all frames containing the broadcast address unless the PRO bit is asserted. 1: Receive all frames containing broadcast address.
2	NOPRE	R/W	1'b0	No preamble mode 0: 7-byte preamble will be sent. 1: No preamble will be sent.
1	TXEN	R/W	1'b0	Transmit enable 0: Transmitter is disabled. 1: Transmitter is enabled. If TX_BD_NUM equals 0x0 (zero buffer descriptors are used), then the transmitter is disabled regardless of TXEN.
0	RXEN	R/W	1'b0	Receiver enable 0: Receiver is disabled. 1: Receiver is enabled. If TX_BD_NUM equals 0x80 (all buffer descriptors are used for TX), then the receiver is disabled regardless of RXEN.

## 17.8.2 INT\_SOURCE

地址: 0x4000d004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD									RXC	TXC	BUSY	RXE	RXB	TXE	TXB

位	名称	权限	复位值	描述
31:7	RSVD			
6	RXC	R/W	1'b0	Receive control frame This bit indicates that the control frame was received. It is cleared by writing 1 to it. Bit RXFLOW in the CTRLMODE register must be set to 1 in order to get the RXC bit set.
5	TXC	R/W	1'b0	Transmit control frame This bit indicates that a control frame was transmitted. It is cleared by writing 1 to it. Bit TXFLOW in the CTRLMODE register must be set to 1 in order to get the TXC bit set.
4	BUSY	R/W	1'b0	Busy This bit indicates that RX packet is being received and there is no empty buffer descriptor to use. It is cleared by writing 1 to it. This bit appears regardless to the IRQ bits in the Receive Buffer Descriptor.
3	RXE	R/W	1'b0	Receive error This bit indicates that an error occurred while receiving data (overflow, receiver error, dribble nibble, too long, >64K, CRC error, bus error or late collision. It is cleared by writing 1 to it. This bit appears only when IRQ bit is set in the Receive Buffer Descriptor.
2	RXB	R/W	1'b0	Receive frame This bit indicates that a frame was received. It is cleared by writing 1 to it. This bit appears only when IRQ bit is set in the Receive Buffer Descriptor.

位	名称	权限	复位值	描述
1	TXE	R/W	1'b0	Transmit error This bit indicates that a buffer was not transmitted due to a transmit error (underrun, retransmission limit, late collision, bus error or defer time-out). It is cleared by writing 1 to it. This bit appears only when IRQ bit is set in the Transmit Buffer Descriptor.
0	TXB	R/W	1'b0	Transmit buffer This bit indicates that a buffer has been transmitted. It is cleared by writing 1 to it. This bit appears only when IRQ bit is set in the Transmit Buffer Descriptor.

### 17.8.3 INT\_MASK

地址: 0x4000d008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD									RXCM	TXCM	BM	RXEM	RXBM	TXEM	TXBM

位	名称	权限	复位值	描述
31:7	RSVD			
6	RXCM	R/W	1'b1	Receive control frame mask ENABLE 0: Interrupt is un-masked 1: Interrupt is masked
5	TXCM	R/W	1'b1	Transmit control frame mask ENABLE 0: Interrupt is un-masked 1: Interrupt is masked
4	BM	R/W	1'b1	Busy mask ENABLE 0: Interrupt is un-masked 1: Interrupt is masked
3	RXEM	R/W	1'b1	Receive error mask ENABLE 0: Interrupt is un-masked 1: Interrupt is masked
2	RXBM	R/W	1'b1	Receive frame mask ENABLE 0: Interrupt is un-masked 1: Interrupt is masked

位	名称	权限	复位值	描述
1	TXEM	R/W	1'b1	Transmit error mask ENABLE 0: Interrupt is un-masked 1: Interrupt is masked
0	TXBM	R/W	1'b1	Transmit buffer mask ENABLE 0: Interrupt is un-masked 1: Interrupt is masked

### 17.8.4 IPGT

地址: 0x4000d00c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD									IPGT						

位	名称	权限	复位值	描述
31:7	RSVD			
6:0	IPGT	R/W	7'h18	Inter packet gap The recommended value is 0x18 (24 clock cycles), which equals 9.6 us for 10 Mbps and 0.96 us for 100 Mbps mode

### 17.8.5 PACKETLEN

地址: 0x4000d018

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MINFL															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MAXFL															

位	名称	权限	复位值	描述
31:16	MINFL	R/W	16'h40	Minimum frame length The minimum Ethernet packet is 64 bytes long (0x40). To receive small packets, assert the RECSMALL bit or change the MINFL value. To transmit small packets, assert the PAD bit or change the MINFL value.
15:0	MAXFL	R/W	16'h600	Maximum frame length The maximum Ethernet packet is 1518 bytes long. To support this and to have some additional space for tags, a default maximum packet length equals to 1536 bytes (0x600). For bigger packets, you can assert the HUGEN bit or increase the value of MAXFL field.

## 17.8.6 COLLCONFIG

地址: 0x4000d01c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD												MAXRET			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD										COLLVAL					

位	名称	权限	复位值	描述
31:20	RSVD			
19:16	MAXRET	R/W	4'hF	Maximum retry This field specifies the maximum number of consequential retransmission attempts after the collision is detected. When the maximum number has been reached, the TX MAC reports an error and stops transmitting the current packet. According to the Ethernet standard, the MAXRET default value is set to 0xf (15).
15:6	RSVD			
5:0	COLLVAL	R/W	6'h3F	Collision valid This field specifies a collision time window. A collision that occurs later than the time window is reported as a "Late Collisions" and transmission of the current packet is aborted.

### 17.8.7 TX\_BD\_NUM

地址：0x4000d020

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		RXBDPTR						RSVD	TXBDPTR						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								TXBDNUM							

位	名称	权限	复位值	描述
31	RSVD			
30:24	RXBDPTR	R	7'h0	RX buffer descriptors (BD) pointer, pointing at the RXBD currently being used
23	RSVD			
22:16	TXBDPTR	R	7'h0	TX buffer descriptors (BD) pointer, pointing at the TXBD currently being used
15:8	RSVD			
7:0	TXBDNUM	R/W	8'h40	TX buffer descriptors (BD) number Number of TX BD. TX and RX share 128 (0x80) descriptors, so the number of RX BD equals 0x80 - TXBDNUM. The maximum number of TXBDNUM is 0x80. Values greater than 0x80 cannot be written into this register.

### 17.8.8 MIIMODE

地址：0x4000d028

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								MINO PRE	CLKDIV						

位	名称	权限	复位值	描述
31:9	RSVD			
8	MINOPRE	R/W	1'b0	No preamble for Management Data (MD) 0: 32-bit preamble will be sent. 1: No preamble will be sent.



位	名称	权限	复位值	描述
7:0	CLKDIV	R/W	8'h64	Clock divider for Management Data Clock (MDC) The source clock is bus clock and can be divided by any even number.

### 17.8.9 MIICOMMAND

地址: 0x4000d02c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													WCTR DATA	RSTA	SCAS

位	名称	权限	复位值	描述
31:3	RSVD			
2	WCTRDATA	R/W	1'b0	Write control data, setting this bit to 1 will trigger the command (auto cleared) Note: [2]/[1]/[0] cannot be asserted at the same time, execute one command at a time
1	RSTA	R/W	1'b0	Read status, setting this bit to 1 will trigger the command (auto cleared) Note: [2]/[1]/[0] cannot be asserted at the same time, execute one command at a time
0	SCAS	R/W	1'b0	Scan status, setting this bit to 1 will trigger the command (auto cleared) Note: [2]/[1]/[0] cannot be asserted at the same time, execute one command at a time

### 17.8.10 MIIADDRESS

地址: 0x4000d030

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				RGAD				RSVD				FIAD			

位	名称	权限	复位值	描述
31:13	RSVD			
12:8	RGAD	R/W	5'h0	Register Address
7:5	RSVD			
4:0	FIAD	R/W	5'h0	PHY Address

### 17.8.11 MIITX\_DATA

地址: 0x4000d034

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTRLDATA															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	CTRLDATA	R/W	16'h0	Control Data to be written to PHY

### 17.8.12 MIIRX\_DATA

地址: 0x4000d038

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRSD															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	PRSD	R	16'h0	Received Data from PHY

### 17.8.13 MIISTATUS

地址: 0x4000d03c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														MIIM BUSY	MIIM LF

位	名称	权限	复位值	描述
31:2	RSVD			
1	MIIMBUSY	R	1'b0	MIIM I/F busy signal 0: The MIIM I/F is ready. 1: The MIIM I/F is busy.
0	MIIMLF	R	1'b0	MIIM I/F link fail signal

### 17.8.14 MAC\_ADDR0

地址: 0x4000d040

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MACB2								MACB3							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MACB4								MACB5							

位	名称	权限	复位值	描述
31:24	MACB2	R/W	8'd0	Ethernet MAC address byte 2
23:16	MACB3	R/W	8'd0	Ethernet MAC address byte 3
15:8	MACB4	R/W	8'd0	Ethernet MAC address byte 4
7:0	MACB5	R/W	8'd0	Ethernet MAC address byte 5

### 17.8.15 MAC\_ADDR1

地址: 0x4000d044

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MACB0								MACB1							

位	名称	权限	复位值	描述
31:16	RSVD			
15:8	MACB0	R/W	8'd0	Ethernet MAC address byte 0
7:0	MACB1	R/W	8'd0	Ethernet MAC address byte 1

### 17.8.16 HASH0\_ADDR

地址: 0x4000d048

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HASH0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH0															

位	名称	权限	复位值	描述
31:0	HASH0	R/W	32'h0	Lower 32-bit of HASH register

### 17.8.17 HASH1\_ADDR

地址: 0x4000d04c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HASH1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH1															

位	名称	权限	复位值	描述
31:0	HASH1	R/W	32'h0	Upper 32-bit of HASH register

### 17.8.18 TXCTRL

地址: 0x4000d050

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															TXP RQ
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXPTV															

位	名称	权限	复位值	描述
31:17	RSVD			
16	TXPRQ	R/W	1'b0	TX Pause Request Writing 1 to this bit starts sending control frame and is automatically cleared to zero.
15:0	TXPTV	R/W	16'h0	TX Pause Timer Value The value that is sent in the pause control frame.

## 18.1 简介

USB(Universal Serial Bus) 通用串行总线，完全支持 USB1.1 全速设备，对 USB2.0 部分支持。

## 18.2 主要特征

支持 USB full speed device-mode 支持 8 个双向端点：EP0 可配置为控制/批量/中断/同步端点，EP1-EP7 可配置为批量/中断/同步端点每个端点均包含 TX、RX 两个方向的 FIFO，FIFO 深度 64 字节，并且支持 DMA 支持内部 transceiver 支持 suspend/resume 支持 LPM 支持多种 USB 中断配置

## 18.3 功能描述

### 18.3.1 USB 使用步骤

1. 配置内部 transceiver，寄存器在 0x40000228 和 0x4000022C
2. 配置 usb\_config 及各个端点的 ep\*\_config
3. 配置 USB 中断相关寄存器
4. 配置 USB DMA 相关（可选）
5. 配置 GPIO 为 USB 功能（内部 transceiver——function 为 10）
6. 置一 0x40000228[20]usb\_enum 以触发主机端枚举流程

### 18.3.2 部分寄存器配置及功能描述

- swrdy: 只读，仅当此位为 0 时，才可以向 cr\_usb\_ep0\_sw\_rdy 写入 1
- crsr: 写 1 自动清零，当软件允许下一包回复 ACK 时向此域写 1，则仅下一包会回复 ACK，对于 OUT/IN 事务数据会收入 FIFO/从 FIFO 发出（FIFO 放行一次）

- **e0snko**: 需要置一，代表 OUT 事务会默认回复 NAK，数据不会进入 FIFO（FIFO 不放行）
- **e0snki**: 需要置一，代表 IN 事务会默认回复 NAK，数据不会从 FIFO 发出（FIFO 不放行）
- **e0ss**: 写 1 自动清零，当软件允许下一包回复 STALL 时向此域写 1，则仅下一包会回复 STALL
- **epxdit**: “令牌包 => 触发 xxx\_cmd\_int => 数据包 => 触发 xxx\_done\_int => 握手包”
- **epxcit**: “令牌包 => 触发 xxx\_cmd\_int => 数据包 => 触发 xxx\_done\_int => 握手包”
- **ep0odit**: “令牌包 => 触发 xxx\_cmd\_int => 数据包 => 触发 xxx\_done\_int => 握手包”
- **ep0ocit**: “令牌包 => 触发 xxx\_cmd\_int => 数据包 => 触发 xxx\_done\_int => 握手包”
- **ep0idit**: “令牌包 => 触发 xxx\_cmd\_int => 数据包 => 触发 xxx\_done\_int => 握手包”
- **ep0icit**: “令牌包 => 触发 xxx\_cmd\_int => 数据包 => 触发 xxx\_done\_int => 握手包”
- **ep0sdit**: “令牌包 => 触发 xxx\_cmd\_int => 数据包 => 触发 xxx\_done\_int => 握手包”
- **ep0scit**: “令牌包 => 触发 xxx\_cmd\_int => 数据包 => 触发 xxx\_done\_int => 握手包”
- **exrs**: 只读，仅当此位为 0 时，才可以向 cr\_epx\_rdy 写入 1
- **exr**: 写 1 自动清零，当软件允许下一包回复 ACK 时向此域写 1，则仅下一包会回复 ACK（FIFO 放行一次）
- **exn**: 需要置一，代表事务会默认回复 NAK，IN/OUT 取决于当前端点的传输方向配置（FIFO 不放行）
- **exs**: 当软件希望挂起此端点时置一，置一后此端点永远只回复 STALL

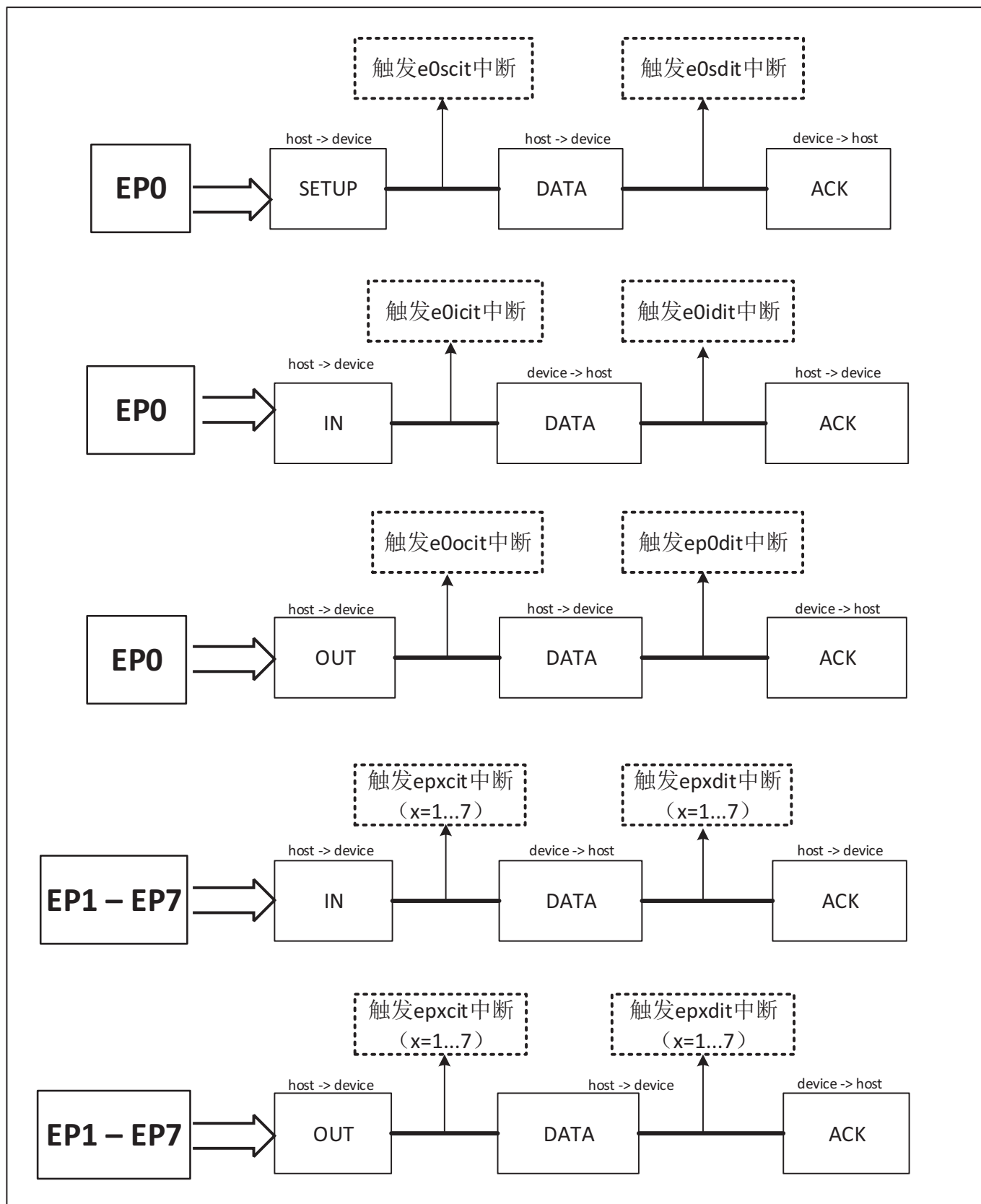


图 18.1: USB 中断触发方式



### 18.3.3 USB 枚举阶段中断处理流程

1. 首先是 10ms 以上的 reset，会触发 reset 中断。
2. 当 reset 结束时，会触发 reset end 中断。
3. 枚举过程的 SETUP 事务、IN 事务、OUT 事务会分别触发 e0sdit、e0icit、ep0dit。
4. 枚举结束后，主机与特定端点 EPx 之间的 IN 事务、OUT 事务会分别触发 epxcit、epxdit。

### 18.3.4 各传输事务的寄存器操作流程

- 控制传输——SETUP 事务数据接收：
  - 进入中断
  - 判断 e0sdit 中断标志位
  - e0rfr 内存放的就是 setup 事务所传来的数据，根据 e0rfc 读取 e0rfr 即可获得
  - 置一 crsr 以放行后续事务
  - 清除中断标志位
  - 退出中断
- 控制传输——IN 事务数据发送：
  - 进入中断
  - 判断 e0idit 中断标志位
  - 等待 swrdy 为 0 时才可以向 e0tfw 内写入数据
  - 置一 crsr 以放行后续事务
  - 清除中断标志位
  - 退出中断
- 控制传输——OUT 事务数据接收：
  - 进入中断
  - 判断 ep0dit 中断标志位
  - e0rfr 内存放的就是 OUT 事务所传来的数据，根据 e0rfc 读取 e0rfr 即可获得
  - 置一 crsr 以放行后续事务
  - 清除中断标志位
  - 退出中断

- **EPx(x=1...7)**——IN 事务数据发送:

- 进入中断
- 判断 `epxcit` 中断标志位
- 等待 `exrs` 为 0 时才可以向 `extfw` 内写入数据（仅当只发送 1 个字节时，`exs` 需要修改为 1）
- 置一 `exr` 以放行后续事务
- 清除中断标志位
- 退出中断

- **EPx(x=1...7)**——OUT 事务数据接收:

- 进入中断
- 判断 `epxdit` 中断标志位
- `exrfr` 内存放的就是 OUT 事务所传来的数据，根据 `exrfr` 读取 `exrfr` 即可获得
- 置一 `exrs` 以放行后续事务
- 清除中断标志位
- 退出中断

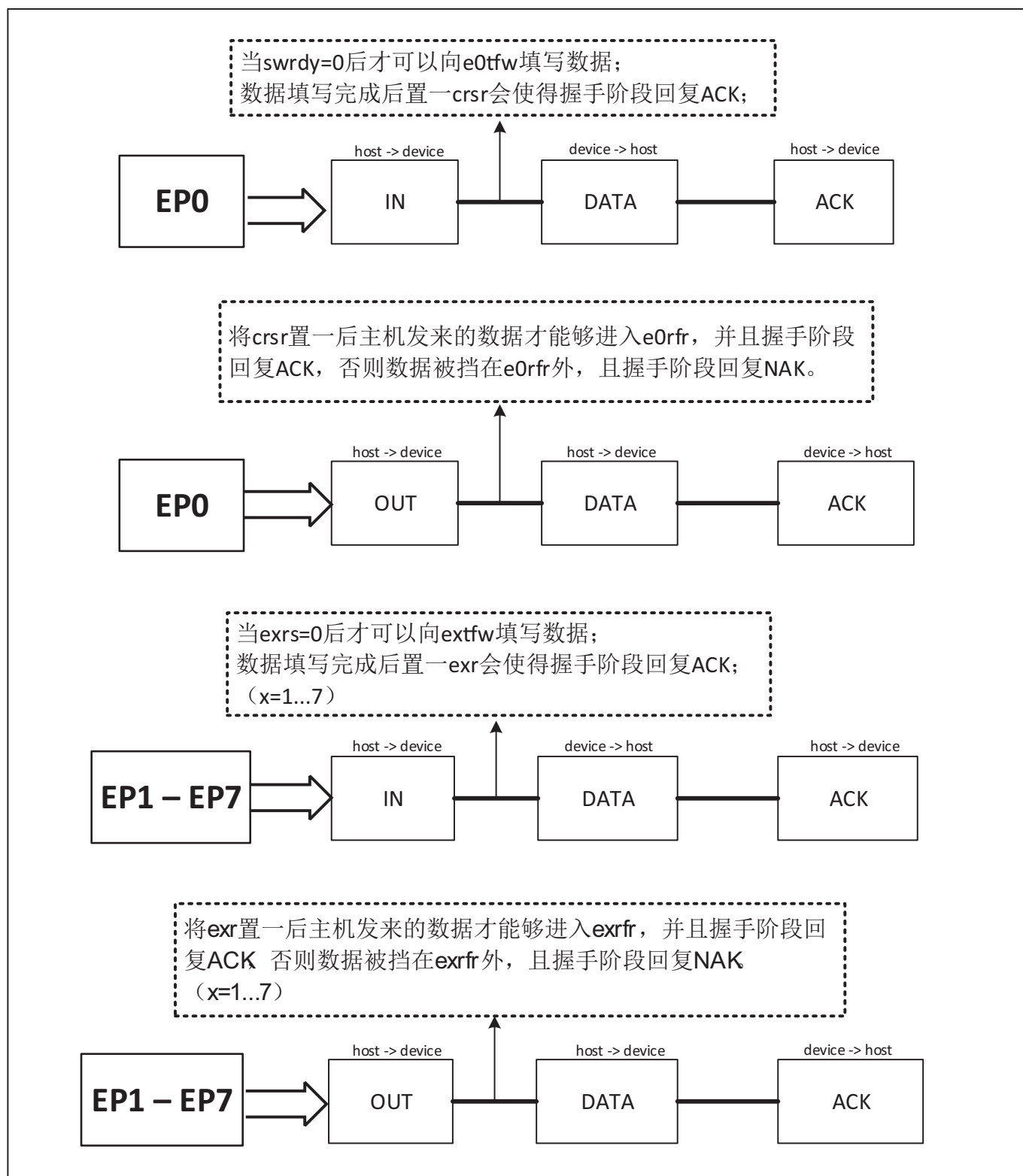


图 18.2: USB 通信方式

内部 transceiver 寄存器推荐配置：

表 18.1: 寄存器配置 1

GPIO	SWGPIIO
usb_xcvr	value
usb_rcv	read only
usb_vip	read only
usb_vim	read only
usb_bd	read only
pu_usb	0->1
usb_sus	0
usb_spd	1
usb_enum	0->1
usb_data_convert	0
usb_oeb	read only
usb_oeb_reg	1
usb_oeb_sel	0
usb_rout_pmos	3
usb_rout_nmos	3
pu_usb_ldo	0
usb_ldo_vfb	3

表 18.2: 寄存器配置 2

GPIO	SWGPIIO
usb_xcvr_config	value
usb_slewrate_p_rise	4
usb_slewrate_p_fall	3
usb_slewrate_m_rise	4
usb_slewrate_m_fall	3
usb_res_pullup_tune	2
reg_usb_use_ctrl	0
usb_str_drv	1
reg_usb_use_xcvr	1

表 18.2: 寄存器配置 2

GPIO	SWGPI0
usb_bd_vth	7
usb_v_hys_p	1
usb_v_hys_m	1

注意：当准备开启内部 transceiver 时需要将 pu\_usb 和 usb\_enum 置一。

## 18.4 寄存器描述

名称	描述
usb_config	USB configuration
usb_lpm_config	USB lpm configuration
usb_resume_config	USB resume configuration
usb_frame_no	USB frame number
usb_error	USB error
usb_int_en	USB interrupt enable
usb_int_sts	USB interrupt status
usb_int_mask	USB interrupt mask
usb_int_clear	USB interrupt clear
ep1_config	EP1 configuration
ep2_config	EP2 configuration
ep3_config	EP3 configuration
ep4_config	EP4 configuration
ep5_config	EP5 configuration
ep6_config	EP6 configuration
ep7_config	EP7 configuration
ep0_fifo_config	EP0 fifo configuration
ep0_fifo_status	EP0 fifo status
ep0_tx_fifo_wdata	EP0 tx fifo write data

名称	描述
ep0_rx_fifo_rdata	EP0 rx fifo write data
ep1_fifo_config	EP1 fifo configuration
ep1_fifo_status	EP1 fifo status
ep1_tx_fifo_wdata	EP1 tx fifo write data
ep1_rx_fifo_rdata	EP1 rx fifo write data
ep2_fifo_config	EP2 fifo configuration
ep2_fifo_status	EP2 fifo status
ep2_tx_fifo_wdata	EP2 tx fifo write data
ep2_rx_fifo_rdata	EP2 rx fifo write data
ep3_fifo_config	EP3 fifo configuration
ep3_fifo_status	EP3 fifo status
ep3_tx_fifo_wdata	EP3 tx fifo write data
ep3_rx_fifo_rdata	EP3 rx fifo write data
ep4_fifo_config	EP4 fifo configuration
ep4_fifo_status	EP4 fifo status
ep4_tx_fifo_wdata	EP4 tx fifo write data
ep4_rx_fifo_rdata	EP4 rx fifo write data
ep5_fifo_config	EP5 fifo configuration
ep5_fifo_status	EP5 fifo status
ep5_tx_fifo_wdata	EP5 tx fifo write data
ep5_rx_fifo_rdata	EP5 rx fifo write data
ep6_fifo_config	EP6 fifo configuration
ep6_fifo_status	EP6 fifo status
ep6_tx_fifo_wdata	EP6 tx fifo write data
ep6_rx_fifo_rdata	EP6 rx fifo write data
ep7_fifo_config	EP7 fifo configuration
ep7_fifo_status	EP7 fifo status
ep7_tx_fifo_wdata	EP7 tx fifo write data
ep7_rx_fifo_rdata	EP7 rx fifo write data

名称	描述
xcvr_if_config	

### 18.4.1 usb\_config

地址: 0x4000d800

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			SW RDY	CRSR	E0S NKO	E0S NKI	E0SS	E0SIZE							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EOSWADDR							E0SC	RSVD			RBEN	RSVD			USB EN

位	名称	权限	复位值	描述
31:29	RSVD			
28	SWRDY	R	1'b0	EP0 transaction ready status bit. Asserted with sw_rdy, and de-asserted when ACK is sent/received.
27	CRSR	W1C	1'b0	EP0 transaction ready. When NACK is enabled, asserting this bit will allow one packet to be transferred even if NACK is asserted Set 1 when a transaction needs to be released once (respond ACK)
26	E0SNKO	R/W	1'b0	EP0 OUT/SETUP transaction nack response (SW control mode) Note: Should NOT enable both ep0_sw_nack_out and ep0_sw_stall at the same time must be 1
25	E0SNKI	R/W	1'b1	EP0 IN transaction nack response (SW control mode) Note: Should NOT enable both ep0_sw_nack_in and ep0_sw_stall at the same time must be 1
24	E0SS	W1C	1'b0	EP0 stall response (SW control mode) Note: Should NOT enable both ep0_sw_nack_in/out and ep0_sw_stall at the same time Set 1 when a handshake needs to be stall once (respond STALL)

位	名称	权限	复位值	描述
23:16	E0SIZE	R/W	8'd0	EP0 transfer size (SW control mode) max packet size is 64
15:9	EOSWADDR	R/W	7'd0	EP0 address (SW control mode) device address
8	E0SC	R/W	1'b0	EP0 software control enable 1'b1: EP0 IN/OUT transaction is fully controlled by SW 1'b0: EP0 IN/OUT transaction is controlled by HW must be 1
7:5	RSVD			
4	RBEN	R/W	1'b1	Enable signal of ROM-based descriptors (don't care if ep0_sw_ctrl is asserted) 1'b1: USB descriptors stored in ROM will be used 1'b0: SW should prepare the descriptors requested by HOST must be 0
3:1	RSVD			
0	USBEN	R/W	1'b0	Enable signal of USB function

## 18.4.2 usb\_lpm\_config

地址: 0x4000d804

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPM STS	LPMATTR											RSVD			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												LPMRESP		RPUD	LPM EN

位	名称	权限	复位值	描述
31	LPMSTS	R	1'b0	LPM status bit
30:20	LPMATTR	R	11'h0	LPM attributes received in LPM packet
19:4	RSVD			
3:2	LPMRESP	R/W	2'd2	Response when LPM packet is received 2'd3: NYET 2'd2: STALL 2'd1: NACK 2'd0: ACK



位	名称	权限	复位值	描述
1	RPUD	W1C	1'b0	Response update signal (for async concern) Assert this bit when cr_lpm_resp is updated
0	LPMEN	W1C	1'b0	LPM enable signal

### 18.4.3 usb\_resume\_config

地址: 0x4000d808

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSFC	RSVD														
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			RSTG	RSVD	RSWD										

位	名称	权限	复位值	描述
31	RSFC	R/W	1'b0	Force to output K-state
30:13	RSVD			
12	RSTG	W1C	1'b0	Resume K-state trigger
11	RSVD			
10:0	RSWD	R/W	11'd26	Resume K-state width (unit: 2.67us)

### 18.4.4 usb\_frame\_no

地址: 0x4000d818

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD												EPNO			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PID				RSVD	FRANM										

位	名称	权限	复位值	描述
31:20	RSVD			
19:16	EPNO	R	4'd0	Endpoint number of the current transaction
15:12	PID	R	4'd0	PID value of the current transaction
11	RSVD			
10:0	FRANM	R	11'h0	Current frame number

### 18.4.5 usb\_error

地址: 0x4000d81c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD									CRC16 ERR	CRC5 ERR	PCSE	PSEO	IEEO	TTEO	UREO

位	名称	权限	复位值	描述
31:7	RSVD			
6	CRC16ERR	R	1'b0	Data CRC error occurs, cleared by cr_usb_err_clr, enabled by ueen
5	CRC5ERR	R	1'b0	Token CRC error occurs, cleared by cr_usb_err_clr, enabled by ueen
4	PCSE	R	1'b0	PID check sum error occurs, cleared by cr_usb_err_clr, enabled by ueen
3	PSEO	R	1'b0	PID sequence error occurs, cleared by cr_usb_err_clr, enabled by ueen
2	IEEO	R	1'b0	Invalid endpoint error occurs, cleared by cr_usb_err_clr, enabled by ueen
1	TTEO	R	1'b0	Transfer time-out error occurs, cleared by cr_usb_err_clr, enabled by ueen
0	UREO	R	1'b0	UTMI I/F RX error occurs, cleared by cr_usb_err_clr, enabled by ueen

### 18.4.6 usb\_int\_en

地址: 0x4000d820

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UEEN	S3EN	LPEN	LWEN	RDEN	RSVD			EP7D EN	EP7C EN	EP6D EN	EP6C EN	EP5D EN	EP5C EN	EP4D EN	EP4C EN
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EP3D EN	EP3C EN	EP2D EN	EP2C EN	EP1D EN	EP1C EN	E0OD EN	E0OC EN	E0ID EN	E0IC EN	E0SD EN	E0SC EN	GDC EN	VTEN	UREN	SEN

位	名称	权限	复位值	描述
31	UEEN	R/W	1'b1	Interrupt enable of usb_err_int
30	S3EN	R/W	1'b0	Interrupt enable of sof_3ms_int SOF is absent for 3 times (3ms) interrupt enable
29	LPEN	R/W	1'b0	Interrupt enable of lpm_pkt_int receive link power mangement packet interrupt enable
28	LWEN	R/W	1'b0	Interrupt enable of lpm_wkup_int receive link power mangement resume (wakeup) packet interrupt enable
27	RDEN	R/W	1'b0	Interrupt enable of usb_rend_int reset end interrupt enable
26:24	RSVD			
23	EP7DEN	R/W	1'b1	Interrupt enable of ep7_done_int
22	EP7CEN	R/W	1'b1	Interrupt enable of ep7_cmd_int
21	EP6DEN	R/W	1'b1	Interrupt enable of ep6_done_int
20	EP6CEN	R/W	1'b1	Interrupt enable of ep6_cmd_int
19	EP5DEN	R/W	1'b1	Interrupt enable of ep5_done_int
18	EP5CEN	R/W	1'b1	Interrupt enable of ep5_cmd_int
17	EP4DEN	R/W	1'b1	Interrupt enable of ep4_done_int
16	EP4CEN	R/W	1'b1	Interrupt enable of ep4_cmd_int
15	EP3DEN	R/W	1'b1	Interrupt enable of ep3_done_int
14	EP3CEN	R/W	1'b1	Interrupt enable of ep3_cmd_int
13	EP2DEN	R/W	1'b1	Interrupt enable of ep2_done_int
12	EP2CEN	R/W	1'b1	Interrupt enable of ep2_cmd_int
11	EP1DEN	R/W	1'b1	Interrupt enable of ep1_done_int
10	EP1CEN	R/W	1'b1	Interrupt enable of ep1_cmd_int
9	E0ODEN	R/W	1'b1	Interrupt enable of ep0_out_done_int
8	E0OCEN	R/W	1'b1	Interrupt enable of ep0_out_cmd_int
7	E0IDEN	R/W	1'b1	Interrupt enable of ep0_in_done_int
6	E0ICEN	R/W	1'b1	Interrupt enable of ep0_in_cmd_int
5	E0SDEN	R/W	1'b1	Interrupt enable of ep0_setup_done_int
4	E0SCEN	R/W	1'b1	Interrupt enable of ep0_setup_cmd_int
3	GDCEN	R/W	1'b1	Interrupt enable of get_dct_cmd_int set 0

位	名称	权限	复位值	描述
2	VTEN	R/W	1'b1	Interrupt enable of vbus_tgl_int vbus voltage toggle interrupt enable, for detect equipment plug
1	UREN	R/W	1'b1	Interrupt enable of usb_reset_int reset interrupt enable
0	SEN	R/W	1'b1	Interrupt enable of sof_int SOF interrupt enable

### 18.4.7 usb\_int\_sts

地址: 0x4000d824

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UEIT	S3IT	LPIT	LWIT	RDIT	RSVD			EP7D IT	EP7C IT	EP6D IT	EP6C IT	EP5D IT	EP5C IT	EP4D IT	EP4C IT
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EP3D IT	EP3C IT	EP2D IT	EP2C IT	EP1D IT	EP1C IT	EP0D IT	E0OC IT	E0ID IT	E0IC IT	E0SD IT	E0SC IT	GDC IT	VTIT	URIT	SIT

位	名称	权限	复位值	描述
31	UEIT	R	1'b0	USB error occurs, check usb_error for detailed error type
30	S3IT	R	1'b0	SOF is absent for 3 ms
29	LPIT	R	1'b0	LPM packet is received
28	LWIT	R	1'b0	LPM resume (wakeup) signal is received
27	RDIT	R	1'b0	USB reset de-assert is triggered
26:24	RSVD			
23	EP7DIT	R	1'b0	EP7 IN or OUT command is finished
22	EP7CIT	R	1'b0	EP7 IN or OUT command is received
21	EP6DIT	R	1'b0	EP6 IN or OUT command is finished
20	EP6CIT	R	1'b0	EP6 IN or OUT command is received
19	EP5DIT	R	1'b0	EP5 IN or OUT command is finished
18	EP5CIT	R	1'b0	EP5 IN or OUT command is received
17	EP4DIT	R	1'b0	EP4 IN or OUT command is finished
16	EP4CIT	R	1'b0	EP4 IN or OUT command is received
15	EP3DIT	R	1'b0	EP3 IN or OUT command is finished

位	名称	权限	复位值	描述
14	EP3CIT	R	1'b0	EP3 IN or OUT command is received
13	EP2DIT	R	1'b0	EP2 IN or OUT command is finished
12	EP2CIT	R	1'b0	EP2 IN or OUT command is received
11	EP1DIT	R	1'b0	EP1 IN or OUT command is finished
10	EP1CIT	R	1'b0	EP1 IN or OUT command is received
9	EP0DIT	R	1'b0	EP0 OUT command is finished
8	E0OCIT	R	1'b0	EP0 OUT command is received
7	E0IDIT	R	1'b0	EP0 IN command is finished
6	E0ICIT	R	1'b0	EP0 IN command is received
5	E0SDIT	R	1'b0	EP0 SETUP command is finished
4	E0SCIT	R	1'b0	EP0 SETUP command is received
3	GDCIT	R	1'b0	GET_DESCRIPTOR command is received
2	VTIT	R	1'b0	VBUS detection is toggled, check 0x1FC[31] for vbus_detect status
1	URIT	R	1'b0	USB reset is triggered
0	SIT	R	1'b0	SOF is received

## 18.4.8 usb\_int\_mask

地址: 0x4000d828

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UEM	S3M	LPM	LWM	RDM	RSVD			E7DM	E7CM	E6DM	E6CM	E5DM	E5CM	E4DM	E4CM
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E3DM	E3CM	E2DM	E2CM	E1DM	E1CM	E0ODM	E0OCM	E0IDM	E0ICM	E0SDM	E0SCM	GDCM	VTM	URM	SM

位	名称	权限	复位值	描述
31	UEM	R/W	1'b1	Interrupt mask of usb_err_int
30	S3M	R/W	1'b1	Interrupt mask of sof_3ms_int
29	LPM	R/W	1'b1	Interrupt mask of lpm_pkt_int
28	LWM	R/W	1'b1	Interrupt mask of lpm_wkup_int
27	RDM	R/W	1'b1	Interrupt mask of usb_rend_int
26:24	RSVD			

位	名称	权限	复位值	描述
23	E7DM	R/W	1'b1	Interrupt mask of ep7_done_int
22	E7CM	R/W	1'b1	Interrupt mask of ep7_cmd_int
21	E6DM	R/W	1'b1	Interrupt mask of ep6_done_int
20	E6CM	R/W	1'b1	Interrupt mask of ep6_cmd_int
19	E5DM	R/W	1'b1	Interrupt mask of ep5_done_int
18	E5CM	R/W	1'b1	Interrupt mask of ep5_cmd_int
17	E4DM	R/W	1'b1	Interrupt mask of ep4_done_int
16	E4CM	R/W	1'b1	Interrupt mask of ep4_cmd_int
15	E3DM	R/W	1'b1	Interrupt mask of ep3_done_int
14	E3CM	R/W	1'b1	Interrupt mask of ep3_cmd_int
13	E2DM	R/W	1'b1	Interrupt mask of ep2_done_int
12	E2CM	R/W	1'b1	Interrupt mask of ep2_cmd_int
11	E1DM	R/W	1'b1	Interrupt mask of ep1_done_int
10	E1CM	R/W	1'b1	Interrupt mask of ep1_cmd_int
9	E0ODM	R/W	1'b1	Interrupt mask of ep0_out_done_int
8	E0OCM	R/W	1'b1	Interrupt mask of ep0_out_cmd_int
7	E0IDM	R/W	1'b1	Interrupt mask of ep0_in_done_int
6	E0ICM	R/W	1'b1	Interrupt mask of ep0_in_cmd_int
5	E0SDM	R/W	1'b1	Interrupt mask of ep0_setup_done_int
4	E0SCM	R/W	1'b1	Interrupt mask of ep0_setup_cmd_int
3	GDCM	R/W	1'b1	Interrupt mask of get_dct_cmd_int
2	VTM	R/W	1'b1	Interrupt mask of vbus_tgl_int
1	URM	R/W	1'b1	Interrupt mask of usb_reset_int
0	SM	R/W	1'b1	Interrupt mask of sof_int

### 18.4.9 usb\_int\_clear

地址: 0x4000d82c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UEC	S3C	LPC	LWC	RDC	RSVD			E7DC	E7CC	E6DC	E6CC	E5DC	E5CC	E4DC	E4CC
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E3DC	E3CC	E2DC	E2CC	E1DC	E1CC	E0 ODC	E0 OCC	E0 IDC	E0 ICC	E0 SDC	E0 SCC	GDCC	VTC	URC	E0

位	名称	权限	复位值	描述
31	UEC	W1C	1'b0	Interrupt clear of usb_err_int
30	S3C	W1C	1'b0	Interrupt clear of sof_3ms_int
29	LPC	W1C	1'b0	Interrupt clear of lpm_pkt_int
28	LWC	W1C	1'b0	Interrupt clear of lpm_wkup_int
27	RDC	W1C	1'b0	Interrupt clear of usb_rend_int
26:24	RSVD			
23	E7DC	W1C	1'b0	Interrupt clear of ep7_done_int
22	E7CC	W1C	1'b0	Interrupt clear of ep7_cmd_int
21	E6DC	W1C	1'b0	Interrupt clear of ep6_done_int
20	E6CC	W1C	1'b0	Interrupt clear of ep6_cmd_int
19	E5DC	W1C	1'b0	Interrupt clear of ep5_done_int
18	E5CC	W1C	1'b0	Interrupt clear of ep5_cmd_int
17	E4DC	W1C	1'b0	Interrupt clear of ep4_done_int
16	E4CC	W1C	1'b0	Interrupt clear of ep4_cmd_int
15	E3DC	W1C	1'b0	Interrupt clear of ep3_done_int
14	E3CC	W1C	1'b0	Interrupt clear of ep3_cmd_int
13	E2DC	W1C	1'b0	Interrupt clear of ep2_done_int
12	E2CC	W1C	1'b0	Interrupt clear of ep2_cmd_int
11	E1DC	W1C	1'b0	Interrupt clear of ep1_done_int
10	E1CC	W1C	1'b0	Interrupt clear of ep1_cmd_int
9	E0ODC	W1C	1'b0	Interrupt clear of ep0_out_done_int
8	E0OCC	W1C	1'b0	Interrupt clear of ep0_out_cmd_int
7	E0IDC	W1C	1'b0	Interrupt clear of ep0_in_done_int
6	E0ICC	W1C	1'b0	Interrupt clear of ep0_in_cmd_int
5	E0SDC	W1C	1'b0	Interrupt clear of ep0_setup_done_int
4	E0SCC	W1C	1'b0	Interrupt clear of ep0_setup_cmd_int
3	GDCC	W1C	1'b0	Interrupt clear of get_dct_cmd_int
2	VTC	W1C	1'b0	Interrupt clear of vbus_tgl_int
1	URC	W1C	1'b0	Interrupt clear of usb_reset_int
0	E0	W1C	1'b0	Interrupt clear of sof_int

### 18.4.10 ep1\_config

地址: 0x4000d840

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD												EPRS	ER	ENRE	ESRE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPT				EPD		EPMP									

位	名称	权限	复位值	描述
31:20	RSVD			
19	EPRS	R	1'b0	Endpoint ready status bit. Asserted with ep_rdy, and de-asserted when ACK is sent/received.
18	ER	W1C	1'b0	Endpoint ready. When Endpoint NACK is enabled, asserting this bit will allow one packet to be transferred
17	ENRE	R/W	1'b1	Endpoint NACK response enable, should not be enabled with STALL at the same time must be 1
16	ESRE	R/W	1'b0	Endpoint STALL response enable, should not be enabled with NACK at the same time Set 1 when endpoint needs to be suspend (respond STALL)
15:13	EPT	R/W	3'b100	Endpoint type 3'b101: CTRL 3'b010: ISO 3'b100: BULK 3'b000: INT Others: Reserved
12:11	EPD	R/W	2'b01	Endpoint direction 2'b00: Disabled 2'b01: IN 2'b10: OUT 2'b11: Reserved
10:0	EPMP	R/W	11'd64	Endpoint max packet size

### 18.4.11 ep2\_config

地址: 0x4000d844



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD												E2RS	E2R	E2N	E2S
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E2T				E2D				E2S							

位	名称	权限	复位值	描述
31:20	RSVD			
19	E2RS	R	1'b0	Endpoint ready status bit. Asserted with ep_rdy, and de-asserted when ACK is sent/received.
18	E2R	W1C	1'b0	Endpoint ready. When Endpoint NACK is enabled, asserting this bit will allow one packet to be transferred
17	E2N	R/W	1'b1	Endpoint NACK response enable, should not be enabled with STALL at the same time must be 1
16	E2S	R/W	1'b0	Endpoint STALL response enable, should not be enabled with NACK at the same time Set 1 when endpoint needs to be suspend (respond STALL)
15:13	E2T	R/W	3'b100	Endpoint type 3'b101: CTRL 3'b010: ISO 3'b100: BULK 3'b000: INT Others: Reserved
12:11	E2D	R/W	2'b01	Endpoint direction 2'b00: Disabled 2'b01: IN 2'b10: OUT 2'b11: Reserved
10:0	E2S	R/W	11'd64	Endpoint max packet size

### 18.4.12 ep3\_config

地址: 0x4000d848

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD												E3RS	E3RS	E3N	E3S
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E3T				E3D				E3S							

位	名称	权限	复位值	描述
31:20	RSVD			
19	E3RS	R	1'b0	Endpoint ready status bit. Asserted with ep_rdy, and de-asserted when ACK is sent/received.
18	E3RS	W1C	1'b0	Endpoint ready. When Endpoint NACK is enabled, asserting this bit will allow one packet to be transferred
17	E3N	R/W	1'b1	Endpoint NACK response enable, should not be enabled with STALL at the same time must be 1
16	E3S	R/W	1'b0	Endpoint STALL response enable, should not be enabled with NACK at the same time Set 1 when endpoint needs to be suspend (respond STALL)
15:13	E3T	R/W	3'b100	Endpoint type 3'b101: CTRL 3'b010: ISO 3'b100: BULK 3'b000: INT Others: Reserved
12:11	E3D	R/W	2'b01	Endpoint direction 2'b00: Disabled 2'b01: IN 2'b10: OUT 2'b11: Reserved
10:0	E3S	R/W	11'd64	Endpoint max packet size

### 18.4.13 ep4\_config

地址: 0x4000d84c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD												E4RS	E4R	E4N	E4S
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E4T				E4D				E4S							

位	名称	权限	复位值	描述
31:20	RSVD			
19	E4RS	R	1'b0	Endpoint ready status bit. Asserted with ep_rdy, and de-asserted when ACK is sent/received.

位	名称	权限	复位值	描述
18	E4R	W1C	1'b0	Endpoint ready. When Endpoint NACK is enabled, asserting this bit will allow one packet to be transferred
17	E4N	R/W	1'b1	Endpoint NACK response enable, should not be enabled with STALL at the same time must be 1
16	E4S	R/W	1'b0	Endpoint STALL response enable, should not be enabled with NACK at the same time Set 1 when endpoint needs to be suspend (respond STALL)
15:13	E4T	R/W	3'b100	Endpoint type 3'b101: CTRL 3'b010: ISO 3'b100: BULK 3'b000: INT Others: Reserved
12:11	E4D	R/W	2'b01	Endpoint direction 2'b00: Disabled 2'b01: IN 2'b10: OUT 2'b11: Reserved
10:0	E4S	R/W	11'd64	Endpoint max packet size

#### 18.4.14 ep5\_config

地址: 0x4000d850

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD												E5RS	E5RS	E5N	E5S
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E5T			E5D			E5S									

位	名称	权限	复位值	描述
31:20	RSVD			
19	E5RS	R	1'b0	Endpoint ready status bit. Asserted with ep_rdy, and de-asserted when ACK is sent/received.
18	E5RS	W1C	1'b0	Endpoint ready. When Endpoint NACK is enabled, asserting this bit will allow one packet to be transferred

位	名称	权限	复位值	描述
17	E5N	R/W	1'b1	Endpoint NACK response enable, should not be enabled with STALL at the same time must be 1
16	E5S	R/W	1'b0	Endpoint STALL response enable, should not be enabled with NACK at the same time Set 1 when endpoint needs to be suspend (respond STALL)
15:13	E5T	R/W	3'b100	Endpoint type 3'b101: CTRL 3'b010: ISO 3'b100: BULK 3'b000: INT Others: Reserved
12:11	E5D	R/W	2'b01	Endpoint direction 2'b00: Disabled 2'b01: IN 2'b10: OUT 2'b11: Reserved
10:0	E5S	R/W	11'd64	Endpoint max packet size

### 18.4.15 ep6\_config

地址: 0x4000d854

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD												E6RS	E6R	E6N	E6S
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E6T			E6D			E6S									

位	名称	权限	复位值	描述
31:20	RSVD			
19	E6RS	R	1'b0	Endpoint ready status bit. Asserted with ep_rdy, and de-asserted when ACK is sent/received.
18	E6R	W1C	1'b0	Endpoint ready. When Endpoint NACK is enabled, asserting this bit will allow one packet to be transferred
17	E6N	R/W	1'b1	Endpoint NACK response enable, should not be enabled with STALL at the same time must be 1

位	名称	权限	复位值	描述
16	E6S	R/W	1'b0	Endpoint STALL response enable, should not be enabled with NACK at the same time Set 1 when endpoint needs to be suspend (respond STALL)
15:13	E6T	R/W	3'b100	Endpoint type 3'b101: CTRL 3'b010: ISO 3'b100: BULK 3'b000: INT Others: Reserved
12:11	E6D	R/W	2'b01	Endpoint direction 2'b00: Disabled 2'b01: IN 2'b10: OUT 2'b11: Reserved
10:0	E6S	R/W	11'd64	Endpoint max packet size

#### 18.4.16 ep7\_config

地址: 0x4000d858

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD												E7RS	E7R	E7N	E7S
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E7T			E7D			E7S									

位	名称	权限	复位值	描述
31:20	RSVD			
19	E7RS	R	1'b0	Endpoint ready status bit. Asserted with ep_rdy, and de-asserted when ACK is sent/received.
18	E7R	W1C	1'b0	Endpoint ready. When Endpoint NACK is enabled, asserting this bit will allow one packet to be transferred
17	E7N	R/W	1'b1	Endpoint NACK response enable, should not be enabled with STALL at the same time must be 1
16	E7S	R/W	1'b0	Endpoint STALL response enable, should not be enabled with NACK at the same time Set 1 when endpoint needs to be suspend (respond STALL)

位	名称	权限	复位值	描述
15:13	E7T	R/W	3'b100	Endpoint type 3'b101: CTRL 3'b010: ISO 3'b100: BULK 3'b000: INT Others: Reserved
12:11	E7D	R/W	2'b01	Endpoint direction 2'b00: Disabled 2'b01: IN 2'b10: OUT 2'b11: Reserved
10:0	E7S	R/W	11'd64	Endpoint max packet size

### 18.4.17 ep0\_fifo\_config

地址: 0x4000d900

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E0 RFU	E0 RFO	E0 TFU	E0 TFO	E0 RFC	E0 TFC	E0 DREN	E0 DTEN

位	名称	权限	复位值	描述
31:8	RSVD			
7	E0RFU	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
6	E0RFO	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	E0TFU	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	E0TFO	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	E0RFC	W1C	1'b0	Clear signal of RX FIFO
2	E0TFC	W1C	1'b0	Clear signal of TX FIFO
1	E0DREN	R/W	1'b0	Enable signal of dma_rx_req/ack interface Set 1 when use DMA for rx FIFO data transfer
0	E0DTEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface Set 1 when use DMA for tx FIFO data transfer

### 18.4.18 ep0\_fifo\_status

地址: 0x4000d904

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E0 RFF	E0 RFE	RSVD							E0RFC						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E0 TFF	E0 TFE	RSVD							E0TFC						

位	名称	权限	复位值	描述
31	E0RFF	R	1'b0	RX FIFO full flag
30	E0RFE	R	1'b1	RX FIFO empty flag
29:23	RSVD			
22:16	E0RFC	R	7'd0	RX FIFO available count
15	E0TFF	R	1'b0	TX FIFO full flag
14	E0TFE	R	1'b1	TX FIFO empty flag
13:7	RSVD			
6:0	E0TFC	R	7'd64	TX FIFO available count

### 18.4.19 ep0\_tx\_fifo\_wdata

地址: 0x4000d908

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E0TFW							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E0TFW	W	x	EP0 TX FIFO

### 18.4.20 ep0\_rx\_fifo\_rdata

地址: 0x4000d90c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E0RFR							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E0RFR	R	8'h0	EP0 RX FIFO

### 18.4.21 ep1\_fifo\_config

地址: 0x4000d910

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E1 RFU	E1 RFO	E1 TFU	E1 TFO	E1 RFC	E1 TFC	E1 DREN	E1 DTEN

位	名称	权限	复位值	描述
31:8	RSVD			
7	E1RFU	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
6	E1RFO	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	E1TFU	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	E1TFO	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	E1RFC	W1C	1'b0	Clear signal of RX FIFO
2	E1TFC	W1C	1'b0	Clear signal of TX FIFO
1	E1DREN	R/W	1'b0	Enable signal of dma_rx_req/ack interface Set 1 when use DMA for rx FIFO data transfer
0	E1DTEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface Set 1 when use DMA for tx FIFO data transfer

### 18.4.22 ep1\_fifo\_status

地址: 0x4000d914



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E1 RFF	E1 RFE	RSVD							E1RFC						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E1 TFF	E1 TFE	RSVD							E1TFC						

位	名称	权限	复位值	描述
31	E1RFF	R	1'b0	RX FIFO full flag
30	E1RFE	R	1'b1	RX FIFO empty flag
29:23	RSVD			
22:16	E1RFC	R	7'd0	RX FIFO available count
15	E1TFF	R	1'b0	TX FIFO full flag
14	E1TFE	R	1'b1	TX FIFO empty flag
13:7	RSVD			
6:0	E1TFC	R	7'd64	TX FIFO available count

### 18.4.23 ep1\_tx\_fifo\_wdata

地址: 0x4000d918

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E1TFW							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E1TFW	W	x	EP1 TX FIFO

### 18.4.24 ep1\_rx\_fifo\_rdata

地址: 0x4000d91c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E1RFR							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E1RFR	R	8'h0	EP1 RX FIFO

### 18.4.25 ep2\_fifo\_config

地址: 0x4000d920

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E2 RFU	E2 RFO	E2 TFU	E2 TFO	E2 RFC	E2 TFC	E2 DREN	E2 DTEN

位	名称	权限	复位值	描述
31:8	RSVD			
7	E2RFU	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
6	E2RFO	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	E2TFU	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	E2TFO	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	E2RFC	W1C	1'b0	Clear signal of RX FIFO
2	E2TFC	W1C	1'b0	Clear signal of TX FIFO
1	E2DREN	R/W	1'b0	Enable signal of dma_rx_req/ack interface Set 1 when use DMA for rx FIFO data transfer
0	E2DTEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface Set 1 when use DMA for tx FIFO data transfer

### 18.4.26 ep2\_fifo\_status

地址: 0x4000d924

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E2 RFF	E2 RFE	RSVD							E2RFC						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E2 TFF	E2 TFE	RSVD							E2TFC						

位	名称	权限	复位值	描述
31	E2RFF	R	1'b0	RX FIFO full flag
30	E2RFE	R	1'b1	RX FIFO empty flag
29:23	RSVD			
22:16	E2RFC	R	7'd0	RX FIFO available count
15	E2TFF	R	1'b0	TX FIFO full flag
14	E2TFE	R	1'b1	TX FIFO empty flag
13:7	RSVD			
6:0	E2TFC	R	7'd64	TX FIFO available count

### 18.4.27 ep2\_tx\_fifo\_wdata

地址: 0x4000d928

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E2TFW							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E2TFW	W	x	EP2 TX FIFO

### 18.4.28 ep2\_rx\_fifo\_rdata

地址: 0x4000d92c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E2RFR							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E2RFR	R	8'h0	EP2 RX FIFO

### 18.4.29 ep3\_fifo\_config

地址: 0x4000d930

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E3 RFU	E3 RFO	E3 TFU	E3 TFO	E3 RFC	E3 TFC	E3 DTEN	E3 DTEN

位	名称	权限	复位值	描述
31:8	RSVD			
7	E3RFU	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
6	E3RFO	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	E3TFU	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	E3TFO	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	E3RFC	W1C	1'b0	Clear signal of RX FIFO
2	E3TFC	W1C	1'b0	Clear signal of TX FIFO
1	E3DTEN	R/W	1'b0	Enable signal of dma_rx_req/ack interface Set 1 when use DMA for rx FIFO data transfer
0	E3DTEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface Set 1 when use DMA for tx FIFO data transfer

### 18.4.30 ep3\_fifo\_status

地址: 0x4000d934

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E3 RFF	E3 RFE	RSVD							E3RFC						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E3 TFF	E3 TFE	RSVD							E3TFC						

位	名称	权限	复位值	描述
31	E3RFF	R	1'b0	RX FIFO full flag
30	E3RFE	R	1'b1	RX FIFO empty flag
29:23	RSVD			
22:16	E3RFC	R	7'd0	RX FIFO available count
15	E3TFF	R	1'b0	TX FIFO full flag
14	E3TFE	R	1'b1	TX FIFO empty flag
13:7	RSVD			
6:0	E3TFC	R	7'd64	TX FIFO available count

### 18.4.31 ep3\_tx\_fifo\_wdata

地址: 0x4000d938

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E3TFW							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E3TFW	W	x	EP3 TX FIFO

### 18.4.32 ep3\_rx\_fifo\_rdata

地址: 0x4000d93c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E3RFR							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E3RFR	R	8'h0	EP3 RX FIFO

### 18.4.33 ep4\_fifo\_config

地址: 0x4000d940

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E4 RFU	E4 RFO	E4 TFU	E4 TFO	E4 RFC	E4 TFC	E4 DREN	E4 DTEN

位	名称	权限	复位值	描述
31:8	RSVD			
7	E4RFU	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
6	E4RFO	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	E4TFU	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	E4TFO	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	E4RFC	W1C	1'b0	Clear signal of RX FIFO
2	E4TFC	W1C	1'b0	Clear signal of TX FIFO
1	E4DREN	R/W	1'b0	Enable signal of dma_rx_req/ack interface Set 1 when use DMA for rx FIFO data transfer
0	E4DTEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface Set 1 when use DMA for tx FIFO data transfer

### 18.4.34 ep4\_fifo\_status

地址: 0x4000d944

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E4 RFF	E4 RFE	RSVD							E4RFC						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E4 TFF	E4 TFE	RSVD							E4TFC						

位	名称	权限	复位值	描述
31	E4RFF	R	1'b0	RX FIFO full flag
30	E4RFE	R	1'b1	RX FIFO empty flag
29:23	RSVD			
22:16	E4RFC	R	7'd0	RX FIFO available count
15	E4TFF	R	1'b0	TX FIFO full flag
14	E4TFE	R	1'b1	TX FIFO empty flag
13:7	RSVD			
6:0	E4TFC	R	7'd64	TX FIFO available count

### 18.4.35 ep4\_tx\_fifo\_wdata

地址: 0x4000d948

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E4TFW							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E4TFW	W	x	EP4 TX FIFO

### 18.4.36 ep4\_rx\_fifo\_rdata

地址: 0x4000d94c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E4RFR							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E4RFR	R	8'h0	EP4 RX FIFO

### 18.4.37 ep5\_fifo\_config

地址: 0x4000d950

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E5 RFU	E5 RFO	E5 TFU	E5 TFO	E5 RFC	E5 TFC	E5 DREN	E5 DTEN

位	名称	权限	复位值	描述
31:8	RSVD			
7	E5RFU	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
6	E5RFO	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	E5TFU	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	E5TFO	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	E5RFC	W1C	1'b0	Clear signal of RX FIFO
2	E5TFC	W1C	1'b0	Clear signal of TX FIFO
1	E5DREN	R/W	1'b0	Enable signal of dma_rx_req/ack interface Set 1 when use DMA for rx FIFO data transfer
0	E5DTEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface Set 1 when use DMA for tx FIFO data transfer

### 18.4.38 ep5\_fifo\_status

地址: 0x4000d954



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E5 RFF	E5 RFE	RSVD							E5RFC						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E5 TFF	E5 TFE	RSVD							E5TFC						

位	名称	权限	复位值	描述
31	E5RFF	R	1'b0	RX FIFO full flag
30	E5RFE	R	1'b1	RX FIFO empty flag
29:23	RSVD			
22:16	E5RFC	R	7'd0	RX FIFO available count
15	E5TFF	R	1'b0	TX FIFO full flag
14	E5TFE	R	1'b1	TX FIFO empty flag
13:7	RSVD			
6:0	E5TFC	R	7'd64	TX FIFO available count

### 18.4.39 ep5\_tx\_fifo\_wdata

地址: 0x4000d958

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E5TFW							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E5TFW	W	x	EP5 TX FIFO

### 18.4.40 ep5\_rx\_fifo\_rdata

地址: 0x4000d95c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E5RFR							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E5RFR	R	8'h0	EP5 RX FIFO

### 18.4.41 ep6\_fifo\_config

地址: 0x4000d960

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E6 RFU	E6 RFO	E6 TFU	E6 TFO	E6 RFC	E6 TFC	E6 DREN	E6 DTEN

位	名称	权限	复位值	描述
31:8	RSVD			
7	E6RFU	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
6	E6RFO	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	E6TFU	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	E6TFO	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	E6RFC	W1C	1'b0	Clear signal of RX FIFO
2	E6TFC	W1C	1'b0	Clear signal of TX FIFO
1	E6DREN	R/W	1'b0	Enable signal of dma_rx_req/ack interface Set 1 when use DMA for rx FIFO data transfer
0	E6DTEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface Set 1 when use DMA for tx FIFO data transfer

### 18.4.42 ep6\_fifo\_status

地址: 0x4000d964

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E6 RFF	E6 RFE	RSVD							E6RFC						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E6 TFF	E6 TFE	RSVD							E6TFC						

位	名称	权限	复位值	描述
31	E6RFF	R	1'b0	RX FIFO full flag
30	E6RFE	R	1'b1	RX FIFO empty flag
29:23	RSVD			
22:16	E6RFC	R	7'd0	RX FIFO available count
15	E6TFF	R	1'b0	TX FIFO full flag
14	E6TFE	R	1'b1	TX FIFO empty flag
13:7	RSVD			
6:0	E6TFC	R	7'd64	TX FIFO available count

#### 18.4.43 ep6\_tx\_fifo\_wdata

地址: 0x4000d968

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E6TFW							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E6TFW	W	x	EP6 TX FIFO

#### 18.4.44 ep6\_rx\_fifo\_rdata

地址: 0x4000d96c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E6RFR							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E6RFR	R	8'h0	EP6 RX FIFO

#### 18.4.45 ep7\_fifo\_config

地址: 0x4000d970

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E7 RFU	E7 RFO	E7 TFU	E7 TFO	E7 RFC	E7 TFC	E7 DREN	E7 DTEN

位	名称	权限	复位值	描述
31:8	RSVD			
7	E7RFU	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
6	E7RFO	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	E7TFU	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	E7TFO	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	E7RFC	W1C	1'b0	Clear signal of RX FIFO
2	E7TFC	W1C	1'b0	Clear signal of TX FIFO
1	E7DREN	R/W	1'b0	Enable signal of dma_rx_req/ack interface Set 1 when use DMA for rx FIFO data transfer
0	E7DTEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface Set 1 when use DMA for tx FIFO data transfer

#### 18.4.46 ep7\_fifo\_status

地址: 0x4000d974

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E7 RFF	E7 RFE	RSVD							E7RFC						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E7 TFF	E7 TFE	RSVD							E7TFC						

位	名称	权限	复位值	描述
31	E7RFF	R	1'b0	RX FIFO full flag
30	E7RFE	R	1'b1	RX FIFO empty flag
29:23	RSVD			
22:16	E7RFC	R	7'd0	RX FIFO available count
15	E7TFF	R	1'b0	TX FIFO full flag
14	E7TFE	R	1'b1	TX FIFO empty flag
13:7	RSVD			
6:0	E7TFC	R	7'd64	TX FIFO available count

#### 18.4.47 ep7\_tx\_fifo\_wdata

地址: 0x4000d978

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E7TFW							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E7TFW	W	x	EP7 TX FIFO

#### 18.4.48 ep7\_rx\_fifo\_rdata

地址: 0x4000d97c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								E7RFR							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	E7RFR	R	8'h0	EP7 RX FIFO

#### 18.4.49 xcvr\_if\_config

地址: 0x4000d9fc

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SVD	RSVD														
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															

位	名称	权限	复位值	描述
31	SVD	R	1'b0	
30:0	RSVD			

## 19.1 概述

低功耗是物联网应用的一项重要指标。芯片的处理器包含 3 种功耗模式，包含工作模式、睡眠模式和休眠模式，可以根据当前应用场景选择合适的功耗模式，降低芯片功耗延长电池寿命。

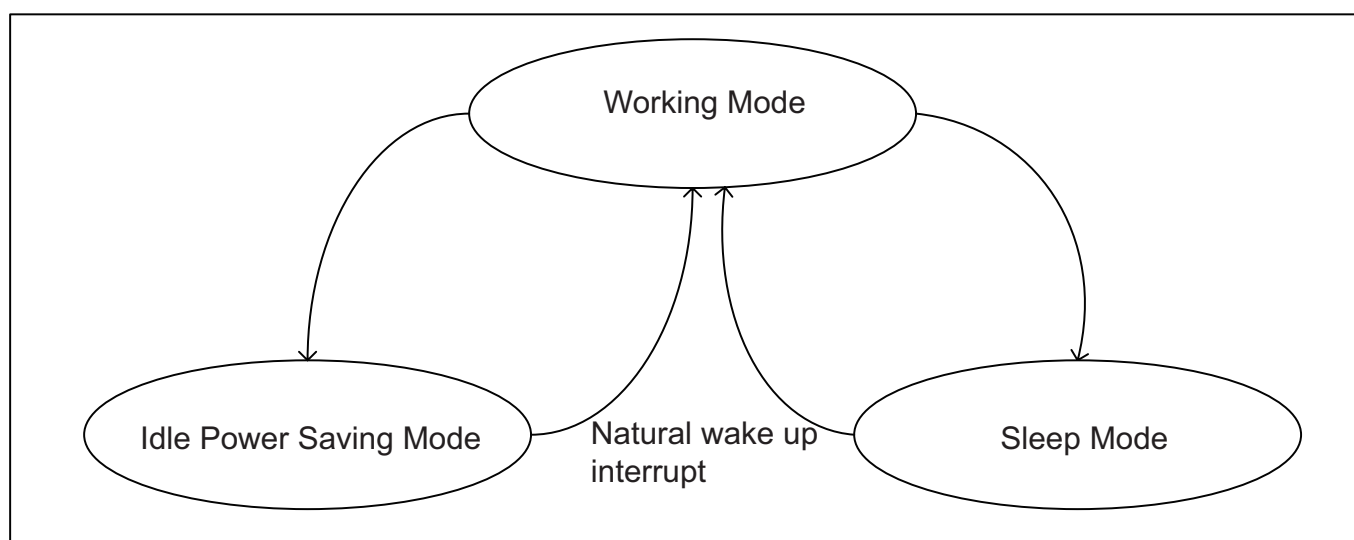


图 19.1: 低功耗模式

## 19.2 主要特征

- 时钟控制:GLB 中对各外设的时钟控制，小范围的省电，响应速度较快
- 睡眠控制 (PDS) : 包含 PDS0/1/2/3/4/5/6/7/31 这 9 个等级，大范围省电，响应速度中等
- 休眠控制 (HBN) : 包含 HBN0/1/2 这 3 个等级，全局省电，响应时间长

## 19.3 功能描述

### 19.3.1 电源域

BL702 中有 9 个电源域，每个电源域的主要功能如下所示：

- PD\_AON
  - HBN 状态机控制电源/隔离/复位/时钟
  - 保持内部电压输出选择
  - 引脚唤醒控制
- PD\_AON\_HBNRTC
  - 保留 RC32K/XTAL32K 控制寄存器
  - RTC 可以用于唤醒，也可用于 LED 闪烁
- PD\_AON\_HBNCORE
  - 部分电源控制寄存器
  - 4KB 的 HBN\_RAM，用于在进入 PDS/HBN 模式前保存程序数据，进入 PDS/HBN 后数据不会消失
  - PIR 数字控制，PIR 是热释电红外传感器，HBN 区域内的一个外设，可以用作 HBN 唤醒源
- PD\_CORE
  - HBN 状态机控制电源/隔离/复位/时钟
  - 64KB 保留 RAM
  - WIFI/BLE 计时器控制
- PD\_CORE\_MISC\_DIG
  - 外设（数字部分）
- PD\_CORE\_MISC\_ANA
  - 外设（模拟部分）
- PD\_CPU
  - CPU/缓存控制器
  - ROM/高速 RAM
- PD\_BZ
  - 蓝牙和 ZigBee
- PD\_USB
  - USB



每个电源域都由 9 个不同的电源模式控制，具体的控制方式如下表所示：

表 19.1: 电源模式

NO	Scenario	AON	AON_- HBNRTC	AON_HB- NCORE	CORE	CORE_- MISC_DIG	CORE_- MISC_ANA	CPU	BZ	USB
1	Normal	ON	ON	ON	ON	ON	ON	ON	ON	ON
2	PDS0	ON	ON	ON	ON	ON	ON	ON	ON	ON
3	PDS1	ON	ON	ON	ON	ON	ON	ON	ON	OFF
4	PDS2	ON	ON	ON	ON	ON	ON	ON	OFF	ON
5	PDS3	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
6	PDS4	ON	ON	ON	ON	ON	ON	OFF	ON	ON
7	PDS5	ON	ON	ON	ON	ON	ON	OFF	ON	OFF
8	PDS6	ON	ON	ON	ON	ON	ON	OFF	OFF	ON
9	PDS7	ON	ON	ON	ON	ON	ON	OFF	OFF	OFF
10	PDS31	ON	ON	ON	ON	OFF	OFF	OFF	OFF	OFF
11	HBN0	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF
12	HBN1	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF
13	HBN2	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF

### 19.3.2 唤醒源

芯片内部支持多种唤醒源，可从不同电源模式中唤醒。

PDS0/1/2/3 模式唤醒后 CPU 不会 reset，PDS4/5/6/7/31 及 HBN0/1/2 模式唤醒后 CPU 会 reset。当 CPU 唤醒并 reset 后，可以通过 event 寄存器获悉当前是因何种原因而 reset 的。

每个电源域都有自己的唤醒源，睡眠休眠状态下的唤醒源便是该模式下仍旧有电的电源域唤醒源的总和

PD\_AON 有如下唤醒源：

- always on pin wakeup (GPIO10~13)

PD\_AON\_HBNRTC 有如下唤醒源：

- hbn rtc timer wakeup

PD\_AON\_HBNCORE 有如下唤醒源：

- pir 中断、bor 中断、acomp0 中断、acomp1 中断

PD\_CORE 有如下唤醒源：

- ble sleep timer wakeup、GPIO0~7 Pin Wakeup (select one)、pds timer wakeup

PD\_CORE\_MISC\_DIG 和 PD\_CORE\_MISC\_ANA 有如下唤醒源:

- kys 中断、irrx 中断、GPIO0~8 GPIO Pin Wakeup、GPIO14~31 GPIO Pin Wakeup

PD\_USB 有如下唤醒源:

- usb wakeup 中断

### 19.3.3 功耗模式

工作模式

芯片提供处理器与外设独立的时钟控制, 在 GLB 和时钟的章节介绍对各模块的时钟控制, 软件可以根据当前应用场景, 对于不需要使用的处理器或外设进行时钟控制。时钟控制的反应是实时的, 在此工作模式下, 不需要担心响应时间。

睡眠模式 (PDS)

掉电模式相较于工作模式功耗较低。进入 PDS 模式后, 将 RTC(Real Time Clock) 之外的时钟进行管控, 会切换为内部低速时钟, 并将外部晶振与 PLL 关闭达到更加省电的状态, 因此进入与离开此低功耗模式会有时间延迟。

#### 1. 进入睡眠模式

软件可通过 PDS 配置让此模块进入掉电模式, 等待处理, 进入等待中断模式 (WFI) 后, PDS 模块会触发时钟控制模块进入 gate clock 操作, 并通知模拟电路关闭 PLL 以及外部晶振

#### 2. 离开睡眠模式

离开睡眠模式的方式有两种, 第一是睡眠期间有特定的中断或事件打断空闲状态, 第二是软件设定 PDS\_TIM 的睡眠时间达到, 两者均会触发 PDS 模块进入或离开低功耗模式。注意: 因为打开晶振需要约 1ms 的时间, PDS 提供软件提前打开晶振的方式, 这个做法可以加速 PDS 醒来, 当 PDS 模块准备醒来时, 此模块会通过中断通知处理器离开等待中断模式 (WFI)。

#### 3. 数据保留

当进入睡眠模式时, OCRM 区域的数据可以自动进入 retention 状态而保留下来, 当唤醒后可以自行退出 retention 状态。并且在睡眠模式下, 4K HBN\_RAM 的数据会一直保留。

休眠模式 (HBN)

休眠模式在保留 AON(Always On) 电源的状态下, 将大部分的芯片逻辑进行断电 (Vcore), 直到收到外部事件才会将内部电路唤醒的。在休眠模式下可以达到极致的省电状态, 但相对于前两者需要的响应时间也最长, 适合长时间不需要工作的状态下, 可以进入此状态, 延长电池寿命。休眠时期会将大部分的电路断电, 对应的寄存器值和内存的数据也会消失。因此 HBN 内部留有 4KB HBN\_RAM, 这个内存存在休眠状态时不会断电, 软件有需要保存的资料或状态可以在进入休眠前拷贝到这个内存, 当从休眠恢复时, 可以直接从 RAM 中存取数据, 通常可以用作状态的纪录或是数据快速恢复 (仅 HBN0 有效)。

## 19.4 PDS 寄存器描述

名称	描述
PDS_CTL	PDS control register
PDS_TIME1	PDS sleep time
PDS_INT	PDS interrupt
PDS_CTL2	PDS control register 2
PDS_CTL3	PDS control register 3
PDS_CTL4	PDS control register 4
pds_stat	PDS state
pds_ram1	PDS ram control
pds_gpio_set_pu_pd	PDS gpio set
pds_gpio_int	PDS gpio interrupt

### 19.4.1 PDS\_CTL

地址: 0x4000e000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CTRLPLL		CTRLRF		IDOVOL				FSR CLK	PD ID11	NPW MASK	RSVD	RLPW CLK	IDO VSEL	RC32 PC	RSEN
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEFO	PDXT	PWOF	WXRD	ISL EN	PUFS	MEM STBY	GATE CLK	CPFS	CIO	PD BGS	PDDC	SWF STA	XTFO	SLFE	PDSS

位	名称	权限	复位值	描述
31:30	CTRLPLL	R/W	2'b00	00 : PDS don't Control PLL on/off 01 : PDS Control PLL on/off depend on gate_clock signal 10 : PDS Control PLL on/off depend on MISC isolation off/on 11 : PDS Control PLL on/off when pds at idle state Note. When PDS Control PLL, the real PU signal will still wait until "xtal_rdy"
29:28	CTRLRF	R/W	2'b01	00 : PDS don't control RF on/off 01 : PDS control RF on/off depend on soc_en 10 : PDS control RF on/off depend on BLE power on/off 11 : PDS control RF on/off whe pds at idle state
27:24	IDOVOL	R/W	4'hA	LDO voltage value in PDS mode

位	名称	权限	复位值	描述
23	FSRCLK	R/W	0	0 : Don't Force SRAM CLK Enable 1 : Force SRAM CLK Enable
22	PDID11	R/W	0	0 : power on ldo11 during PDS 1 : power down ldo11 during PDS
21	NPWMASK	R/W	0	pds start condition mask np_wfi
20	RSVD			
19	RLPWCLK	R/W	0	0 : Control SRAM Low Power without CLK (Async) 1 : Control SRAM Low Power with CLK (Sync)
18	IDOVSEL	R/W	0	PDS "SLEEP" control LDO voltage enable
17	RC32PC	R/W	0	1 : RC32M always on @any state 0 : RC32M on/off controlled by PDS state
16	RSEN	R/W	0	0 : no pds_reset 1: pds_rst controlled by PDS
15	SEFO	R/W	0	0 :pds_soc_enb controlled by PDS 1 :pds_soc_enb always active
14	PDXT	R/W	1	0 : don' t_touch xtal during PDS 1 : xtal power down during PDS
13	PWOF	R/W	1	0 : don' t_touch Power during PDS 1 : Power off during PDS (each power domain can has its own control)
12	WXRD	R/W	0	0 : Skip wait XTAL Ready before PDS Interrupt 1 : wait XTAL Ready during before PDS Interrupt
11	ISLEN	R/W	1	0 : don' t_touch Isolation during PDS (all power domain) 1 : Isolation during PDS (each power domain can has its own control)
10	PUFS	R/W	1	if cr_pds_ctrl_pu_flash =0 or not in PDS31 state 0 : SW Turn Off Flash 1: SW Turn on Flash
9	MEMSTBY	R/W	1	0 : don' t_touch mem_stby during PDS 1 : mem_stby during PDS (each power domain can has its own control)
8	GATECLK	R/W	1	0 : don' t_touch clock gating during PDS (all power domain) 1 : gate clock during PDS (each pwr domain has its own control)

位	名称	权限	复位值	描述
7	CPFS	R/W	0	0 : don't touch Flash power during all PDS (Flash Power Always on) 1 : turn off Flash Power During PDS (same control with pds power off control)
6	CIO	R/W	0	1: allow PDS Control the GPIO IE/PU/PD at Sleep Mode
5	PDBGS	R/W	0	0 : don't touch bg_sys during PDS 1 : power down bg_sys during PDS
4	PDDC	R/W	0	0 : don't touch dcdc18 during PDS 1 : power down dcdc18 during PDS
3	SWFSTA	R/W	0	Save WIFI State Before Enter PDS
2	XTFO	R/W	0	0 : don't touch xtal during PDS 1 : power down xtal during PDS
1	SLFE	R/W	0	0:can be awakened by pds_timer 1:can't be awakened by pds_timer
0	PDSS	W1P	0	Enter PDS

## 19.4.2 PDS\_TIME1

地址: 0x4000e004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SLTIM															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SLTIM															

位	名称	权限	复位值	描述
31:0	SLTIM	R/W	32'd3240	PDS Sleep Time (in units of 32K clock cycles)

## 19.4.3 PDS\_INT

地址: 0x4000e00c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WUEV								WUSEN							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INCL	RSVD			PDMS	RDMS	RSVD	WUMS	CRSE	RSEV			PDIT	RDIT	RSVD	WKIT

位	名称	权限	复位值	描述
31:24	WUEV	R	0	Record Wakeup resason, and be clear by cr_pds_int_clr [31]: wakeup trigger by kys_int [30]: wakeup trigger by usb_wkup [29]: wakeup trigger by ble_slp_irq [28]: wakeup trigger by irrx_int [27]: wakeup trigger by gpio_irq [26]: wakeup trigger by hbn_irq_out[1] [25]: wakeup trigger by hbn_irq_out[0] [24]: wakeup trigger by pds_sleep_cnt=0
23:16	WUSEN	R/W	8'hFF	Mask PDS Wakeup Trigger [23]: enable wakeup trigger by kys_int [22]: enable wakeup trigger by usb_wkup [21]: enable wakeup trigger by ble_slp_irq [20]: enable wakeup trigger by irrx_int [19]: enable wakeup trigger by gpio_irq [17]: enable wakeup trigger by hbn_irq_out[1] [17]: enable wakeup trigger by hbn_irq_out[0] [16]: enable wakeup trigger by pds_sleep_cnt=0
15	INCL	R/W	0	pds interrupt & wakeup reason clear
14:12	RSVD			
11	PDMS	R/W	0	Mask pds pll done interrupt
10	RDMS	R/W	0	Mask pds rf done interrupt
9	RSVD			
8	WUMS	R/W	0	Mask pds wakeup interrupt
7	CRSE	W	0	clear pds reset event
6:4	RSEV	R	0	[2] : pds_rst_n (pds reset) [1]: pwr_rst_n (hbn power on reset) [0]: hreset_n (Bus Reset)
3	PDIT	R	0	pu_pll_done interrupt
2	RDIT	R	0	pu_rf_done interrupt
1	RSVD			
0	WKIT	R	0	PDS Wakeup Interrupt

#### 19.4.4 PDS\_CTL2

地址: 0x4000e010

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD												FUSB GCLK	FBZ GCLK	RSVD	FNP GCLK
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FUSB MSLP	FBZ MSLP	RSVD	FNP MSLP	FUSB RST	FBZP RST	RSVD	FNP PRST	FUSB ISEN	FBZ ISEN	RSVD	FNP ISEN	FUSB PWOFF	FBZ PWOFF	RSVD	FNP PWOFF

位	名称	权限	复位值	描述
31:20	RSVD			
19	FUSBGCLK	R/W	0	manual force USB clock gated
18	FBZGCLK	R/W	0	manual force BZ clock gated
17	RSVD			
16	FNPCLK	R/W	0	manual force NP clock gated
15	FUSBMSLP	R/W	0	manual force USB memory sleep
14	FBZMSLP	R/W	0	manual force BZ memory sleep
13	RSVD			
12	FNPMSLP	R/W	0	manual force NP memory sleep
11	FUSBRST	R/W	0	manual force USB pds reset
10	FBZPRST	R/W	0	manual force BZ pds reset
9	RSVD			
8	FNPPRST	R/W	0	manual force NP pds reset
7	FUSBISEN	R/W	0	manual force USB isolation
6	FBZISEN	R/W	0	manual force BZ isolation
5	RSVD			
4	FNPISEN	R/W	0	manual force NP isolation
3	FUSBPWOFF	R/W	0	manual force USB power off
2	FBZPWOFF	R/W	0	manual force BZ power off
1	RSVD			
0	FNPPWOFF	R/W	0	manual force NP power off

### 19.4.5 PDS\_CTL3

地址: 0x4000e014

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD	MSIS	USB ISO	BLE ISO	BZ ISO	RSVD		NP ISO	RSVD							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	FBLE GCLK	FMIS GCLK	RSVD	FBLE MSTB	FMIS MSTB	RSVD	FBLE PRST	FMIS PRST	RSVD	FBLE ISO	RSVD		FBLE PWOFF	FMIS PWOFF	RSVD

位	名称	权限	复位值	描述
31	RSVD			
30	MSIS	R/W	1	1 : make misc isolated at PDS Sleep state 0 : make misc isolated at PDS Sleep state
29	USBISO	R/W	1	1 : make usb isolated at PDS Sleep state 0 : make usb isolated at PDS Sleep state
28	BLEISO	R/W	1	1 : make bz_ble isolated at PDS Sleep state 0 : make bz_ble isolated at PDS Sleep state
27	BZISO	R/W	1	1 : make BZ isolated at PDS Sleep state 0 : make BZ isolated at PDS Sleep state
26:25	RSVD			
24	NPISO	R/W	1	1 : make NP isolated at PDS Sleep state 0 : make NP isolated at PDS Sleep state
23:15	RSVD			
14	FBLEGCLK	R/W	0	manual force BZ_BLE gate_clk
13	FMISGCLK	R/W	0	manual force MISC gate_clk
12	RSVD			
11	FBLEMSTB	R/W	0	manual force BZ_BLE mem_stby
10	FMISMSTB	R/W	0	manual force MISC mem_stby
9	RSVD			
8	FBLEPRST	R/W	0	manual force BZ_BLE pds_rst
7	FMISPRST	R/W	0	manual force MISC pds_rst
6	RSVD			
5	FBLEISO	R/W	0	manual force BZ_BLE iso_en
4:3	RSVD			
2	FBLEPWOFF	R/W	0	manual force BZ_BLE pwr_off
1	FMISPWOFF	R/W	0	manual force MISC pwr_off
0	RSVD			



## 19.4.6 PDS\_CTL4

地址：0x4000e018

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MISC DPOF	MISC APOF	RSVD		MISC GCLK	MISC MSTB	MISC RST	MISC PWOFF	USB GCLK	USB MSTB	USB RST	USB PWOFF	BLE GCLK	BLE MSTB	BLE RST	BLE PWOFF
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BZ GCLK	BZ MSTB	BZ RST	BZ PWOFF	RSVD								NP GCLK	NP MSTB	NP RST	NP PWOFF

位	名称	权限	复位值	描述
31	MISCDPOF	R/W	1	Use with bit[27] cr_pds_misc_pwr_off , if cr_pds_misc_pwr_off =1, this bit : 1: Power Off PD_CORE_MISC_DIG when pds_state run at Power OFF 0 :Power On PD_CORE_MISC_DIG when pds_state run at Power OFF
30	MISCAPOF	R/W	1	Use with bit[27] cr_pds_misc_pwr_off , if cr_pds_misc_pwr_off =1, this bit : 1: Power Off PD_CORE_MISC_ANA when pds_state run at Power OFF 0 :Power On PD_CORE_MISC_ANA when pds_state run at Power OFF
29:28	RSVD			
27	MISCGCLK	R/W	1	1 : make core_misc clock gated at PDS Sleep state 0 : make core_misc clocking at PDS Sleep state
26	MISCMSTB	R/W	1	1 : make core_misc RAM @Retention at PDS Sleep state 0 : make core_misc RAM @ Normal at PDS Sleep state
25	MISCRST	R/W	1	1 : make core_misc reset at PDS Sleep state 0 : make core_misc not reset at PDS Sleep state
24	MISCPWOFF	R/W	1	1 : make core_misc Power off at PDS Sleep state 0 : make core_misc power on at PDS Sleep state
23	USBGCLK	R/W	1	1 : make usb clock gated at PDS Sleep state 0 : make usb clocking at PDS Sleep state
22	USBMSTB	R/W	1	1 : make usb RAM @Retention at PDS Sleep state 0 : make usb RAM @ Normal at PDS Sleep state
21	USBRST	R/W	1	1 : make usb reset at PDS Sleep state 0 : make usb not reset at PDS Sleep state

位	名称	权限	复位值	描述
20	USBPWOF	R/W	1	1 : make usb Power off at PDS Sleep state 0 : make usb power on at PDS Sleep state
19	BLEGCLK	R/W	1	1 : make bz_ble clock gated at PDS Sleep state 0 : make bz_ble clocking at PDS Sleep state
18	BLEMSTB	R/W	1	1 : make bz_ble RAM @Retention at PDS Sleep state 0 : make bz_ble RAM @ Normal at PDS Sleep state
17	BLERST	R/W	1	1 : make bz_ble reset at PDS Sleep state 0 : make bz_ble not reset at PDS Sleep state
16	BLEPWOF	R/W	1	1 : make bz_ble Power off at PDS Sleep state 0 : make bz_ble power on at PDS Sleep state
15	BZGCLK	R/W	1	1 : make BZ clock gated at PDS Sleep state 0 : make BZ clocking at PDS Sleep state
14	BZMSTB	R/W	1	1 : make BZ RAM @Retention at PDS Sleep state 0 : make BZ RAM @ Normal at PDS Sleep state
13	BZRST	R/W	1	1 : make BZ reset at PDS Sleep state 0 : make BZ not reset at PDS Sleep state
12	BZPWOF	R/W	1	1 : make BZ Power off at PDS Sleep state 0 : make BZ power on at PDS Sleep state
11:4	RSVD			
3	NPGCLK	R/W	1	1 : make NP clock gated at PDS Sleep state 0 : make NP clocking at PDS Sleep state
2	NPMSTB	R/W	1	1 : make NP RAM @Retention at PDS Sleep state 0 : make NP RAM @ Normal at PDS Sleep state
1	NPRST	R/W	1	1 : make NP reset at PDS Sleep state 0 : make NP not reset at PDS Sleep state
0	NPPWOF	R/W	1	1 : make NP Power off at PDS Sleep state 0 : make NP power on at PDS Sleep state

### 19.4.7 pds\_stat

地址: 0x4000e01c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD													PLLSTA		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				RFSTA				RSVD				STA			

位	名称	权限	复位值	描述
31:18	RSVD			
17:16	PLLSTA	R	2'b00	ST_PDS_PLL_OFF = 2'b00 ; ST_PDS_PLL_SFREG = 2'b01 ; ST_PDS_PLL_PU = 2'b10 ; ST_PDS_PLL_RDY = 2'b11 ;
15:12	RSVD			
11:8	RFSTA	R	4'b0	ST_PDS_RF_OFF = 4'b0000 ; ST_PDS_PU_MBG = 4'b0001 ; ST_PDS_PU_LDO15RF = 4'b0011 ; ST_PDS_PU_SFREG = 4'b0111 ; ST_PDS_BZ_EN_AON = 4'b1111 ;
7:4	RSVD			
3:0	STA	R	4'b0	ST_IDLE = 4'b0000; ST_ECG = 4'b1000; ST_ERST = 4'b1100; ST_EISO = 4'b1111; ST_POFF = 4'b0111; ST_PRE_BGON = 4'b0011; ST_PRE_BGON1 = 4'b0001; ST_BGON = 4'b0101; ST_CLK_SW_32M = 4'b0100; ST_PON_DCDC = 4'b0110; ST_PON_LDO11_MISC = 4'b1110; ST_PON = 4'b1010; ST_DISO = 4'b0010; ST_DCG = 4'b1101; ST_DRST = 4'b1011; ST_WAIT_EFUSE = 4'b1001;

## 19.4.8 pds\_ram1

地址: 0x4000e020

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				RAMPGEN				RAMRET2N				RAMRET1N			

位	名称	权限	复位值	描述
31:12	RSVD			
11:8	RAMPGEN	R/W	4'h0	[3] : 48 64KB np_ram Low Power Enable [2] : 32 48KB np_ram Low Power Enable [1] : 16 32KB np_ram Low Power Enable [0] : 0 16KB np_ram Low Power Enable
7:4	RAMRET2N	R/W	4'h0	[3] : 48 64KB np_ram RET2N, 0: Active With cr_pds_ram_pgen[3]=1 and cr_pds_ram_ret1n[3]=1 [2] : 32 48KB np_ram RET 2N, 0: Active With cr_pds_ram_pgen[2]=1 and cr_pds_ram_ret1n[2]=1 [1] : 16 32KB np_ram RET 2N,0: Active With cr_pds_ram_pgen[1]=1 and cr_pds_ram_ret1n[1]=1 [0] : 0 16KB np_ram RET_2N, 0: Active With cr_pds_ram_pgen[0]=1 and cr_pds_ram_ret1n[0]=1
3:0	RAMRET1N	R/W	4'hF	[3] : 48 64KB np_ram RET2N, 0: Active With cr_pds_ram_pgen[3]=1 [2] : 32 48KB np_ram RET 2N, 0: Active With cr_pds_ram_pgen[2]=1 [1] : 16 32KB np_ram RET 2N,0: Active With cr_pds_ram_pgen[1]=1 [0] : 0 16KB np_ram RET_2N, 0: Active With cr_pds_ram_pgen[0]=1

### 19.4.9 pds\_gpio\_set\_pu\_pd

地址: 0x4000e030

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		IO2823PU						RSVD		IO2823PD					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		IO2217PU						RSVD		IO2217PD					

位	名称	权限	复位值	描述
31:30	RSVD			

位	名称	权限	复位值	描述
29:24	IO2823PU	R/W	6'h0	pu, pd 00 : no PD/PU/IE on PAD 01 : Pulldown PAD 10 : Pullup PAD 11 : Active IE [0] : PAD_GPIO_23 [1] : PAD_GPIO_24 ... [5] : PAD_GPIO_28
23:22	RSVD			
21:16	IO2823PD	R/W	6'h0	pu, pd 00 : no PD/PU/IE on PAD 01 : Pulldown PAD 10 : Pullup PAD 11 : Active IE [0] : PAD_GPIO_23 [1] : PAD_GPIO_24 ... [5] : PAD_GPIO_28
15:14	RSVD			
13:8	IO2217PU	R/W	6'h0	pu, pd 00 : no PD/PU/IE on PAD 01 : Pulldown PAD 10 : Pullup PAD 11 : Active IE [0] : PAD_GPIO_17 [1] : PAD_GPIO_18 ... [5] : PAD_GPIO_22
7:6	RSVD			

位	名称	权限	复位值	描述
5:0	IO2217PD	R/W	6'h0	pu, pd 00 : no PD/PU/IE on PAD 01 : Pulldown PAD 10 : Pullup PAD 11 : Active IE [0] : PAD_GPIO_17 [1] : PAD_GPIO_18 ... [5] : PAD_GPIO_22

### 19.4.10 pds\_gpio\_int

地址: 0x4000e040

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					ITSEL			RSVD	ITMD			RSVD	ITCL	ITST	ITMS

位	名称	权限	复位值	描述
31:11	RSVD			
10:8	ITSEL	R/W	3'd0	Select VDDCORE GPIO as PDS Interrupt Source (GPIO0 7)
7	RSVD			
6:4	ITMD	R/W	3'b0	PDS Interrupt Mode
3	RSVD			
2	ITCL	R/W	1'b0	Clear PDS Interrupt
1	ITST	R	1'b0	PDS Interrupt Status
0	ITMS	R/W	1'b1	Mask PDS Interrupt

### 19.5 HBN 寄存器描述

名称	描述
HBN_CTL	HBN control

名称	描述
HBN_TIME_L	RTC timer compare
HBN_TIME_H	RTC timer compare
RTC_TIME_L	RTC time latched value
RTC_TIME_H	RTC time latched value
HBN_IRQ_MODE	HBN irq mode
HBN_IRQ_STAT	HBN irq state
HBN_IRQ_CLR	HBN irq clear
HBN_PIR_CFG	HBN pir configuration
HBN_PIR_VTH	PIR compare threshold
HBN_PIR_INTERVAL	PIR interval
HBN_MISC	HBN misc configuration
HBN_GLB	HBN glb configuration
HBN_SRAM	HBN ram control

### 19.5.1 HBN\_CTL

地址: 0x4000f000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HBNSTA				SRAM SLP	SRS OPT	PWON OPT	RTCD OPT	PODC	V11AONSL				V11RTSL		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
V11RTSL POFF VRT	POFF VCOR	SRST	POFF HRTC	RSVD	POFF HCOR	TRPM	HBNM	RTCCTL							

位	名称	权限	复位值	描述
31:28	HBNSTA	R	4'h0	SW polling until 0 (default 4'h3 @pwron)
27	SRAMSLP	R	1'b0	SW polling until 0 (default 1'b1 @pwron)
26	SRSOPT	R/W	0	
25	PWONOPT	R/W	0	
24	RTCDOPT	R/W	0	

位	名称	权限	复位值	描述
23	PODC	R/W	1	Power On DCDC18 during Power On Sequence (require 400 800us)
22:19	V11AONSL	R/W	4'hA	VDD11_AON Voltage Out Select @ Enter hibernate
18:15	V11RTSL	R/W	4'hA	VDD11_RT Voltage Out Select @ Enter hibernate
14	POFFVRT	R/W	0	Set 1 to disable power off VDDCORE_RT at HBN mode (for low power)
13	POFFVCOR	R/W	0	Set 1 to disable power off VDDCORE at HBN mode (for debug)
12	SRST	R/W	0	soft reset
11	POFFHRTC	R/W	0	Power Off HBN RTC @ Enter hibernate
10	RSVD			
9	POFFHCOR	R/W	0	Power Off HBN Core @ Enter hibernate
8	TRPM	R	0	Boot Strap 0: Flash, 1: UART or SDIO
7	HBNM	W	0	Enter hibernate
6:0	RTCCTL	R/W	7'h0	[6:4] Slow LED, x/0.25/0.5/1/2/4/8/16 seconds [3] rtc long time 0 353days (bit 39 13 compare) [2] rtc short time 0 488s (bit 23 0 compare) [1] rtc time 0 353days (bit 39 0 compare) [0] rtc enable

## 19.5.2 HBN\_TIME\_L

地址: 0x4000f004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HBN TIML															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HBN TIML															

位	名称	权限	复位值	描述
31:0	HBN TIML	R/W	32'h0	RTC timer compare bit 31:0

## 19.5.3 HBN\_TIME\_H

地址: 0x4000f008



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								HBNTIMH							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	HBNTIMH	R/W	8'h0	RTC timer compare bit 39:32

### 19.5.4 RTC\_TIME\_L

地址: 0x4000f00c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RTCTIMLL															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCTIMLL															

位	名称	权限	复位值	描述
31:0	RTCTIMLL	R	32'h0	RTC time latched value bit 31:0

### 19.5.5 RTC\_TIME\_H

地址: 0x4000f010

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RTC TIML	RSVD														
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RTCTIMLH							

位	名称	权限	复位值	描述
31	RTCTIML	W	0	RTC time latch for SW read
30:8	RSVD			
7:0	RTCTIMLH	R	8'h0	RTC time latched value bit 39:32

## 19.5.6 HBN\_IRQ\_MODE

地址：0x4000f014

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				PWU EN	PWUSEL			A1EN		A0EN		RSVD	BOR EN	RSVD	HW PUPD
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				AONPADIE				HPAM				HPWMODE			

位	名称	权限	复位值	描述
31:28	RSVD			
27	PWUEN	R/W	0	Pin wakeup delay enable
26:24	PWUSEL	R/W	3'd3	Pin wakeup delay 1 7 sec
23:22	A1EN	R/W	0	enable acomp1 interrupt [20] posedge [21] negedge
21:20	A0EN	R/W	0	enable acomp0 interrupt [20] posedge [21] negedge
19	RSVD			
18	BOREN	R/W	0	enable brown-out interrupt
17	RSVD			
16	HWPUPD	R/W	1	1: Pull GPIO9 and GPIO17 @ pwr_on and pwr_rst 0 : no pull
15:13	RSVD			
12:8	AONPADIE	R/W	5'b11111	AON_PAD IE/SMT (GPIO13 GPIO9)
7:3	HPAM	R/W	5'b0	mask hbn_pin_wakeup_event
2:0	HPWMODE	R/W	3'b101	hbn_pin_wakeup mode 000 : sync falling edge trigger 001 : sync rising edge trigger 010 : sync low level trigger 011 : sync high level trigger 100 : async falling edge trigger 101 : async rising edge trigger 110 : async low level trigger 111 : async high level trigger

## 19.5.7 HBN\_IRQ\_STAT

地址：0x4000f018

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQSTATE															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQSTATE															

位	名称	权限	复位值	描述
31:0	IRQSTATE	R	0	[22] acomp1 [20] acomp0 [18] brown-out [17] irq_pir state [16] irq_rtc state [4:0] hbn_pin_wakeup state (GPIO13 GPIO9)

### 19.5.8 HBN\_IRQ\_CLR

地址: 0x4000f01c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQCLR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQCLR															

位	名称	权限	复位值	描述
31:0	IRQCLR	W	0	[22] irq_acomp1 clear [20] irq_acomp0 clear [18] irq_bor clear [17] irq_pir clear [16] irq_rtc clear [4:0] hbn_pin_wakeup clear (GPIO13 GPIO9)

### 19.5.9 HBN\_PIR\_CFG

地址: 0x4000f020

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						NO SYNC	CGEN	PIR EN	RSVD	PIRDIS		RSVD	LPF SEL	HPFSEL	

位	名称	权限	复位值	描述
31:10	RSVD			
9	NOSYNC	R/W	0	gpadc no sync
8	CGEN	R/W	0	gpadc force cgen=1
7	PIREN	R/W	0	pir enable
6	RSVD			
5:4	PIRDIS	R/W	0	pir disable [4] low -> high won't trigger interrupt [5] high -> low won't trigger interrupt
3	RSVD			
2	LPFSEL	R/W	0	0: /1. 1:/2
1:0	HPFSEL	R/W	0	0: 1-z~1, 1: 1-z~2, 0: 2-z~3

### 19.5.10 HBN\_PIR\_VTH

地址: 0x4000f024

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		PIRVYH													

位	名称	权限	复位值	描述
31:14	RSVD			
13:0	PIRVYH	R/W	14'h3ff	PIR compare threshold

### 19.5.11 HBN\_PIR\_INTERVAL

地址: 0x4000f028

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				PIRINTERV											

位	名称	权限	复位值	描述
31:12	RSVD			
11:0	PIRINTERV	R/W	12'd2621	<p>pir_lpf_sel = 0: 32768 / (pir_interval+1) Hz, default 12.5Hz ( 80ms)</p> <p>pir_lpf_sel = 1: 32768 / (pir_interval*2+1) Hz, default 6.25Hz ( 160ms)</p>

### 19.5.12 HBN\_MISC

地址: 0x4000f02c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		PULLDWAON						RSVD		PULLUPAON					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												BOR OUT	PU BOR	BOR VTH	BOR SEL

位	名称	权限	复位值	描述
31:30	RSVD			
29:24	PULLDWAON	R/W	6'h0	<p>[5] : 1 : Turn on Flash PAD PD (GPIO28), Only Set this bit when Flash @ Deep Power Down Mode</p> <p>[4] : 1 : Turn on Flash PAD PD (GPIO27), Only Set this bit when Flash @ Deep Power Down Mode</p> <p>[3] : 1 : Turn on Flash PAD PD (GPIO26), Only Set this bit when Flash @ Deep Power Down Mode</p> <p>[2] : 1 : Turn on Flash PAD PD (GPIO25), Only Set this bit when Flash @ Deep Power Down Mode</p> <p>[1] : 1 : Turn on Flash PAD PD (GPIO24), Only Set this bit when Flash @ Deep Power Down Mode</p> <p>[0] : 1 : Turn on Flash PAD PD (GPIO23), Only Set this bit when Flash @ Deep Power Down Mode</p>
23:22	RSVD			

位	名称	权限	复位值	描述
21:16	PULLUPAON	R/W	6'h0	[5] : 1 : Turn on Flash PAD PU (GPIO28), Only Set this bit when Flash @ Deep Power Down Mode [4] : 1 : Turn on Flash PAD PU (GPIO27), Only Set this bit when Flash @ Deep Power Down Mode [3] : 1 : Turn on Flash PAD PU (GPIO26), Only Set this bit when Flash @ Deep Power Down Mode [2] : 1 : Turn on Flash PAD PU (GPIO25), Only Set this bit when Flash @ Deep Power Down Mode [1] : 1 : Turn on Flash PAD PU (GPIO24), Only Set this bit when Flash @ Deep Power Down Mode [0] : 1 : Turn on Flash PAD PU (GPIO23), Only Set this bit when Flash @ Deep Power Down Mode
15:4	RSVD			
3	BOROUT	R	1'h0	Brown Out Reset status
2	PUBOR	R/W	1'h0	Power up Brown Out Reset
1	BORVTH	R/W	1'h1	BOR threshold 0:2.0V, 1: 2.4V
0	BORSEL	R/W	1'h0	0: POR is independent of BOR, 1: POR is relevant to BOR

### 19.5.13 HBN\_GLB

地址: 0x4000f030

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AIDOVEC				RTIDOVEC				RSVD				V11SOVSEL			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		CRSE	HBNRSEV							PU RC32	F32SEL	UART CLK	ROOTCLK		

位	名称	权限	复位值	描述
31:28	AIDOVEC	R/W	4'ha	aon ldo output voltage external control: 0:0.60V, 1:0.65V, 2:0.70V, 3:0.75V, 4:0.80V, 5:0.85V, 6:0.9V, 7:0.95V 8:1.0V, 9:1.05V, 10:1.1V, 11:1.15V, 12:1.2V, 13:1.25V, 14:1.3V, 15:1.35V

位	名称	权限	复位值	描述
27:24	RTIDOVEC	R/W	4'ha	ldo output voltage external control: 0:0.60V, 1:0.65V, 2:0.70V, 3:0.75V, 4:0.80V, 5:0.85V, 6:0.9V, 7:0.95V 8:1.0V, 9:1.05V, 10:1.1V, 11:1.15V, 12:1.2V, 13:1.25V, 14:1.3V, 15:1.35V
23:20	RSVD			
19:16	V11SOVSEL	R/W	4'hA	vdd11soc output voltage selection
15:14	RSVD			
13	CRSE	R/W	1'b0	clear reset event
12:8	HBNRSEV	R	4'b0	[4]: bor_out_event [3]: pwr_rst_n event [2]: sw_rst event [1]: ext_rst_n event [0]: por_out event
7:6		R/W	2'h1	ldo11_rt drive strength select
5	PURC32	R/W	1	0: Turn off rc32k during rtc power domain off, 1: Don't turn off rc32k
4:3	F32SEL	R/W	0	32KHz clock source selection (0: RC32K 1: XTAL 32K 3: DIG 32K)
2	UARTCLK	R/W	0	uart clock selection from HBN (0: fclk 1: 96MHz)
1:0	ROOTCLK	R/W	0	root clock source selection (0: RC32M 1: XTAL 2/3: PLL)

### 19.5.14 HBN\_SRAM

地址: 0x4000f034

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								SLP	RET	RSVD					

位	名称	权限	复位值	描述
31:8	RSVD			
7	SLP	R/W	0	make HBN RAM Sleep
6	RET	R/W	0	make HBN RAM Retention
5:0	RSVD			



表 20.1: 修改记录

日期	版本	修改内容
2020/9/9	1.0	初版
2021/3/8	1.1	修改 DAC 对应的 GPIO 口