
Arquitectura 2020

Explicación 3 - continuación

Acceso directo a memoria (DMA)

Las operaciones de E/S mediante interrupciones son más efectivas que las programadas.

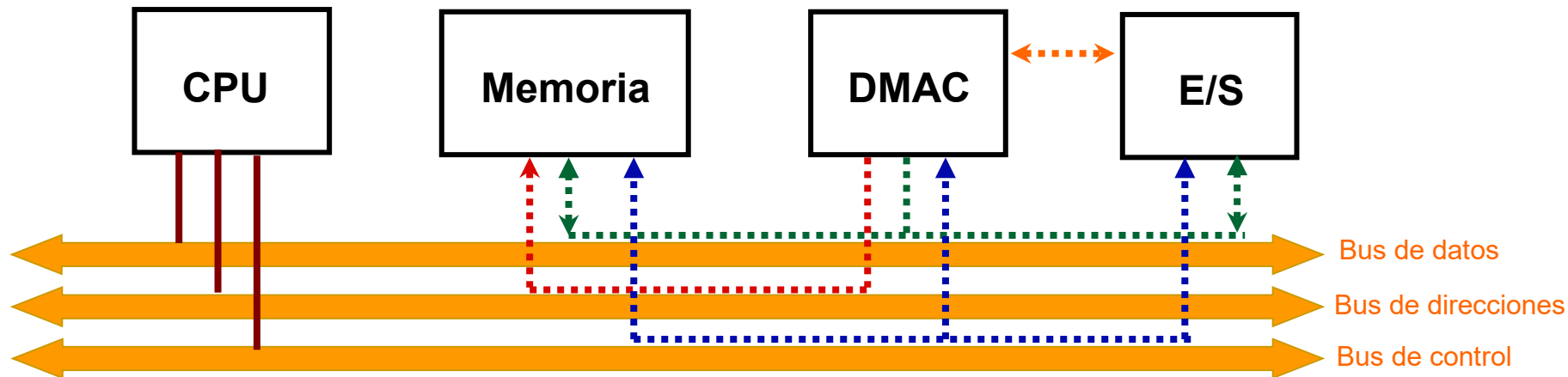
Pero ambas necesitan la intervención directa de la CPU.
La velocidad de transferencia es limitada.

La CPU permanece ocupada mucho tiempo durante la operación.

Si el volumen a transferir es grande la técnica de DMA es la más eficiente.

Acceso directo a memoria (DMA)

El controlador de DMA es un dispositivo capaz de controlar una transferencia de datos entre un periférico y memoria sin intervención de la CPU.



Controlador de DMA

El Controlador de DMA (DMAC) debe actuar como maestro del bus durante la transferencia DMA y debe ser capaz de:

- ❑ Solicitar el uso del bus mediante las señales y la lógica de arbitraje necesarias
- ❑ Especificar la dirección de memoria sobre la que se realiza la transferencia
- ❑ Generar las señales de control del bus
 - Tipo de operación (lectura/escritura)
 - Señales de sincronización de la transferencia

Etapas de una transferencia DMA

Inicialización de la transferencia

La CPU debe enviar al interfaz del periférico y al DMAC los parámetros de la transferencia. Por ejemplo nº de bytes a transferir, tipo de transferencia (*lectura/escritura*), *etc.*

Después de la inicialización la CPU retorna a sus tareas y ya no se preocupa más de la evolución de la transferencia.

Realización de la transferencia

Cuando el periférico está listo para realizar la transferencia se lo indica al DMAC. El DMAC pide el control del bus y se realiza la transferencia entre el periférico y la memoria.

Después de la transferencia de cada palabra se actualizan los registros del DMAC

- N° de bytes o palabras a transferir
- Dirección de memoria

Finalización de la transferencia

El DMAC libera el bus y devuelve el control a la CPU

- El DMAC suele activar una señal de interrupción para indicar a la CPU la finalización de la operación de E/S solicitada

Problema con DMA

Se puede degradar el rendimiento de la CPU si el DMAC hace uso intensivo del bus

Si el bus está ocupado en una transferencia DMA, la CPU no puede acceder a memoria para leer instrucciones y/o datos

Tipos de transferencias

Si el DMAC sólo toma el control del bus durante los intervalos de tiempo en los que la CPU no hace uso del mismo **el rendimiento del sistema no sufrirá degradación alguna**

Se distinguen dos tipos de transferencias:

- ❑ Por ráfagas (*burst*)
- ❑ Por robo de ciclo (*cycle-stealing*)

DMA modo ráfaga

Cuando la CPU concede el bus, el DMAC no lo libera hasta haber finalizado la transferencia de todo el bloque de datos completo.

VENTAJAS:

La transferencia se realiza de forma rápida.

DESVENTAJAS:

Durante el tiempo que dura la transferencia la CPU no puede utilizar el bus con memoria, lo que puede degradar el rendimiento del sistema.

DMA modo robo de ciclo

Cuando la CPU concede el bus al DMAC, se realiza la transferencia de una única palabra y después el DMAC libera el bus.

El DMAC solicita el control del bus tantas veces como sea necesario hasta finalizar la transferencia del bloque completo

VENTAJAS:

No se degrada el rendimiento del sistema.

DESVENTAJAS:

La transferencia tarda más tiempo en llevarse a cabo.

Para la CPU no es una interrupción. Si bien el trabajo de la CPU es más lento, no lo es tanto como si ella realizara la transferencia. Por lo tanto, para transferencia de E/S de múltiples palabras, DMA es la técnica más eficiente.

DMAC en SX88

Registro de dirección fuente

Cantidad de bytes a transferir

Registro de dirección destino
(memoria-memoria)

Solo lectura

0 → transferencia en curso

1 → transferencia detenida

DMAC		
50H	RFL	
51H	RFH	
52H	ContL	
53H	ContH	
54H	RDL	
55H	RDH	
56H	Control	
57H	Arranque	

Cuando TT = 0

0 → Periferico → memoria

1 → memoria → Periferico

Modo transferencia

0 → Por robo de ciclo

1 → Por ráfaga



TC

MT

ST

TT

STOP

Terminal Count

Solo lectura

0 → Transferencia en curso

1 → Transferencia finalizada

Tipo Transferencia

0 → Periferico/memoria o v.v

1 → memoria/memoria

Registro de arranque

Para iniciar transferencia XXXX X111

Ej 10

DMA. Transferencia de datos memoria-memoria.

Escribir un programa que copie una cadena de caracteres almacenada a partir de la dirección 1000H en otra parte de la memoria, utilizando el DMAC en modo de transferencia por bloque (ráfaga).

La cadena original se debe mostrar en la pantalla de comandos antes de la transferencia. Una vez finalizada, se debe visualizar en la pantalla la cadena copiada para verificar el resultado de la operación.

Ejecutar el programa en la configuración P1 C3.

Ej 10

PIC EQU 20H
DMA EQU 50H
N_DMA EQU 20

ORG 80

IP_DMA DW RUT_DMA.

ORG 1000H

MSJ DB "FACULTAD DE"
DB " INFORMATICA"
FIN DB ?
NCHAR DB ?

ORG 1500H

COPIA DB ?

; rutina atencion interrupción del CDMA

ORG 3000H

RUT_DMA: MOV AL, 0FFH
OUT PIC+1, AL } IMR = 1111 1111
MOV BX, OFFSET COPIA
MOV AL, NCHAR
INT 7
MOV AL, 20H
OUT PIC, AL
IRET

Muestra
mensaje
transferido

ORG 2000H

CLI
MOV AL, N_DMA } Configura INT3 del PIC
OUT PIC+7, AL
MOV AX, OFFSET MSJ
OUT DMA, AL } Dir origen
MOV AL, AH } del bloque
OUT DMA+1, AL
MOV AX, OFFSET FIN-OFFSET MSJ
OUT DMA+2, AL
MOV AL, AH
OUT DMA+3, AL
MOV AX, OFFSET COPIA
OUT DMA+4, AL
MOV AL, AH ;
OUT DMA+5, AL
MOV AL, 0AH } Transferencia mem a
OUT DMA+6, AL } mem por bloque/ráfaga
MOV AL, 0F7H } IMR = 1111 0111
OUT PIC+1, AL
STI
MOV BX, OFFSET MSJ
MOV AL, OFFSET FIN-OFFSET MSJ } Muestra mensaje
MOV NCHAR, AL } original
INT 7
MOV AL, 7H } Inicia transferencia
OUT DMA+7, AL
INT 0
END

Cantidad
de bytes a
transferir
23 = 17H

Dir destino
del bloque

DMAC

50H	RFL	00H
51H	RFH	10H
52H	ContL	00H
53H	ContH	00H
54H	RDL	00H
55H	RDH	15H
56H	Control	1000 1010
57H	Arranque	0000 0111

MT=por ráfaga

00001010

TT=mem/mem

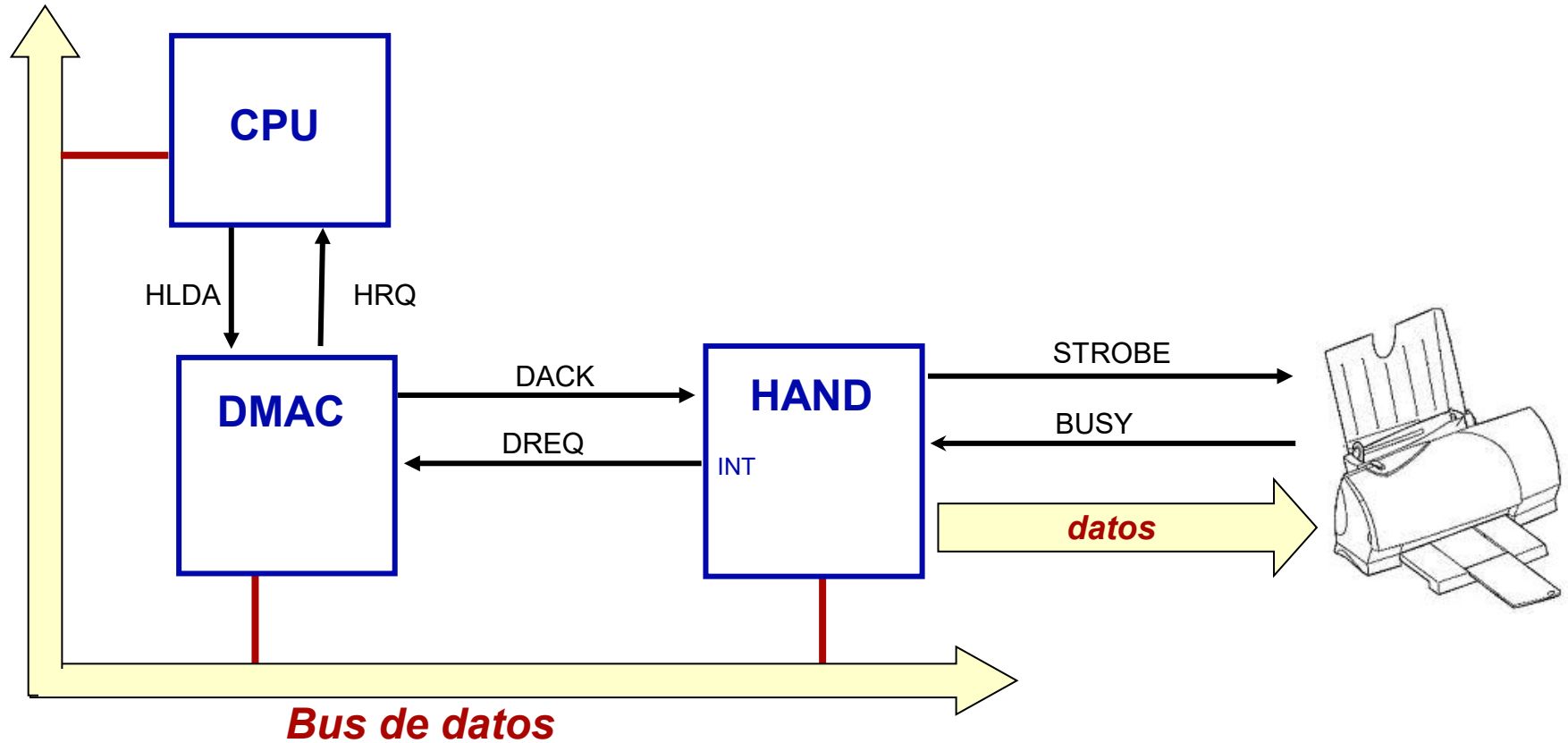
Ej 11

DMA. Transferencia de datos memoria-periférico.

Escribir un programa que transfiera datos desde la memoria hacia la impresora sin intervención de la CPU, utilizando el DMAC en modo de transferencia bajo demanda (*robo de ciclo*).

DMA y HAND

Memoria



Ej11

```
PIC      EQU    20H
HAND     EQU    40H
DMA       EQU    50H
N_DMA    EQU    20
```

ORG 80

```
IP_DMA    DW     RUT_DMA
```

ORG 1000H

```
MSJ       DB     " INFORMATICA"
FIN        DB     ?
FLAG       DB     0
```

; rutina atención interrupción del CDMA

ORG 3000H

```
RUT_DMA: MOV AL, 0
          OUT HAND+1, AL } Deshabilita interrupción
                        } del HAND
          MOV FLAG, 1    } Indica fin de lazo
          MOV AL, 0FFH   }
          OUT PIC+1, AL  } IMR = 1111 1111
          MOV AL, 20H
          OUT PIC, AL
          IRET
```

ORG 2000H

```
CLI
MOV AL, N_DMA } Configura INT3 del PIC
OUT PIC+7, AL
MOV AX, OFFSET MSJ }
OUT DMA, AL        } Dir origen
MOV AL, AH          } del bloque
OUT DMA+1, AL
MOV AX, OFFSET FIN-OFFSET MSJ }
OUT DMA+2, AL        } Contidad
MOV AL, AH           } de bytes a
OUT DMA+3, AL        } transferir
MOV AL, 4            }
OUT DMA+6, AL        } Control = 0000 0100
MOV AL, 0F7H         }
OUT PIC+1, AL        } IMR = 1111 0111
OUT DMA+7, AL        } Inicia transferencia
MOV AL, 80H          }
OUT HAND+1, AL       } HAND por interrupción
STI
LAZO: CMP FLAG, 1
      JNZ LAZO
      INT 0
      END
```

¿Preguntas?