

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

CHAPITRE 1 Carte CUC011 - 16 MHz**1. ORIGINE DE LA CARTE CUC011 - 16 MHz**

La carte CUC011 est une évolution de la carte CUC05 de SACEM.

2. REFERENCE DE LA CARTE D'ORIGINE**Carte CUC05**

Plan d'ensemble et nomenclature : G37 8194

Schéma de principe : C37 1428

Notice Technique : NT/88.LA.286

3. PRESENTATION

La carte CUC011 - 16 MHz est construite autour d'un **microprocesseur 68020** et équipe les calculateurs embarqué SACEM. Elle communique avec les autres cartes via l'interface bus SACEM10, et avec les équipements par liaisons série.

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

4. EVOLUTIONS**4.1. Les suppressions**

- les interfaces émetteurs/récepteurs RS232 (1488/1489)

4.2. Les ajouts

- un duart 68681 en réserve
- une liaison série en face avant
- acquisition d'un code sur 40 bits
- 4 mémoires FLASH EPROM pour les enregistrements

4.3. Les modifications

- l'interface BUS SACEM est modifié en interface BUS SACEM10
- le chien de garde est programmable
- le circuit de reset est réalisé avec des circuits spécialisés (superviseur)
- les liaisons série sortent avec des niveaux TTL

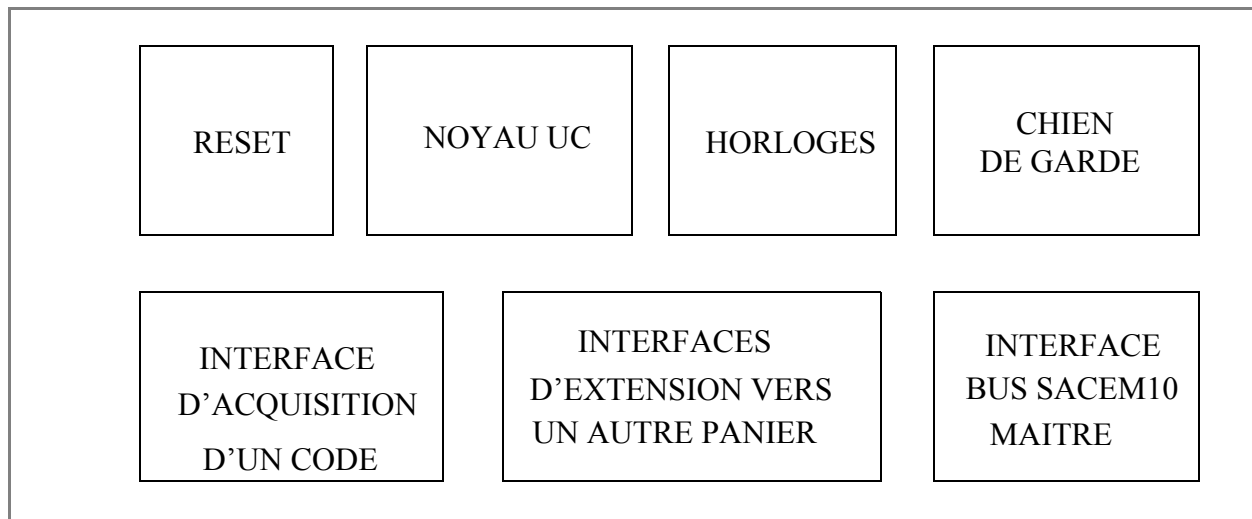
SPECIFICATION D'EVOLUTION DE LA CARTE CUC011**5. DECOUPE FONCTIONNELLE**

Figure 1 : Les blocs fonctionnels de la carte CUC011

6. ANALYSE DES BLOCS FONCTIONNELS

6.1. NOYAU UC

- *Définition*

Le bloc fonctionnel noyau UC:

- reçoit une horloge à 16 MHz du bloc fonctionnel HORLOGES
- est remis à zéro par le bloc fonctionnel RESET
- fait l'acquisition du code sur 40 bits
- communique avec les autres cartes via l'INTERFACE BUS SACEM10 MAITRE
- peut communiquer avec d'autres équipements par liaisons série
- contrôle l'horloge de sécurité (/INTH) avec le timer interne d'un DUART 68681
- reçoit des interruptions en provenance:
 - de l'horloge de sécurité toutes les 2 ms (/INTH)
 - des DUART 68681
 - de l'extérieur sur le connecteur C96

Pour l'application SACEM (ATP), seule l'interruption /INTH est utilisée. L'interruption de niveau supérieur doit pouvoir être inhibé par strap (résistance de 0 ohm à insérer).

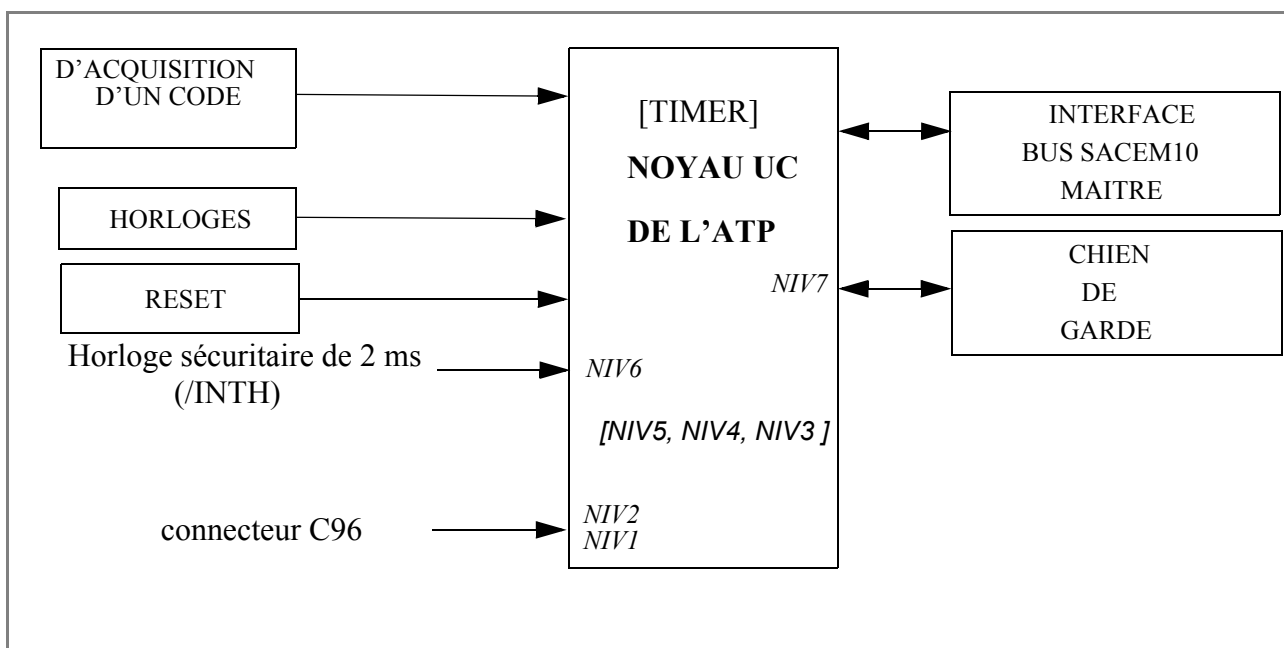


Figure 2 : Environnement du NOYAU UC

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

- *Constitution*

Le noyau UC est constitué:

- d'un microprocesseur Motorola 68020 fonctionnant à 16 MHz en boîtier PGA monté sur support
- d'une logique de décodage d'adresses et de gestion des signaux 68020
- d'une logique de gestion des interruptions
- d'une logique de gestion des acquittements (DSACK)
- d'un banc mémoires de données
- de **deux** bancs mémoires de programmes
- d'un banc mémoire d'enregistrements
- de 3 DUART permettant de gérer au total 6 liaisons série (le timer interne d'un des DUART est utilisé pour contrôler l'horloge de sécurité /INTH)

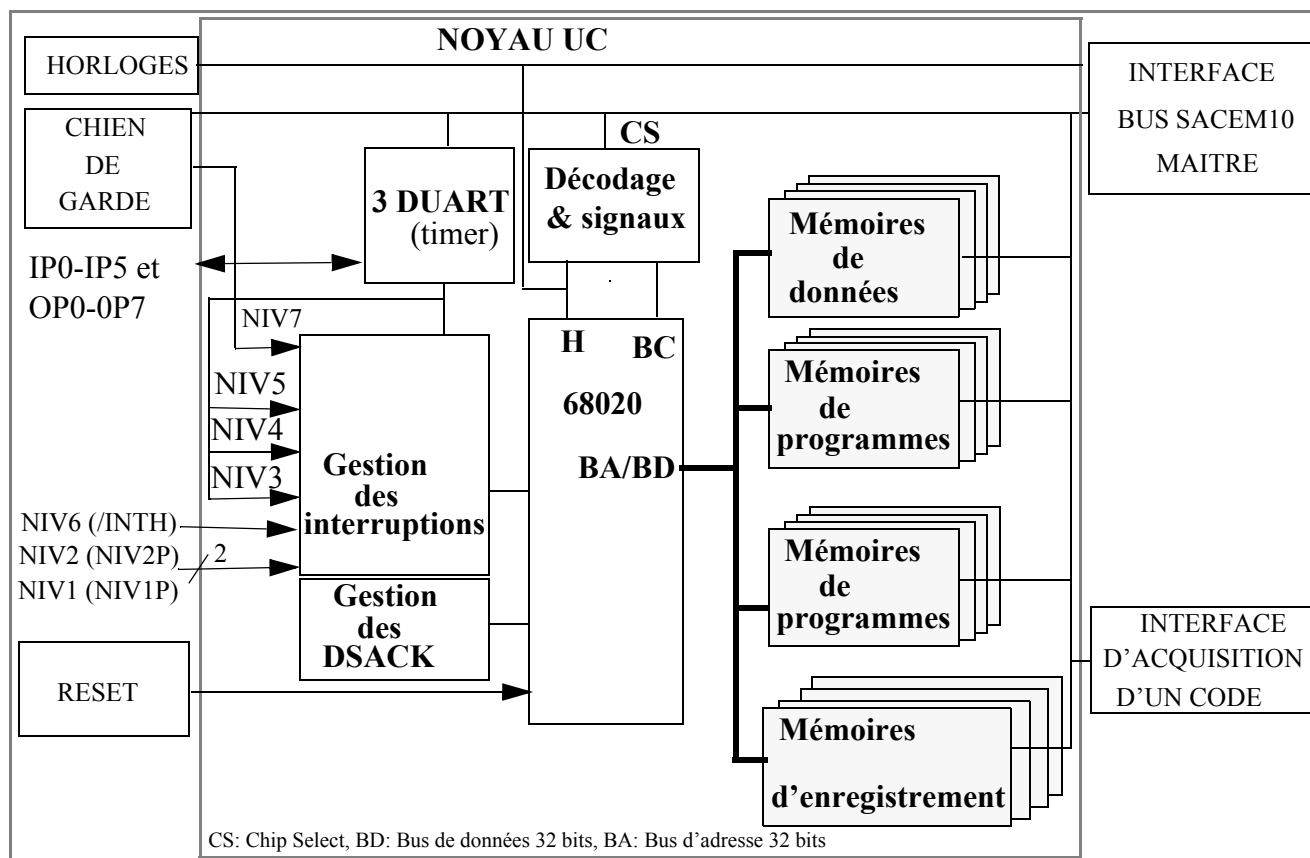


Figure 3 : Blocs fonctionnels du NOYAU UC

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

6.1.1. Mémoires de données

- *composants*

Les mémoires de données sont des **RAM statiques**.

Il est prévu à la base une taille mémoire de **512 koctets** soit **4 boîtiers de 128kx8**. Elles forment un plan mémoires organisé en **32 bits de données**.

- *contraintes*

Il est à prévoir le remplacement ultérieur des mémoires **128kx8** par des mémoires de **256kx8** ou des **512kx8** et l'accès par octet, mot et long mot.

6.1.2. Mémoires de programmes

- *composants*

Les mémoires de programmes sont des **Flash EPROM** programmables sous +12V.

Il est prévu **deux bancs** mémoires de **512 koctets** chacun soit **4 boîtiers de 128kx8** chacun. Elles forment un plan mémoire organisé en **32 bits de données**.

- *contraintes*

Il est à prévoir le remplacement ultérieur des mémoires **128kx8** par des mémoires de **256kx8** programmables en +12V ou des **512kx8** programmables en +5V.

6.1.3. Mémoires d'enregistrement

- *composants*

Les mémoires d'enregistrement sont **4 Flash EPROM** programmables sous +12V.

Il est prévu à la base une taille mémoire de **512 koctets** soit **4 boîtiers de 128kx8**. Elles forment un plan mémoire organisé en **8 bits de données**.

- *contraintes*

- Les données sont lues et écrites par octet
- La tension de programmation ne doit être appliquée que lors de la programmation
- Elles se programment et s'effacent électriquement l'une après l'autre de façon indépendante.
- Il est à prévoir la possibilité d'implanter des mémoires de **256kx8** programmables en +12V ou des **512kx8** programmables en +5V.

6.1.4. Décodage & signaux

Le rôle de cette interface est de générer les signaux de sélection des circuits accessibles par le microprocesseur 68020. Les circuits et les blocs fonctionnels accessibles sont les suivants:

- Le banc mémoires de données
- Les **2 bancs** mémoires programmes
- le banc mémoires d'enregistrement

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

- L'INTERFACE BUS SACEM10 MAITRE
- LE CHIEN DE GARDE
- INTERFACE D'ACQUISITION D'UN CODE (sur 40 bits)
- les DUART 68681
- le circuit permettant de déclencher le reset accessible sur le connecteur C96 (IT)

6.1.5. Gestion des interruptions

Le but de cette interface est de gérer les niveaux de priorité d'interruptions du microprocesseur. L'interruptions sont actives soit sur le front descendant soit l'état bas.

L'affectation des niveaux est le suivant:

- **INT7**: chute du bloc CHIEN DE GARDE **via un strap** (résistance 0 ohm à insérer) **(Front)**
- **INT6**: horloge sécuritaire de 2ms (signal /INTH: borne a11 du connecteur C96) **(Front)**
- **INT5**: DUART1 68681 **(Etat)**
- **INT4**: DUART2 68681 **(Etat)**
- **INT3**: DUART3 68681 **(Etat)**
- **INT2**: réserve sur le connecteur C96 (NIV2P) **(Etat)**
- **INT1**: réserve sur le connecteur C96 (NIV1P) **(Front)**

6.1.6. Gestion des DSACK

Les sources de DSACK en fonction des accès sont les suivantes:

- les mémoires de données
 - les 2 bancs mémoires de programmes
 - les mémoires d'enregistrements
 - INTERFACE BUS SACEM10 MAITRE
 - CHIEN DE GARDE
 - INTERFACE D'ACQUISITION D'UN CODE (sur 40 bits)
 - 3 DUART 68681
- contraintes:

Le DSACK généré pour l'accès aux mémoires programme doit pouvoir être configurable (par strap) de 0 à 2 *wait state*. Pour l'utilisation de mémoires avec un temps d'accès inférieur ou égal à 120 ns le nombre de *wait state* doit être inférieur ou égal à 1.

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

6.1.7. Les DUART

Ces trois périphériques permettent au NOYAU UC de gérer six liaisons série. De plus, l'un des DUART permet d'utiliser un timer interne permettant de contrôler la période de l'horloge de sécurité (/INTH). Les DUART sont des 68681 et reçoivent une horloge à 3,6864MHz.

- *contraintes:*

- La première *LS* utilise les signaux TX et RX, elle est du type RS232 **non isolée galvaniquement**, reliée sur un connecteur Canon DB9 (9 points) fixé en face avant de la carte. Le signal TX1 est relié à la borne 2, RX1 sur la borne 3 et le 0V sur la borne 5 du connecteur DB9. Cette liaison est également reliée avec les niveaux TTL sur le connecteur C96.
- les deux *LS* suivantes utilisent les signaux RX, TX, /CTS, /RTS, TCLK et RCLK et sont reliées au connecteur C96. L'utilisation de ces signaux permet la gestion de protocoles synchrones. Les niveaux en émission et en réception sont compatibles TTL. La deuxième *LS* est reliée sur un connecteur Canon DB9 (9 points) fixé en face avant de la carte. Le signal TX2 est relié à la borne 2, RX2 à la borne 3 et le 0V à la borne 5 du connecteur DB9.
- les trois dernières *LS* utilisent uniquement les signaux TX et RX et sont reliées au connecteur C96.
- Chaque DUART 68681 génère une interruption sur le 68020 en mode non vectorisé. Les niveaux sont ceux décrits 7.1.5.

TRANSPORT

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

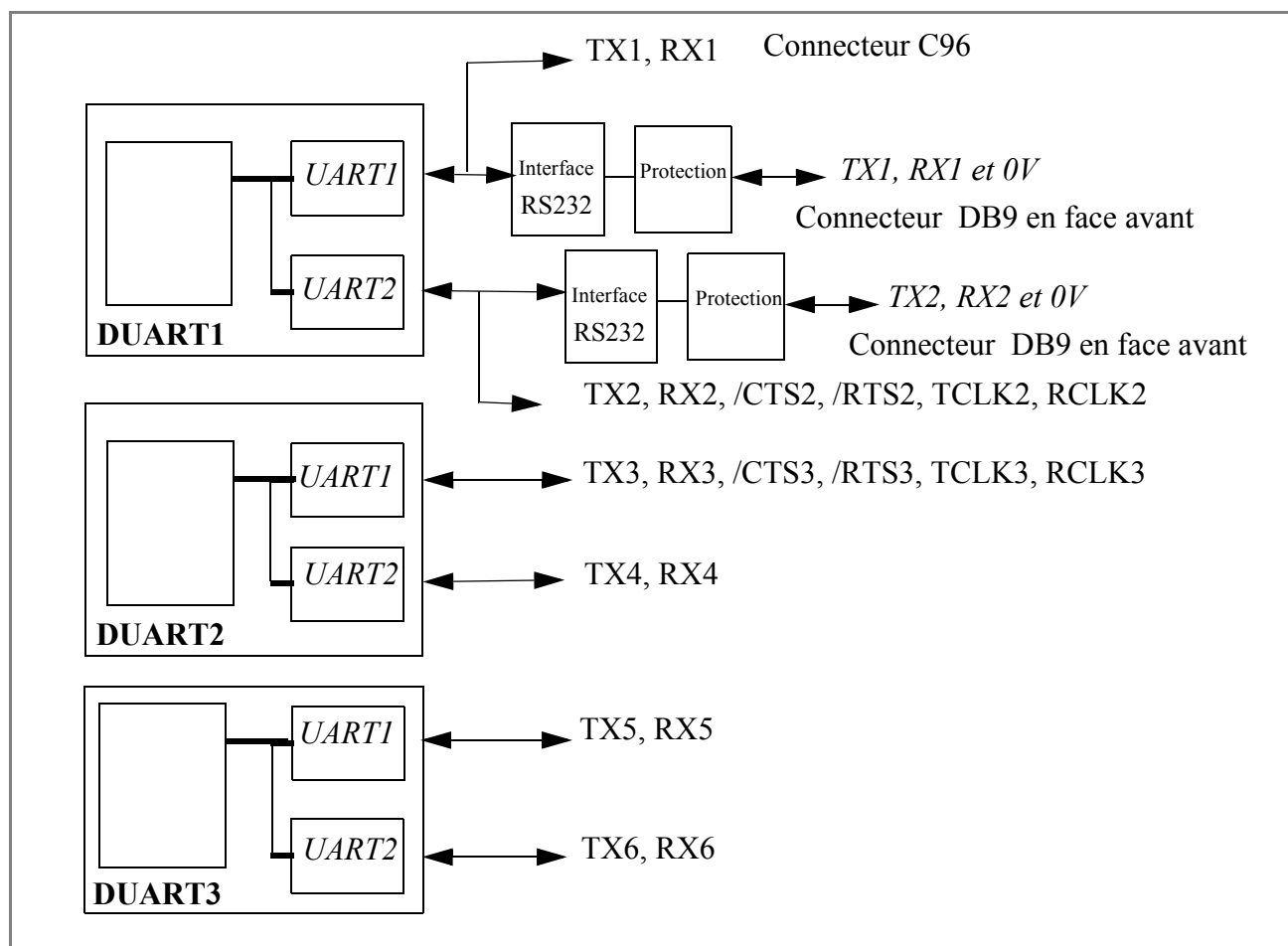


Figure 4 : Synoptique des INTERFACES DE LIAISONS SERIES du 68681

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

6.2. INTERFACE BUS SACEM10

• Définition

Cette interface permet la communication avec les cartes du panier via la carte mère, ou avec les cartes d'un panier d'extension via des interfaces et un connecteur fixé en face avant. Il répond à l'ensemble des spécifications définies dans le document de spécification du BUS SACEM10 [R1]. Il fonctionne en mode **asynchrone** nécessitant un acquittement des cartes adressées par le signal /RVE ou /RVEPE, et en mode **synchrone** sans acquittement. Le schéma de l'interface bus SACEM10 doit être identique dans les deux modes de fonctionnement. Un dispositif (strap) doit permettre de configurer le mode de fonctionnement (synchrone ou asynchrone) désiré de la carte CUC011.

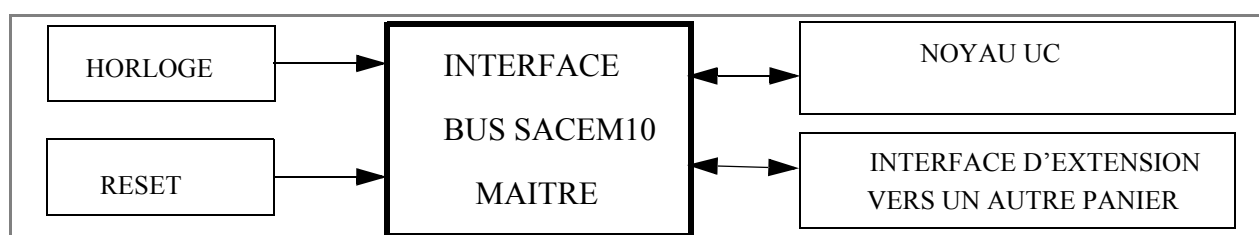


Figure 5 : Environnement de l'INTERFACE BUS SACEM10 MAITRE

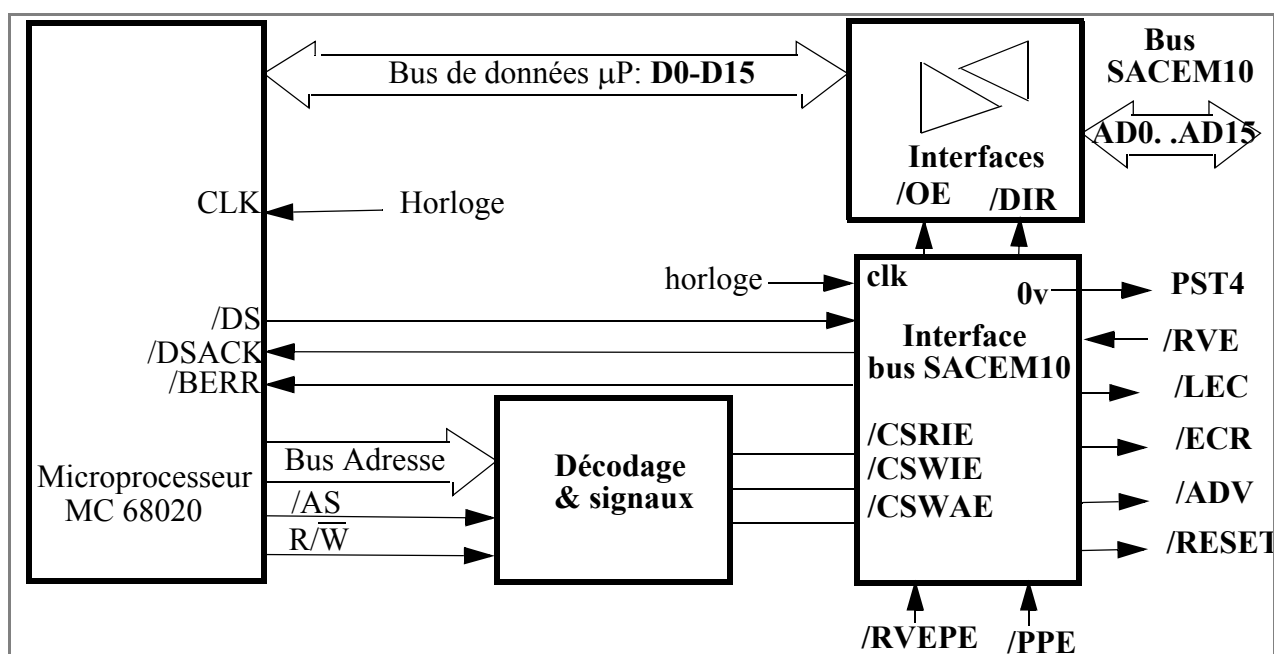


Figure 6 : Blocs fonctionnels de l'interface BUS SACEM10 maître

Le bloc fonctionnel **Décodage & signaux** génère les signaux suivants:

- /CSWAE : sélection du cycle adressage.

TRANSPORT

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

- /CSRIE : sélection du cycle lecture.
- /CSWIE : sélection du cycle écriture.

A partir de ces signaux l'interface bus SACEM10 génère 3 signaux de contrôle du bus: /ADV (Adressage), /ECR (Ecriture), /LEC (Lecture) et gère le sens de transfert du bus adresse/données du bus SACEM10.

Tableau 1 : état du bus adresse/données AD0-AD15

/CSWAE	/CSRIE	/CSWIE	/ADV	/LEC	/ECR	AD0-AD15
1	1	1	1	1	1	Z
0	1	1	0	1	1	D0-D15
1	0	1	1	0	1	entrée
1	1	0	1	1	0	D0-D15

Les cartes du panier principal avec lesquelles l'échange d'informations a eu lieu acquittent l'échange de données avec le signal /RVE, et celles du panier d'extension avec le signal /RVEPE. Si aucun acquittement /RVEPE ou /RVE n'apparaît au bout du temps spécifié pour le BUS SACEM10 après les signaux /LEC et /ECR, il est généré un bus erreur /BERR sur le 68020.

Lors d'un cycle d'adressage, il faut distinguer deux cas:

- absence du panier d'extension (/PPE=1): l'interface bus SACEM10 génère lui même le /DSACK en respectant le temps minimum de durée du cycle d'adressage (maintient de /ADV à 0) tel qu'il est spécifié pour le BUS SACEM10.
- présence du panier d'extension (/PPE=0): le /DSACK est généré par le /RVEPE provenant du panier d'extension tout en gardant la contrainte de durée minimum du cycle d'adressage spécifié. Si l'acquittement /RVEPE n'apparaît pas au bout du temps spécifié après la génération de /ADV, l'interface génère une erreur bus /BERR sur le 68020.

Tableau 2 : les signaux d'acquittement des échanges avec le 68020

Mode	/CSWAE	/CSRIE	/CSWIE	/PPE	/DSACK
X	0	1	1	1	Interface bus SACEM10
X	0	1	1	0	/RVEPE
asynchrone	1	1	0	X	/RVE ou /RVEPE
asynchrone	1	0	1	X	/RVE ou /RVEPE
synchrone	1	1	0	X	Interface bus SACEM10
synchrone	1	0	1	X	Interface bus SACEM10

X: quelque soit l'état, Z: haut impédance

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

- *contraintes*
 - l'interface bus SACEM10 fonctionne en mode asynchrone (avec un acquittement par /RVE ou /RVEPE lorsqu'il chute à zéro) ou en mode synchrone dans lequel l'acquiescement est toujours validé (/RVE=0 et /RVEPE=0). Le passage d'un mode à un autre est fait par strap sur la carte.
 - Tous les signaux du bus sont sur le connecteur C96 et sans résistances de tirage.

- *composants*

Les composants interface avec le bus SACEM10 sont ceux recommandés par la spécification [R1]

6.3. INTERFACE D'EXTENSION VERS UN AUTRE PANIER

- *Définition*

Le rôle de cette interface est de permettre à la carte CUC011 de communiquer avec d'autres cartes situées dans un panier d'extension par l'intermédiaire du BUS SACEM10. La carte CUC011 est informée de la présence d'un panier d'extension par une entrée /PPE dont l'état 0 est fixé par une liaison dans le connecteur mobile branché en face avant. Les signaux sont reliés au connecteur en face avant par l'intermédiaire d'interfaces du type RS485. Ces derniers ne sont pas validés lorsqu'il n'y a pas de panier d'extension (/PPE=1).

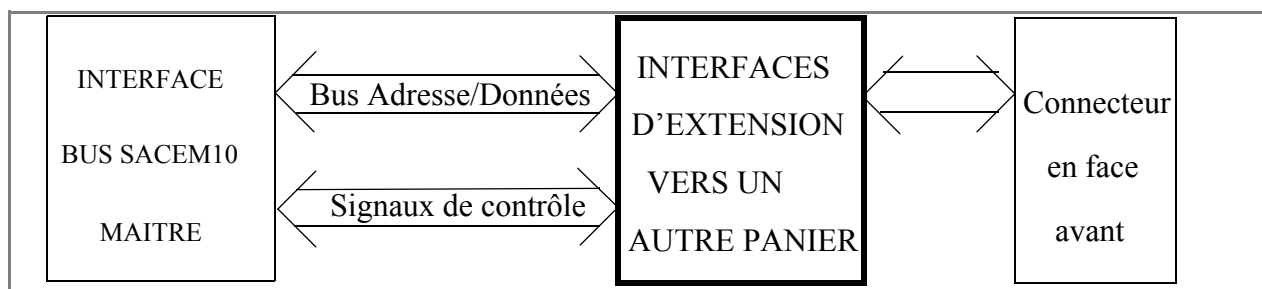


Figure 7 : Environnement des INTERFACES D'EXTENSION VERS UN AUTRE PANIER

- *Contitution*

Le bloc fonctionnel INTERFACE D'EXTENSION VERS UN AUTRE PANIER est constitué de:

- 9 interfaces émetteurs/récepteurs du type RS485 pour le bus Adresse/données
- 5 interfaces émetteurs du type RS485 pour les signaux de contrôle
- 1 interface récepteur du type RS485 pour le signal /RVEPE
- 1 interface émetteur du type RS485 pour le signal DATE_INT

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

Figure 8 : Synoptique de l'INTERFACE D'EXTENSION VERS UN AUTRE PANIER

- *contraintes:*

Il est à prévoir:

- des résistances d'adaptation et de polarisation en entrée et sortie des interfaces des signaux bi-directionnels
- des résistances d'adaptation et de polarisation en entrée des interfaces des signaux unidirectionnels
- La résistance d'adaptation de ligne est de 120 ohms
- Lorsque le panier d'extension est absent (/PPE=1), toutes les interfaces doivent être inhibées
- Lorsque le panier d'extension est présent (/PPE=0), les interfaces des signaux:
 - /ADV, /INTH, /RESET, DATE_INT et /RVEPE sont à valider en permanence
 - /LEC, /ECR ne sont à valider que lorsque le NOYAU UC effectue un échange de données avec une carte située dans le panier d'extension (EN2=/PPE et adressage carte du panier d'extension).

TRANSPORT

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

AD0-AD8 ne sont à valider que lorsque le NOYAU UC effectue un échange de données avec une carte située dans le panier d'extension (EN1 et /RE1).

Tableau 4 : table de vérité pour les signaux AD0x-AD8x (x=a - b)

Adresse carte	/ADV	/LEC	/ECR	/RE1	EN1	AD0x-AD8x
X	1	1	1	1	0	Z
X	0	1	1	1	1	AD0-AD8 (sortie)
>=16	1	0	1	0	0	Entrée
<16	1	0	1	1	0	Z
>=16	1	1	0	1	1	Sortie
<16	1	1	0	1	0	Z

- *Composants*

Les circuits d'interface sont du type SN ou DS 75176A

6.4. INTERFACE D'ACQUISITION D'UN CODE

Cette interface est utilisée pour acquérir un code sur 40 bits câblé, spécifiant le type de train en embarqué et le numéro de secteur au sol pour la fonction ATP.

- *contraintes*

Ce code est câblé sur le connecteur E48 et lu en deux fois par le NOYAU UC: 32 bits (M1 à M32) et 8 bits (M33 à M40). Des résistances de pull-up pour fixer l'état des entrées des circuits sont à prévoir sur les circuits d'interfaces.

- *composants*

Les codes sont à interfacer avec des circuits de type HC244.

6.5. CHIEN DE GARDE

Le but de cette interface est de renseigner sur l'état de fonctionnement du noyau UC (68020). **Cette interface est prévue sur la carte CUC011 pour utilisation de celle-ci dans une application non de sécurité et n'utilisant pas de contrôleur dynamique (ex : ATO).**

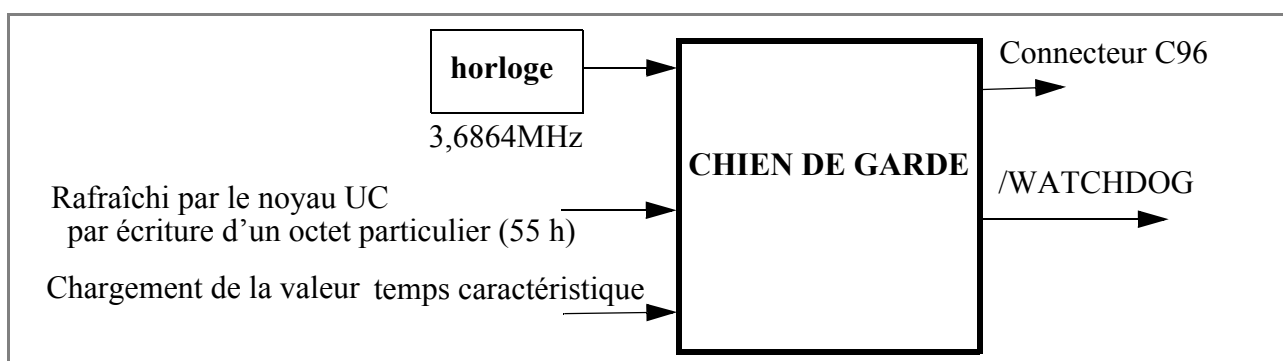


Figure 9 : Environnement du bloc fonctionnel CHIEN DE GARDE

- *contraintes*

Les contraintes concernant le bloc chien de garde sont les suivantes:

- **il est possible de le valider ou non sur la carte par un strap** (non utilisé le chien de garde ne doit pas perturber le NOYAU UC).
- à la mise sous tension, le chien de garde est dans l'état non déclenché et la valeur initialisée est égale à la valeur maximale possible soit 2 secondes.
- le temps caractéristique du chien de garde dépend de l'application, il doit donc être paramétrable dans la plage 10 ms à 2s par pas de 10 ms.
- il est rafraîchi par le NOYAU UC en écrivant un octet particulier: écriture de la valeur 55h
- lorsque le chien de garde est déclenché, il doit provoquer une interruption de niveau 7 sur le NOYAU UC (68020) et activer le signal /RESET du BUS SACEM10
- l'état du chien de garde est sur le connecteur C96 (WATCHDOG)

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

6.6. RESET

Le rôle de cette interface est de réaliser une initialisation de la carte (remise à zéro du microprocesseur 68020, des DUARTS 68681 et des interfaces...).

- *contraintes*
 - L'initialisation doit être effective dans tous les cas suivants:
 - à la mise sous tension de la carte
 - par une action extérieure RESETIN au niveau TTL pouvant être actif à l'état bas ou haut
 - par une action extérieure au niveau TTL sur la broche 9 du connecteur subD de la liaison série 2 de face avant
 - par la chute du signal /DFA en provenance de la carte alimentation, et tel qu'il est défini dans la spécification du bus SACEM10
 - **Un dispositif (strap) doit pouvoir permettre de ne pas utiliser le signal /DFA**
 - L'initialisation lors de la disparition de l'alimentation (/DFA à 0) ne doit pas provoquer des écritures «parasites» dans les mémoires d'enregistrement

- *composants*

Pour ce bloc fonctionnel, il faut utiliser des compteurs ou des circuits superviseurs.

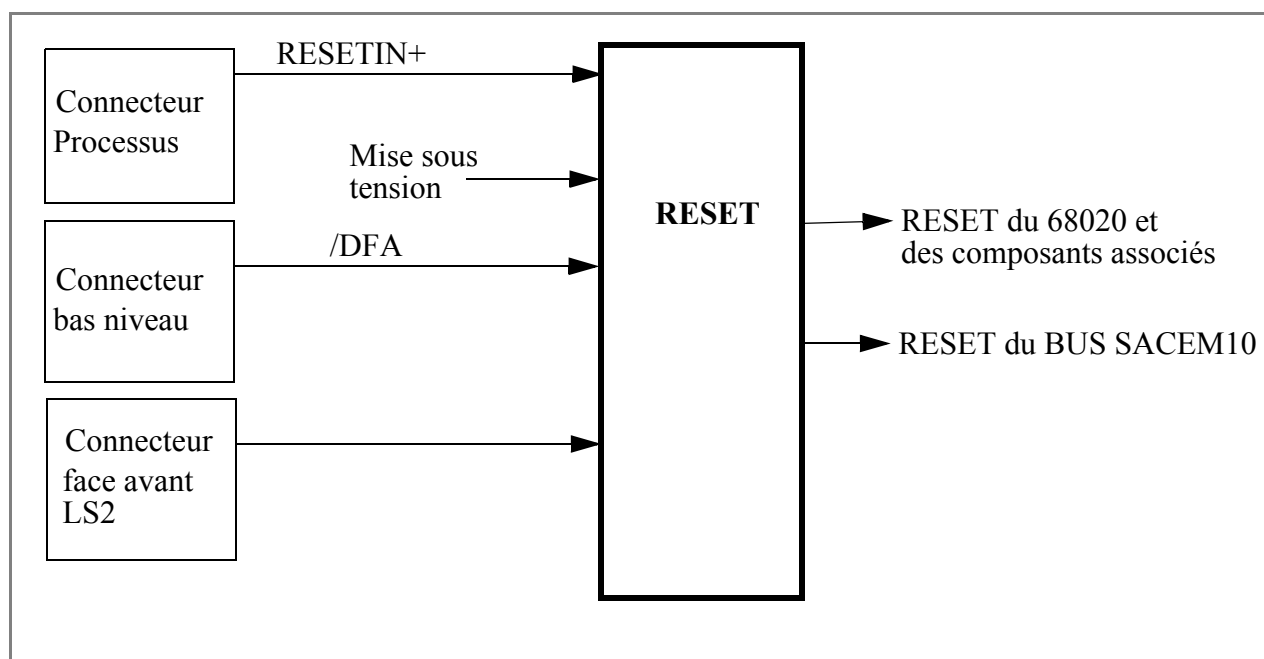


Figure 10 : Environnement du bloc fonctionnel RESET

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

6.7. HORLOGES

Le bloc fonctionnel HORLOGES génère plusieurs signaux horloges utilisés par:

- le NOYAU UC
- l'interface BUS SACEM10 MAITRE

Le bloc fonctionnel horloges génère le signal d'horloge pour le CHIEN DE GARDE et les DUART.

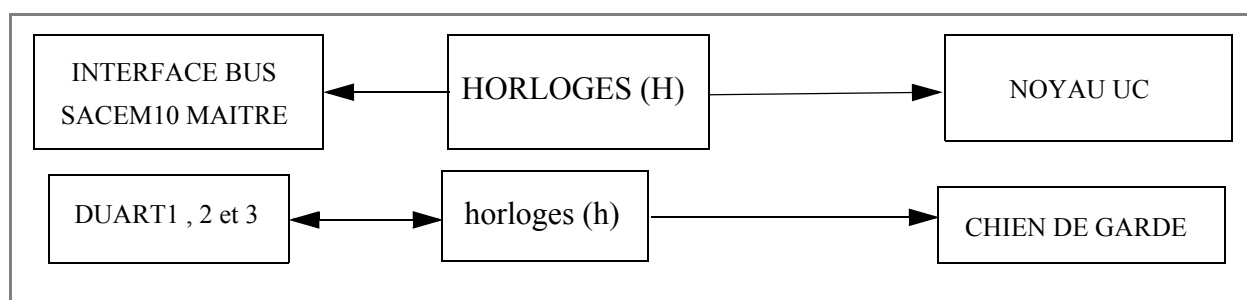


Figure 11 : Environnement du bloc fonctionnel HORLOGES

- contraintes

Les horloges nécessaires pour le NOYAU UC sont issues d'une base de temps à 32 MHz. La fréquence est ensuite divisée et distribuée pour le microprocesseur 68020 et les autres interfaces (BUS SACEM10, DSACK, DTACK...). Les DUART et le bloc CHIEN DE GARDE reçoivent une horloge issue d'une base de temps de 3,6864 MHz. En effet, le bloc CHIEN DE GARDE doit avoir une horloge indépendante du NOYAU UC.

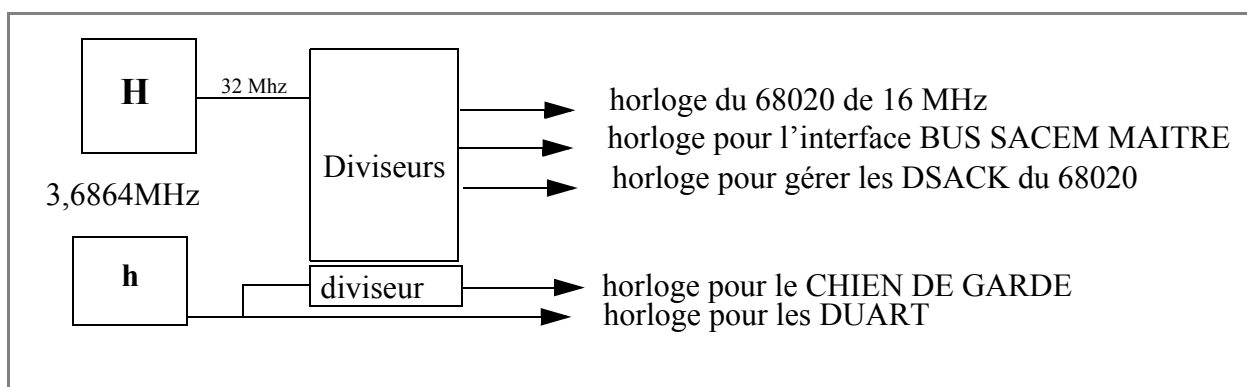


Figure 12 : Synoptique des HORLOGES

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

7. CONTRAINTES**7.1. Les contraintes mécaniques**

La carte CUC011 est au format EUROFER 4TE. Elle est équipée à l'arrière de deux connecteurs DIN 41612:

- un en haut du type C96 mâle est relié à la carte mère (SNO: 8804226)
- un en bas du type E48 mâle est destiné aux liaisons avec l'extérieur (SNO: 8802170).

Elle également équipée en face avant:

- d'un connecteur DB9 femelle pour une liaison série du type RS232 (SNO: 8804305)
- d'un connecteur demi DIN C48 mâle pour les signaux du BUS SACEM10 allant sur un panier d'extension (SNO: 8804064)
- d'une led indiquant l'état du reset de la carte
- d'une led indiquant l'état du bloc fonctionnel CHIEN DE GARDE

7.2. Les contraintes électriques

Le choix des composants est fait dans la base de données composants SIF et leurs utilisation doit être conforme aux norme spécifiées dans la spécification générale [A1]. Les signaux doivent tenir 2000 V efficace par rapport à la masse mécanique (proximité de 6 mm en couche externe et 2.6 mm en couche interne).

7.3. Contraintes pour tenir aux essais de CEM

Il faut prévoir l'implantation d'un condensateur du type Y entre le 0V et la masse mécanique. Ce composant a pour valeur 4,7 nF et il doit tenir une tension $U=250$ efficace.

7.4. Les contraintes de connectiques

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

[illegible]

TRANSPORT

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

TRANSPORT

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

8. TESTABILITE

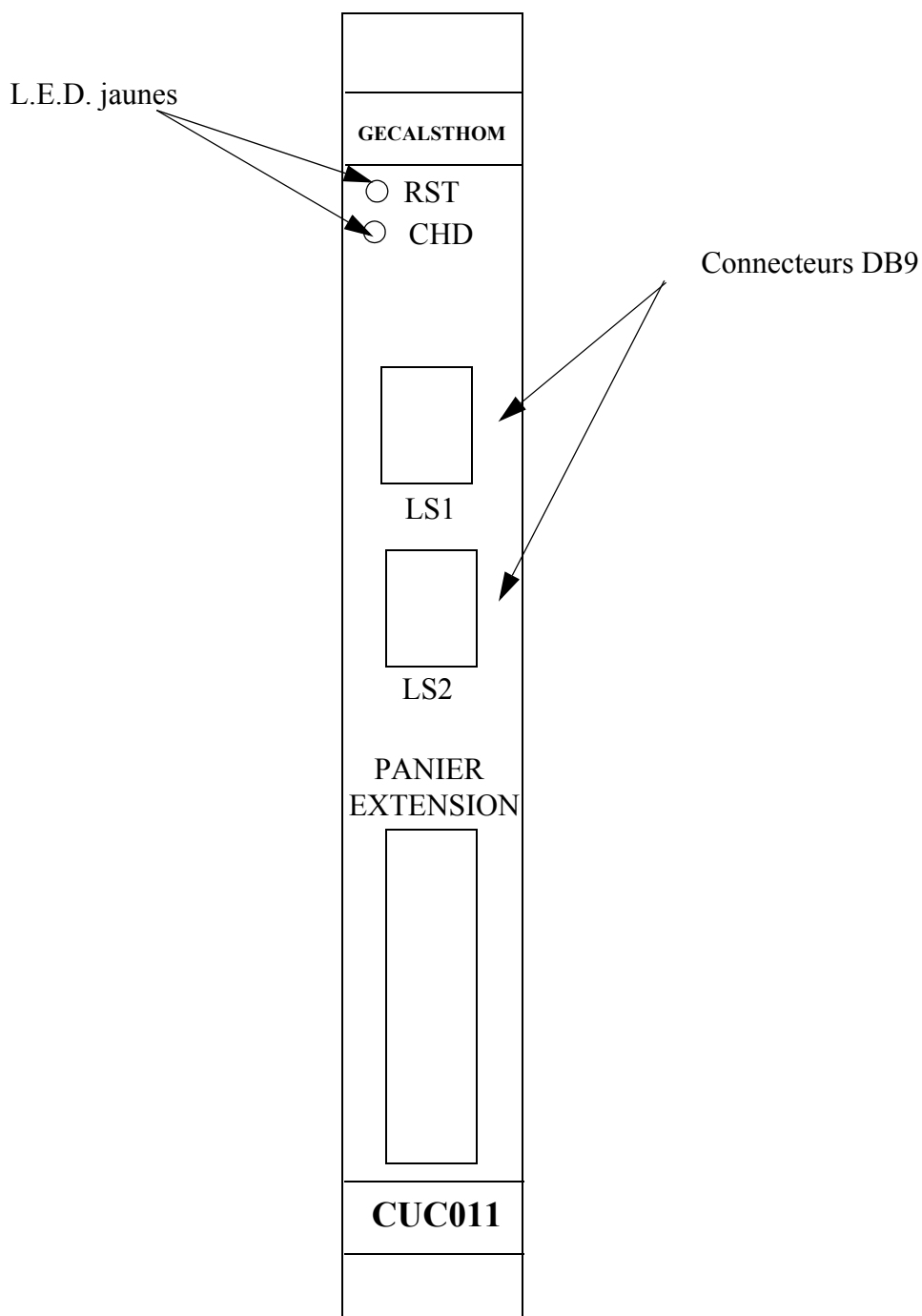
La carte est conçue de façon à être testée en «in-situ».

9. MOYENS DE PROGRAMMATION

Les mémoires programme **flash EPROM** sont soudées et programmées sur la carte à l'aide d'un programmeur en «in-situ». Tous les signaux nécessaires à leur programmation sont reliés à un connecteur du type DIN41612 placé sur la carte à choisir parmi les deux suivants:

- 48 points C2 48MFD CL1 code composant 880 4063
- 96 points C96 MFD code composant 880 4238

L'alimentation +12V nécessaire pour les programmer est fournie par l'outil de programmation.

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011**10. FACE AVANT***Figure 13 : Face avant de la carte CUC011*

SPECIFICATION D'EVOLUTION DE LA CARTE CUC011

CHAPITRE 2 Carte CUC011 - 25 MHz**1. ORIGINE DE LA CARTE CUC011 - 25 MHz**

La carte CUC011 - 25 MHz est une évolution de la carte CUC011 - 16 MHz

2. PRESENTATION DE LA CARTE CUC011 - 25 MHz

La carte CUC011 - 25 MHz est construite autour d'un **microprocesseur 68020** à 25 MHz ayant le même environnement et le même circuit imprimé que la carte CUC011 - 16 MHz.

3. EVOLUTIONS DE LA CARTE CUC011 - 25 MHz

- Microprocesseur : 68020 - 16 MHz est remplacé par 68020 - 25 MHz
- Horloge : horloge de base à 32 MHz est remplacée par une nouvelle horloge de base à 50 MHz
- Temps d'accès maximal des mémoires : adapté à la fréquence du nouveau microprocesseur à 25 MHz pour n'obtenir au maximum qu'un "wait state" dans le cycle bus du microprocesseur.