

# Design de computadores

## Relógio Digital

André Toyama e Gabriel Rios

### Introdução:

Este projeto se trata da criação de um relógio digital em VHDL para a placa FPGA DE2-115. As funções atribuídas para o relógio são a contagem dos segundos em tempo real, se baseando no clock interno da placa, um modo de contagem acelerada e um modo setup onde é possível definir qualquer horário escolhido.

### Como funciona:

O relógio funciona fazendo suas operações através de uma unidade lógica aritmética (ULA), onde a atualização do horário ocorre por meio de uma soma. Assim, é somado “1” a cada um segundo na unidade do segundo, e quando necessário, adiciona-se “1” na dezena do segundo e assim por diante.

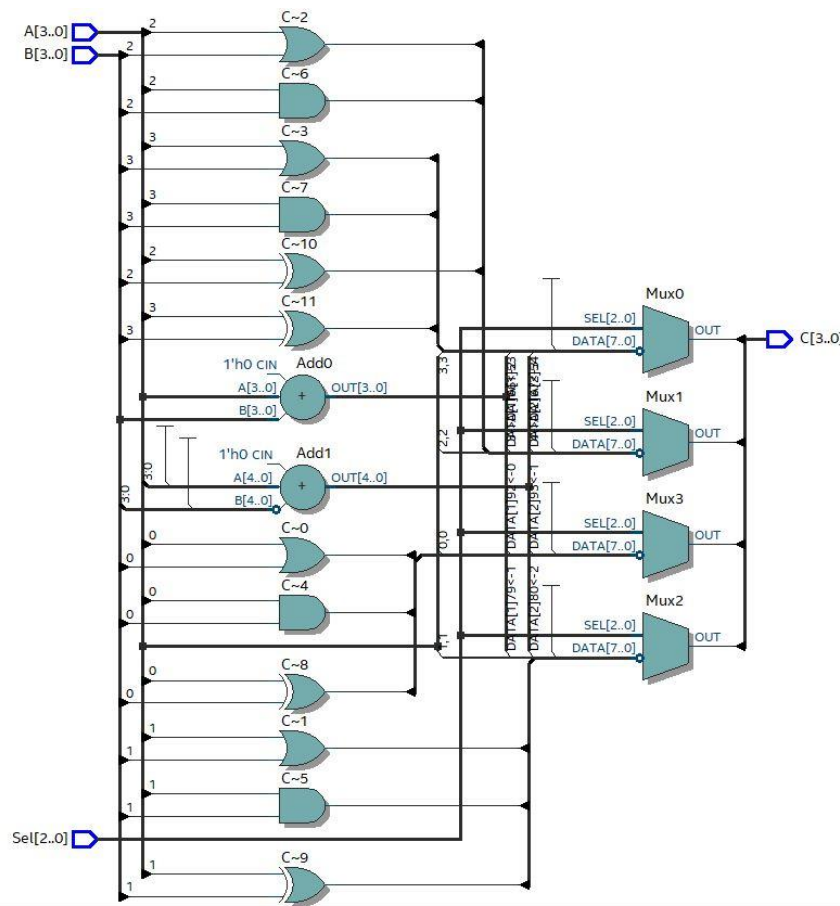


Figura 1 ULA

Além da ULA, o projeto possui registradores para armazenar e sincronizar os valores que serão mostrados nos displays da placa:

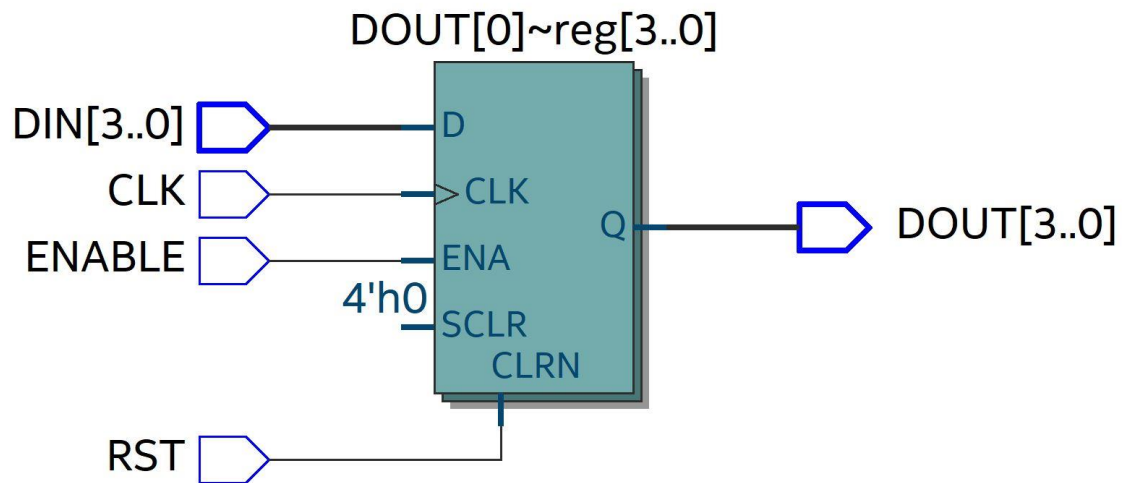


Figura 2 Registrador genérico

Os registradores possuem um “enable” para que o registrador possa atualizar o seu valor de saída baseado no “clock”. Para que o registrador correto seja selecionado, já com seu “enable” ativado, é necessário um “MUX”:

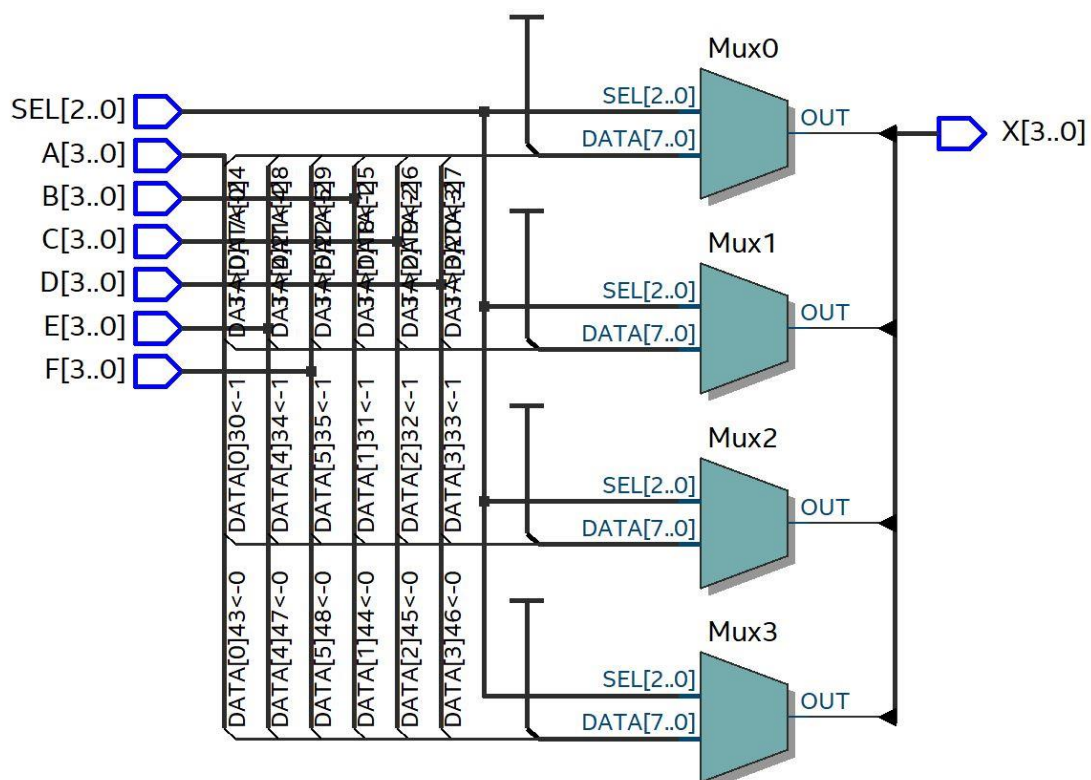


Figura 3 Mux de registradores

A partir do seletor, é selecionado o registradores cujo valor de tempo será atualizado.

A fim de saber se é necessário atualizar os segundos, minutos ou hora, é feita uma comparação com os respectivos valores de mudança, “10” para as unidades e “6” para as dezenas. Assim, a lógica é *micro programada*, onde um microcircuito é criado para a comparação direta. Do mesmo modo, é feita uma comparação final nos displays das horas, pois quando estes forem iguais a 24, o relógio deve voltar a mostrar todos os displays zerados. Para isso, também são conferidos os valores dos minutos e segundos, para evitar casos onde somente o tempo das horas avançaram, como poderia ocorrer em um ajuste manual, por exemplo.

Um relógio deve atualizar seu horário a cada 1 segundo. Porém, a lógica do circuito irá ser processada na velocidade da FPGA em questão, que em termos de clock é igual a 50MHz. Assim, é necessário dividir a parte lógica dos processos em 2:

- CLOCK\_50, clock da FPGA
- auxClock, clock de 1 segundo

A imagem abaixo mostra a divisão destes clocks, em VHDL:

```
process(CLOCK_50, auxClock)
begin
    if(CLOCK_50'event and CLOCK_50='1') then
        count <= count+1;

        if(count = compare_clk) then
            auxClock <= not auxClock;
            count <= 1;
            if(auxClock='0') then
                auxUlaB := "0001";
            end if;
        else
            auxUlaB := "0000";
        end if;
    end if;
end process;

process(auxClock)    --period of clk is 1 second.
begin

    if(auxClock'event and auxClock='1') then
```

Figura 4 Divisão de clocks na lógica

Pode-se observar que o primeiro “Process” é responsável por criar o auxClock a partir da contagem de CLOCK\_50. Já na imagem abaixo, pode-se ver o CLOCK\_50, original da placa, indo para o fluxo de dados:

```

-- Instancia o fluxo de dados mais simples:
FD : entity work.fluxoDados
  Port map (
    U1aEntrada_B => auxU1aB,
    funcaoULA    => auxFuncaoULA,
    funcaoMUX    => auxFuncaoMUX,
    clk          => CLOCK_50,

```

Figura 5 Última linha, CLOCK\_50 indo para o fluxo de dados

### **Modos:**

A transição de modos do relógio se dá por uma máquina de estados, onde cada estado é um modo e cada estado de transição se dá por um respectivo botão.

#### **- Setup:**

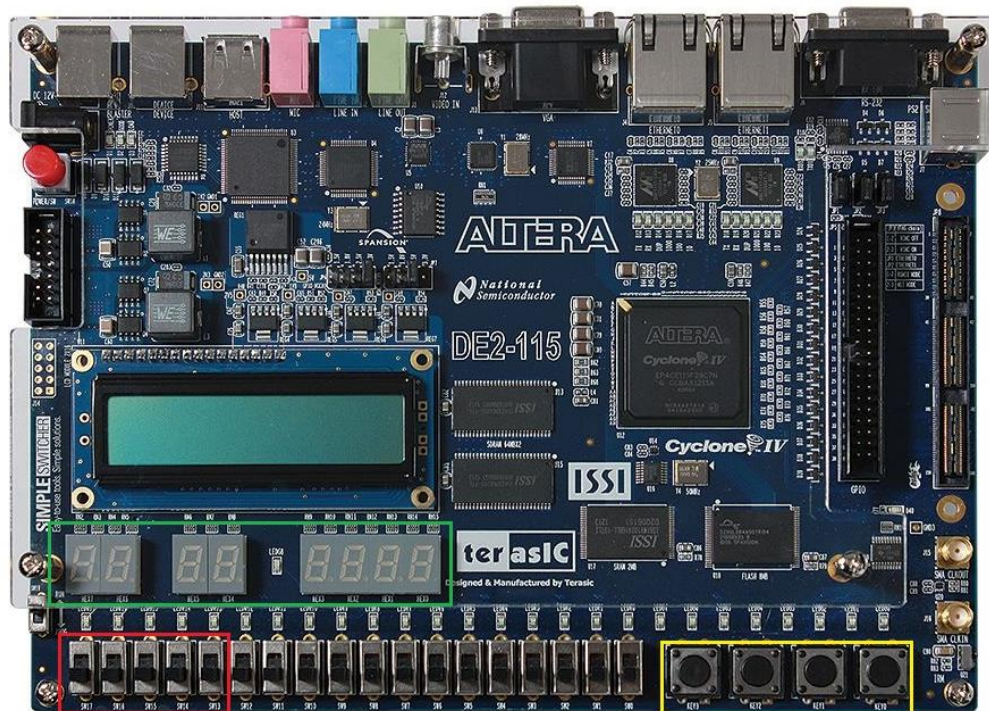
Modo para realizar o ajuste de horário do relógio. O tempo é parado para que haja o ajuste, para fazer o tempo continuar basta voltar para o modo “normal”.

#### **- Acelerado:**

Funciona como o modo normal, porém o tempo é acelerado em 96x, para que a passagem das 24 horas ocorra em 15 minutos.

### **Como Utilizar:**

Na imagem da placa abaixo temos destacado as partes da placa necessárias para a utilização do relógio.



Em verde, temos destacado o display da placa, onde veremos a projeção dos valores de tempo.



Horas

Minutos

Segundos

Em amarelo temos os botões de transição de modo, onde podemos trocar o modo do relógio.



Setup

Acelerado

Normal



Em vermelho, temos as chaves utilizadas para o controle do horário no modo setup. Elas só serão utilizadas no modo setup, caso contrário não vão fazer nada. Estando no modo setup, basta ativar a chave do valor em que você quer mudar que ele começara a incrementar em 1, ao atingir o valor desejado basta desativar a mesma. Se mais de uma chave for ativada, a mais da esquerda que será considerada apenas.

