

# Arquitetura e Organização de Computadores – 5cop090

**Memória interna**

# Objetivos da aprendizagem

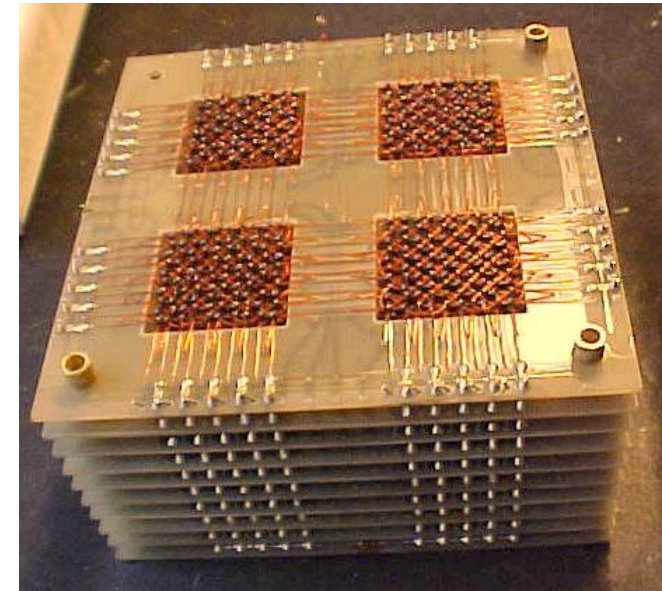
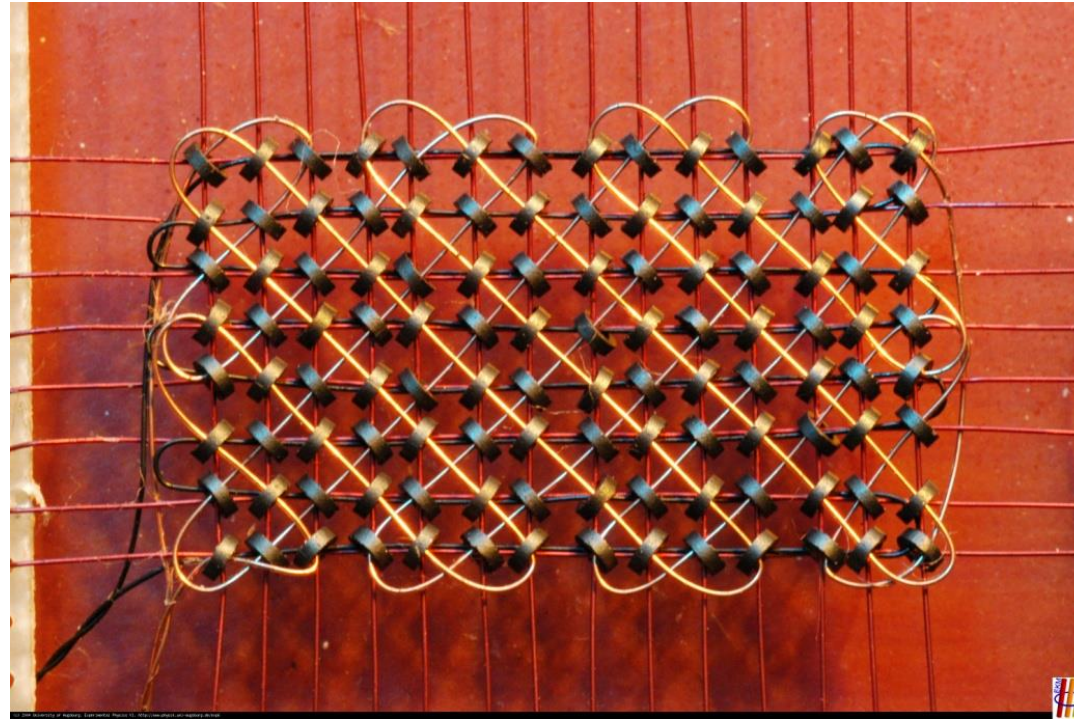
- ✓ Apresentar uma visão geral dos **tipos fundamentais de memória principal semicondutora.**
- ✓ Entender a operação de um **código básico que pode detectar e corrigir erros de bit único em palavras de 8 bits.**
- ✓ Resumir as propriedades das organizações modernas DDR-DRAM
- ✓ Entender a diferença entre memória Flash NOR e NAND
- ✓ Apresentar uma visão geral das novas tecnologias de memórias de estado sólio não volátil.

# Memória principal semicondutora

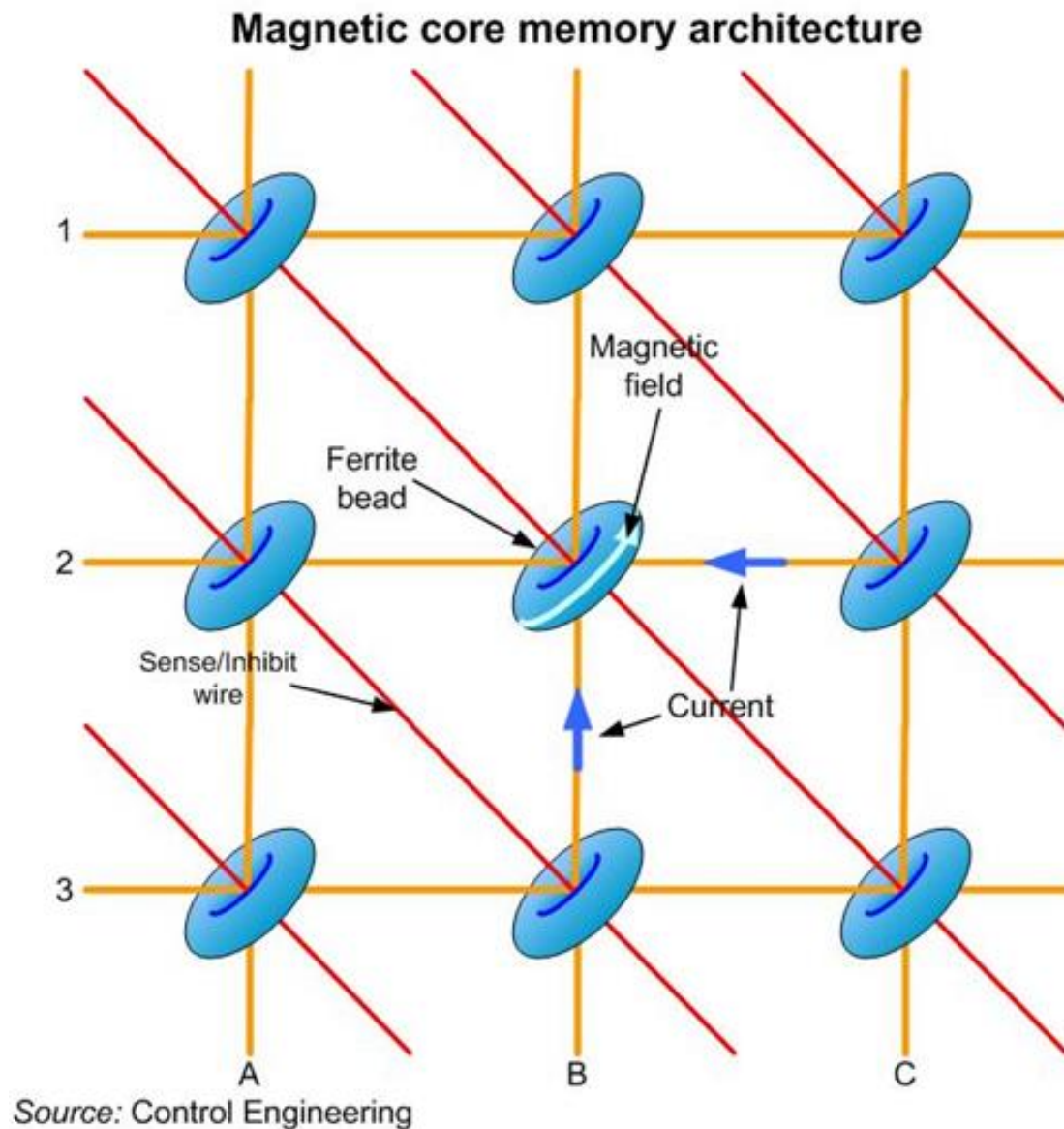
- ✓ Em computadores mais antigos a maneira mais comum de armazenamento de acesso aleatório para memória principal empregava **um array de anéis ferromagnéticos**, conhecidos como *cores*.
- ✓ Com o advento da microeletrônica, e suas vantagens, o uso da memória core magnética foi então superada.
- ✓ Hoje em dia, o uso de semicondutores par a memória principal é quase universal.
- ✓ A figuras a seguir ilustram a Memória RAM de núcleo magnético.



# Memória RAM de núcleo magnético

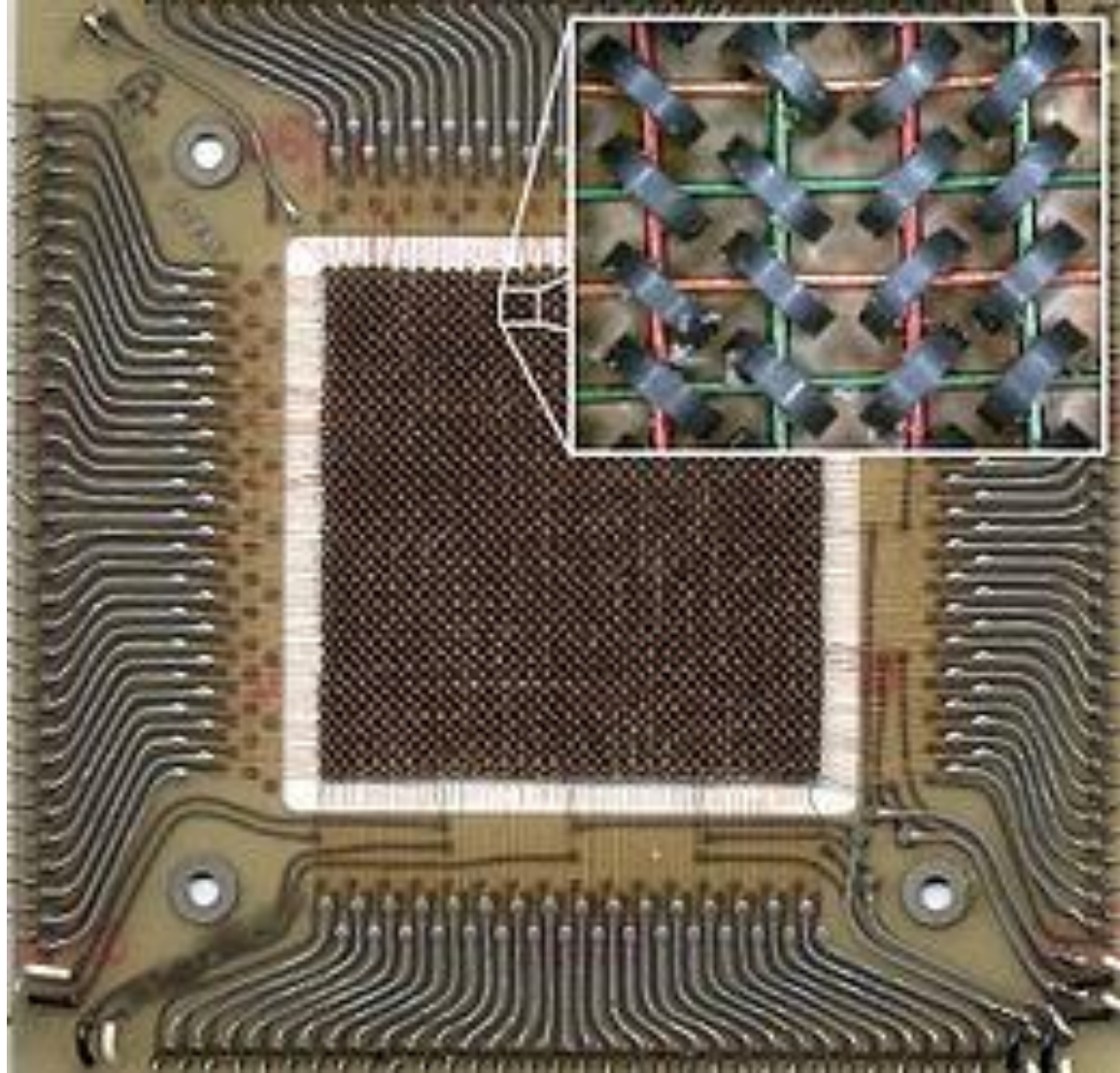


# Memória RAM de núcleo magnético





# Memória RAM de núcleo magnético

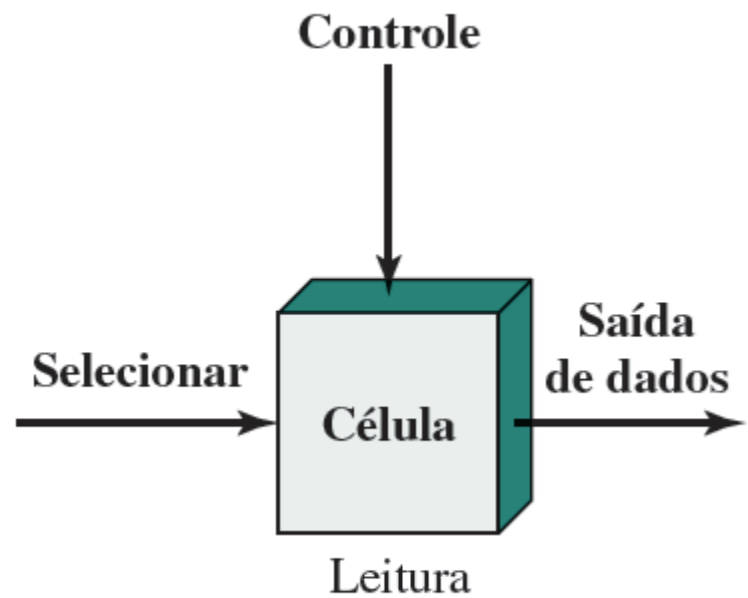
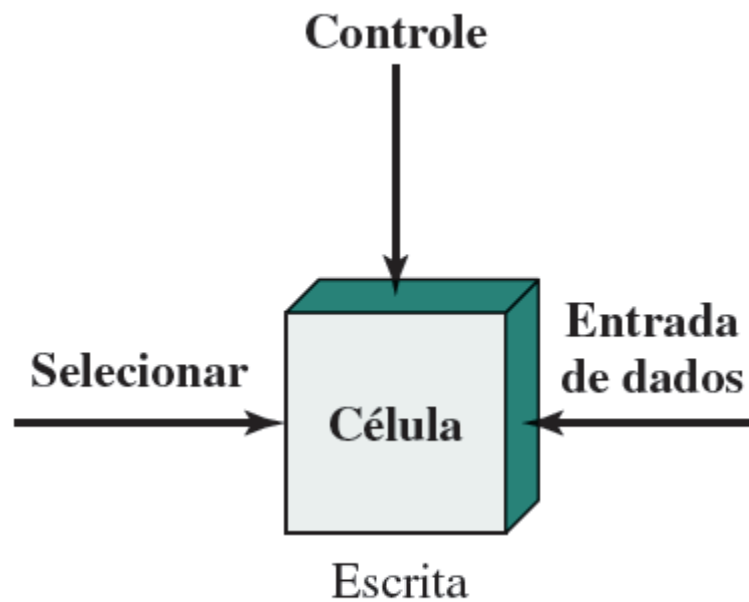


# Memória principal semicondutora

- ✓ O elemento básico de uma memória semicondutora é a célula de memória.
- ✓ Toda as células de memória semicondutora compartilham certas propriedades:
  1. Apresentam dois estados estáveis (ou semiestáveis), que podem ser usados para representar o binário 1 e 0.
  2. São capazes de serem gravadas (pelo menos uma vez), para definir o estado.
  3. São capazes de serem lidas, para verificar o estado.

# Memória principal semicondutora

- ✓ Operação de uma célula de memória:





# DRAM E SRAM

✓ Tipos de memória semicondutora:

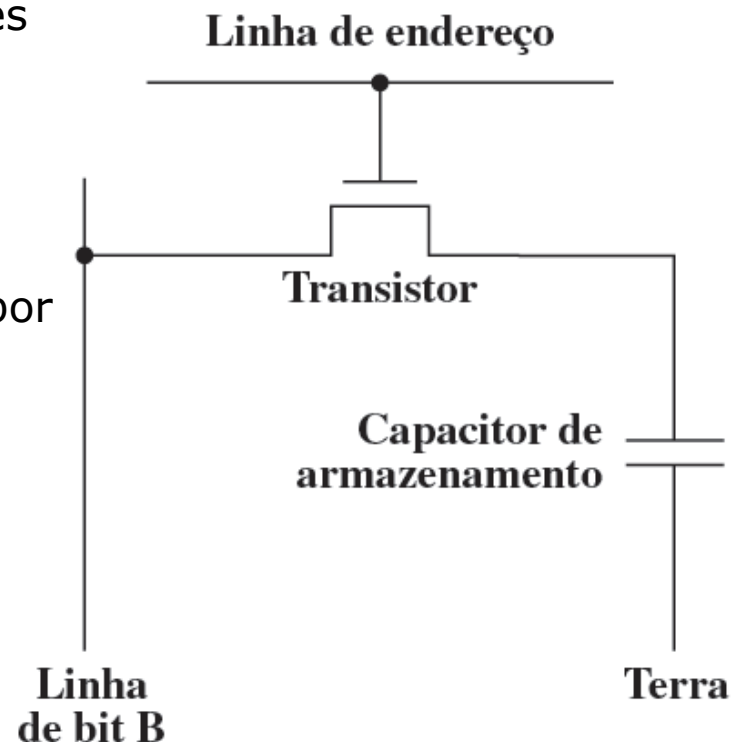
Tipo de memória	Categoria	Apagamento	Mecanismo de gravação	Volatilidade
Memória de acesso aleatório (RAM)	Memória de leitura-gravação	Eletricamente, em nível de byte	Eletricamente	Volátil
Memória somente de leitura (ROM)	Memória somente de leitura	Não é possível	Máscaras	Não volátil
ROM programável (PROM — do inglês, <i>Programmable ROM</i> )			Eletricamente	
PROM apagável (EPROM — do inglês, <i>Erasable PROM</i> )	Luz UV, Em nível de chip			
PROM eletricamente apagável (EEPROM — do inglês, <i>Electrically Erasable PROM</i> )	Eletricamente, em nível de byte			
Memória flash	Eletricamente, em nível de bloco			

# DRAM E SRAM

- ✓ A mais comum é conhecida como memória de acesso aleatório (RAM – do inglês, *Random Access Memory*).
- ✓ Uma característica distinta da memória que é designada como RAM é a possibilidade tanto de ler dados como escrever novos dados na memória de um modo fácil e rápido.
- ✓ Outra característica distinta da RAM é que ela é volátil.
- ✓ A tecnologia RAM é dividida em duas tecnologias:
  1. dinâmica e
  2. estática.

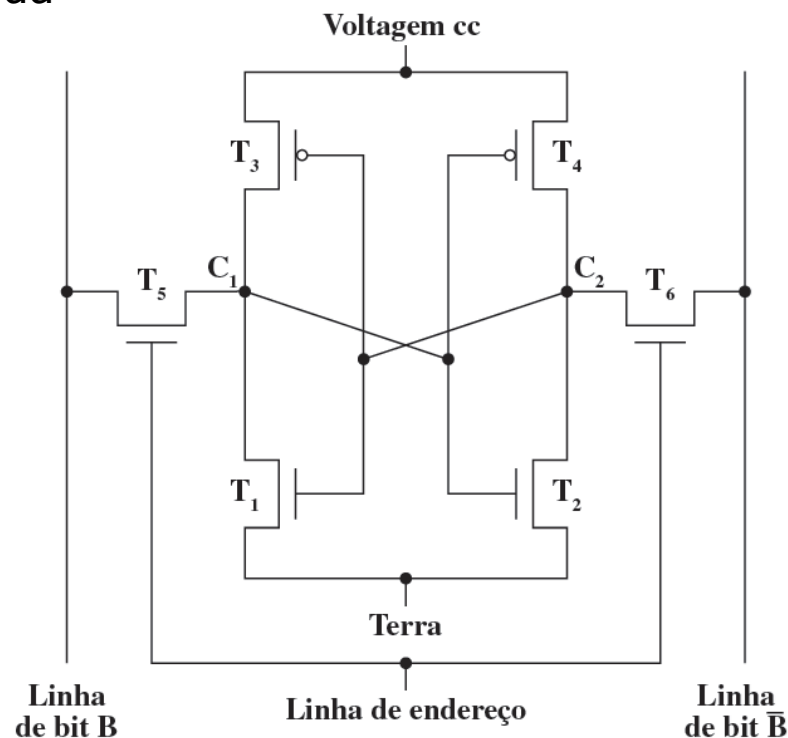
# DRAM E SRAM

- ✓ Uma **RAM dinâmica (DRAM** – do inglês, *Dynamic RAM*) é feita com células que **armazenam dados como carga em capacitores**.
  - Bits armazenados como cargas em capacitores
  - Capacitores se descarregam
  - Precisa de renovação mesmo se alimentada
  - Construção mais simples
  - Mais densa (células menores = mais células por unidade de área)
  - Menor custo
  - Precisa de circuitos de *refresh*
  - Mais lenta
  - Aplicação – Memória principal
  - Dispositivo basicamente analógico
  - Nível de carga determina o valor (0 ou 1)



# DRAM E SRAM

- ✓ Uma **RAM estática (SRAM)** é um dispositivo que **usa os mesmos elementos lógicos usados no processador**.
  - Bits armazenados como chaves ligado/desligado
  - Sem carga para descarregar
  - Não precisa de refresh quando alimentada
  - Construção mais complexa
  - Menor densidade
  - Mais cara
  - Mais rápida
  - Cache
    - Usa flip-flops



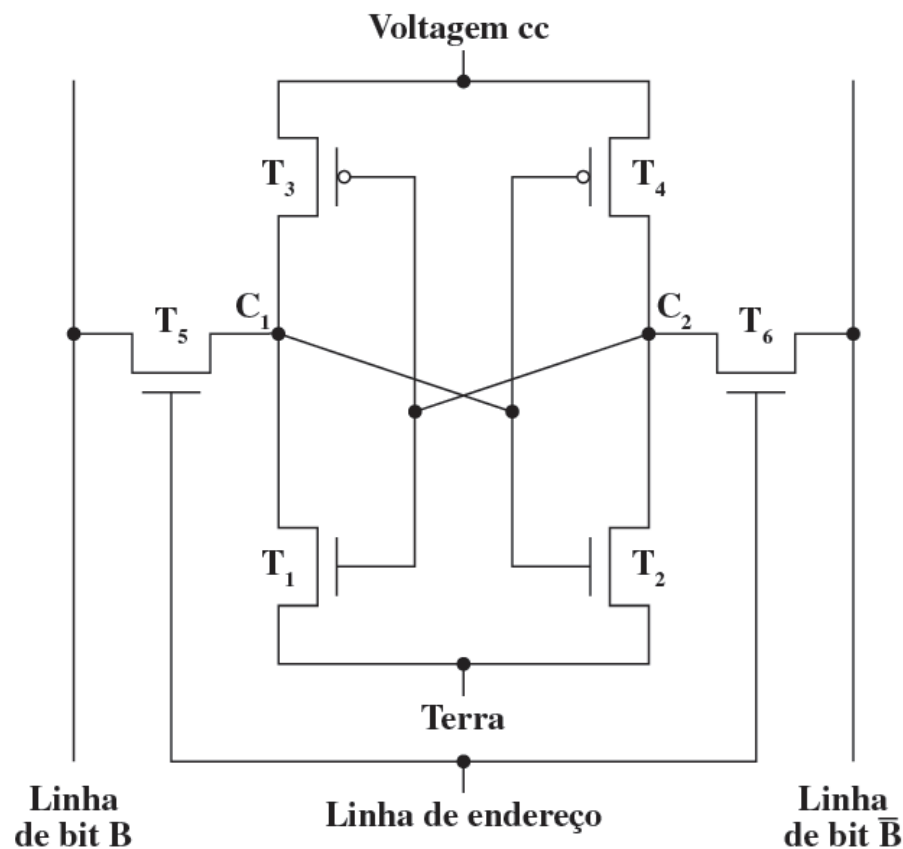


# DRAM E SRAM

## ✓ Estrutura da RAM estática (SRAM)

Estado Lógico	C1	C2	T1	T2	T3	T4
1	1	0	Desligado	Ligado	Ligado	Desligado
0	0	1	Ligado	Desligado	Ligado	Ligado

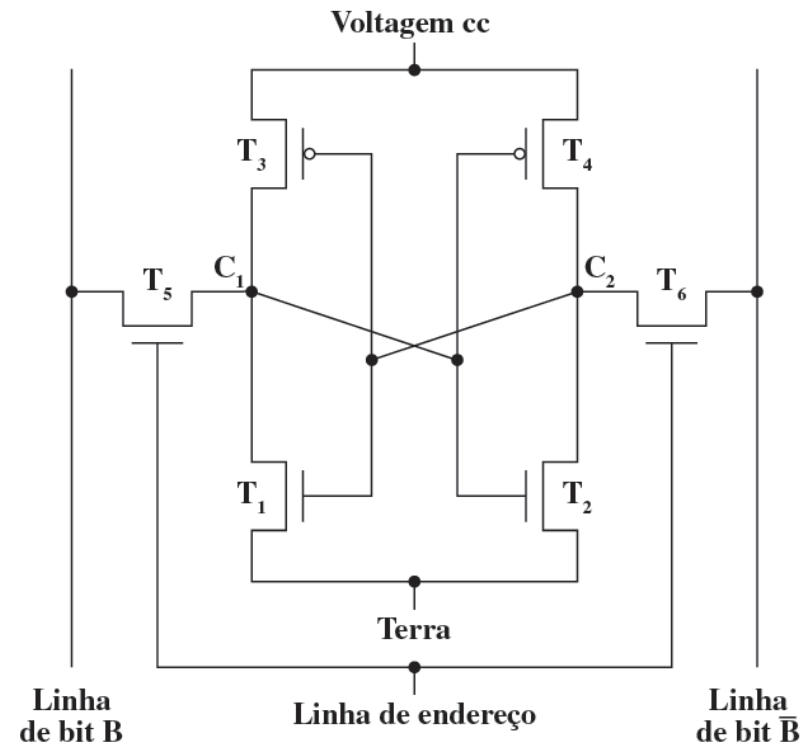
Linha de Endereço  
 Escrita - B e  $\bar{B}$   
 Leitura - B



# DRAM E SRAM

## ✓ Operação da RAM estática (SRAM)

- Arranjo de transistores gera estado lógico estável
- Estado 1:
  - C1 alta, C2 baixa
  - T1 T4 desligados, T2 T3 ligados
- Estado 0:
  - C2 alto, C1 baixo
  - T2 T3 desligados, T1 T4 ligados
- Linha de endereço controla dois transistores, T5 T6
- Escrita – aplica valor a B e complemento a B
- Leitura – valor está na linha B



# DRAM E SRAM

## ✓ SRAM versus DRAM

- Ambas voláteis
  - É preciso energia para preservar os dados
- Célula dinâmica:
  - Mais simples de construir, menor
  - Mais densa
  - Mais barata
  - Precisa de refresh
  - Maiores unidades de memória
- Estática:
  - Mais rápida
  - Cache

# Tipos de ROM

- ✓ Uma **memória somente de leitura** (ROM – do inglês, *Read-Only Memory*) **contém um padrão de dados, que não pode ser mudado.**
- ✓ Uma ROM é **não volátil**, ou seja, nenhuma fonte de energia é necessária para manter os valores dos bits na memória. Aplicação: Microprogramação, sub-rotinas de biblioteca, programas do sistema (BIOS) e tabelas de funções.
- ✓ A **ROM programável (PROM)** é não volátil e **pode ser gravada apenas uma vez.**
- ✓ A memória **somente de leitura programável e apagável (EPROM)** opticamente é lida e gravada eletricamente, assim como a PROM.





# Tipos de ROM

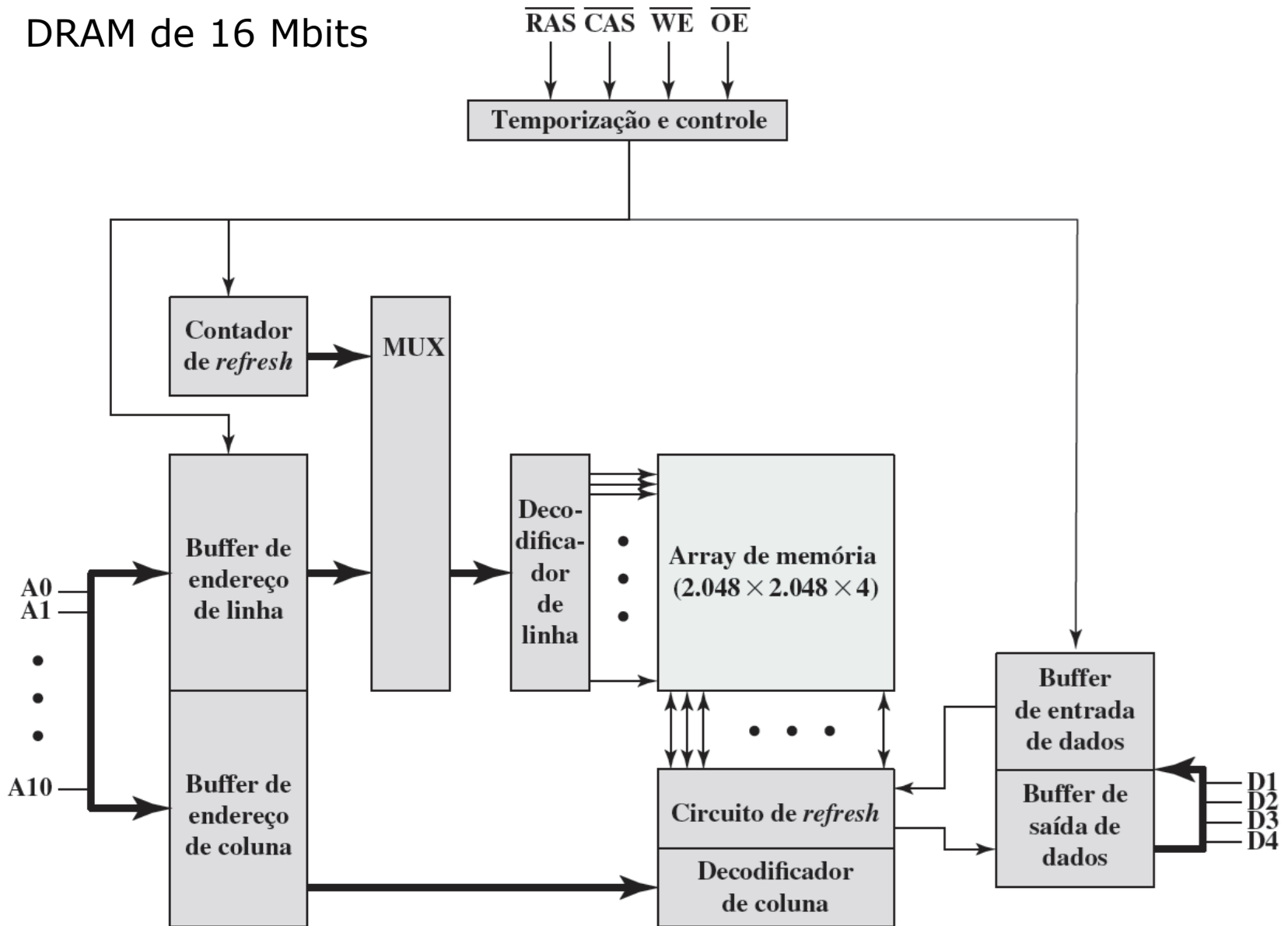
- ✓ Uma forma mais atraente de memória **principalmente de leitura** é a memória somente de leitura programável e apagável eletricamente (**EEPROM**).
- ✓ Essa é uma memória principalmente de leitura que pode ser gravada a qualquer momento sem apagar o conteúdo anterior; somente o byte ou os bytes endereçados são atualizados.
- ✓ Outra forma de memória de semicondutor é a **memória flash**.
- ✓ **É intermediária entre a EPROM e a EEPROM** tanto no custo quanto na funcionalidade.

# Lógica do chip

- ✓ Assim como outros produtos de circuitos integrados, a memória semicondutora vem em chips encapsulados.
- ✓ Cada chip contém um array de células de memória.
- ✓ Por exemplo, um chip de 16 Mbits poderia ser organizado com 1 M palavras de 16 bits.
- ✓ No outro extremo está a chamada organização de 1 bit por chip, em que os dados são lidos/escritos 1 bit de cada vez.
- ✓ A figura a seguir mostra uma organização típica de uma DRAM de 16 Mbits.

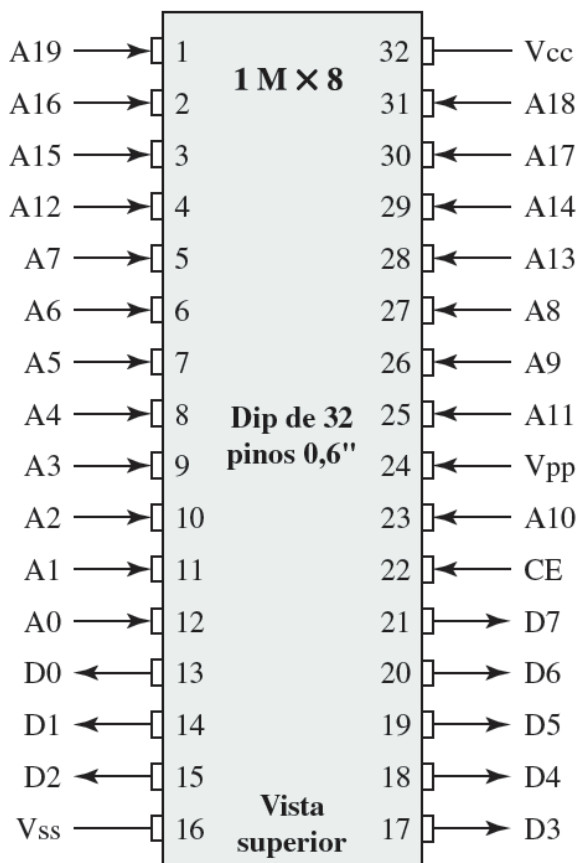
# Lógica do chip

DRAM de 16 Mbits

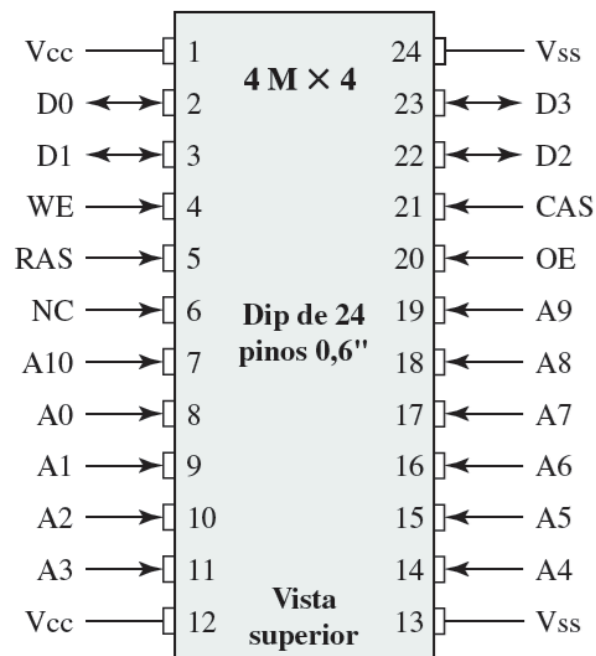


# Encapsulamento do chip

- ✓ Um circuito integrado é montado em uma cápsula que contém pinos para conexão com o mundo exterior:



Eprom de 8 Mbits

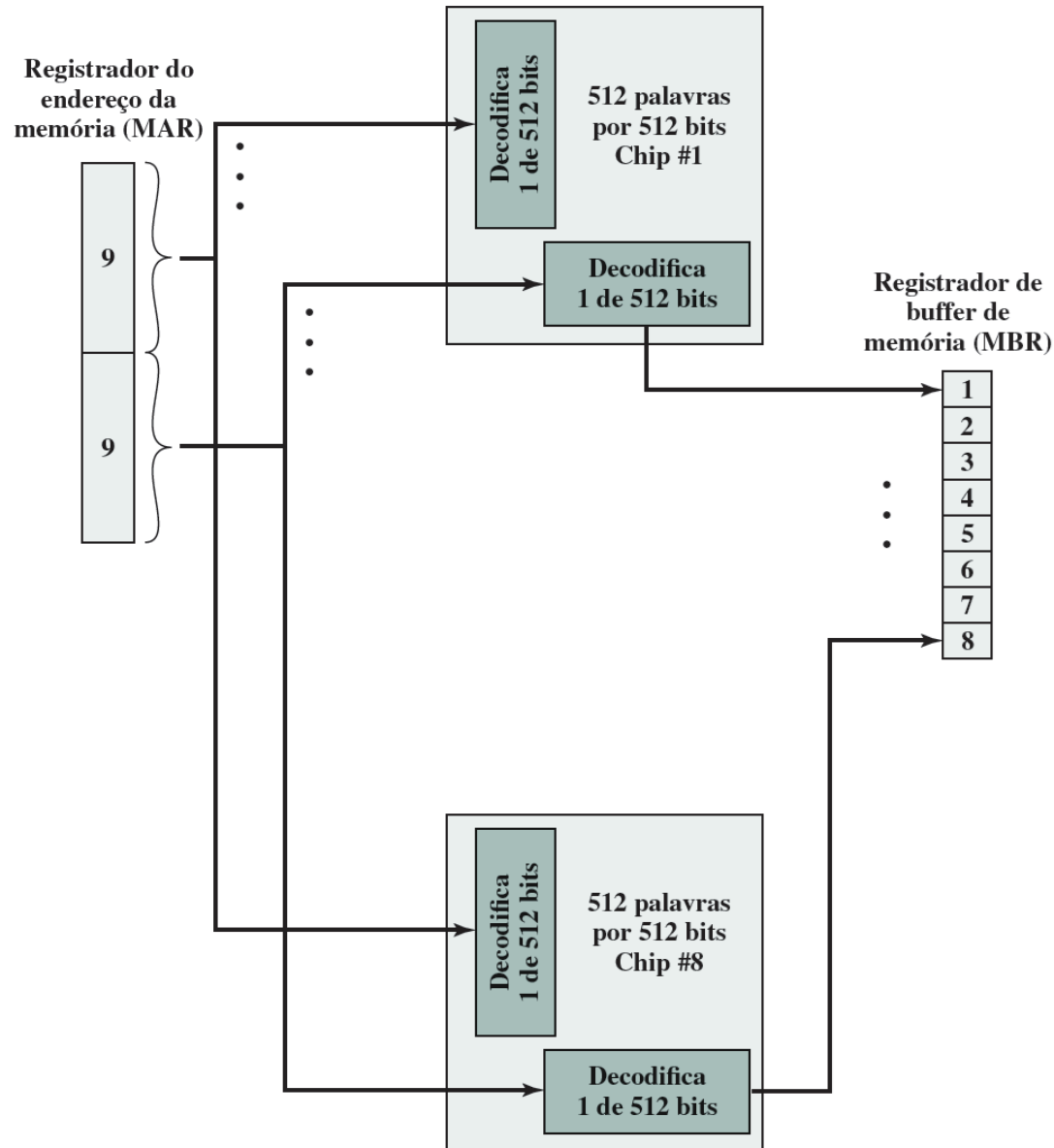


DRAM de 16 Mbits



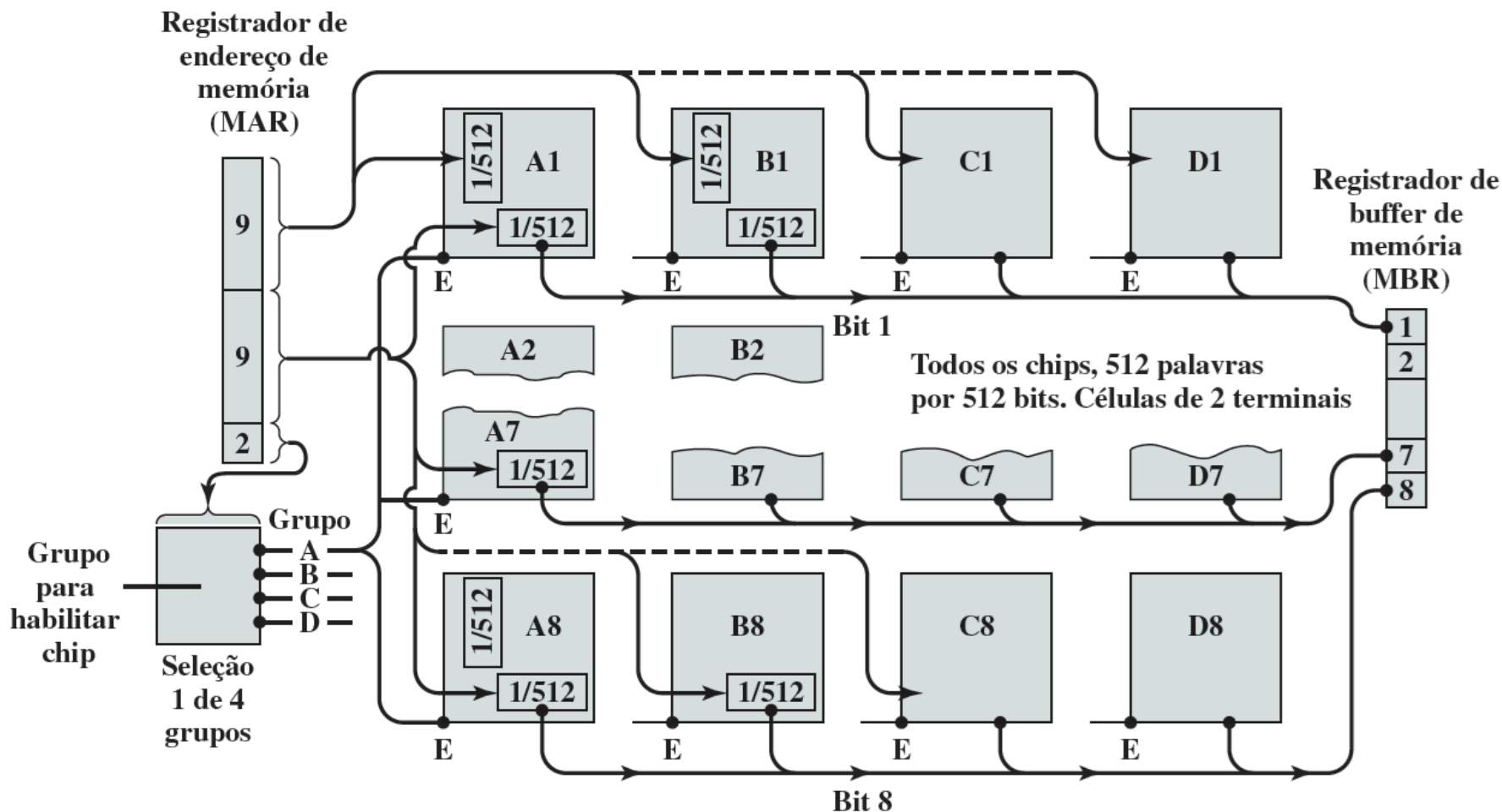
# Organização do módulo

- ✓ Organização de memória de 256 kB de 8 bits



# Organização do módulo

- ✓ Organização de memória de 1 MB

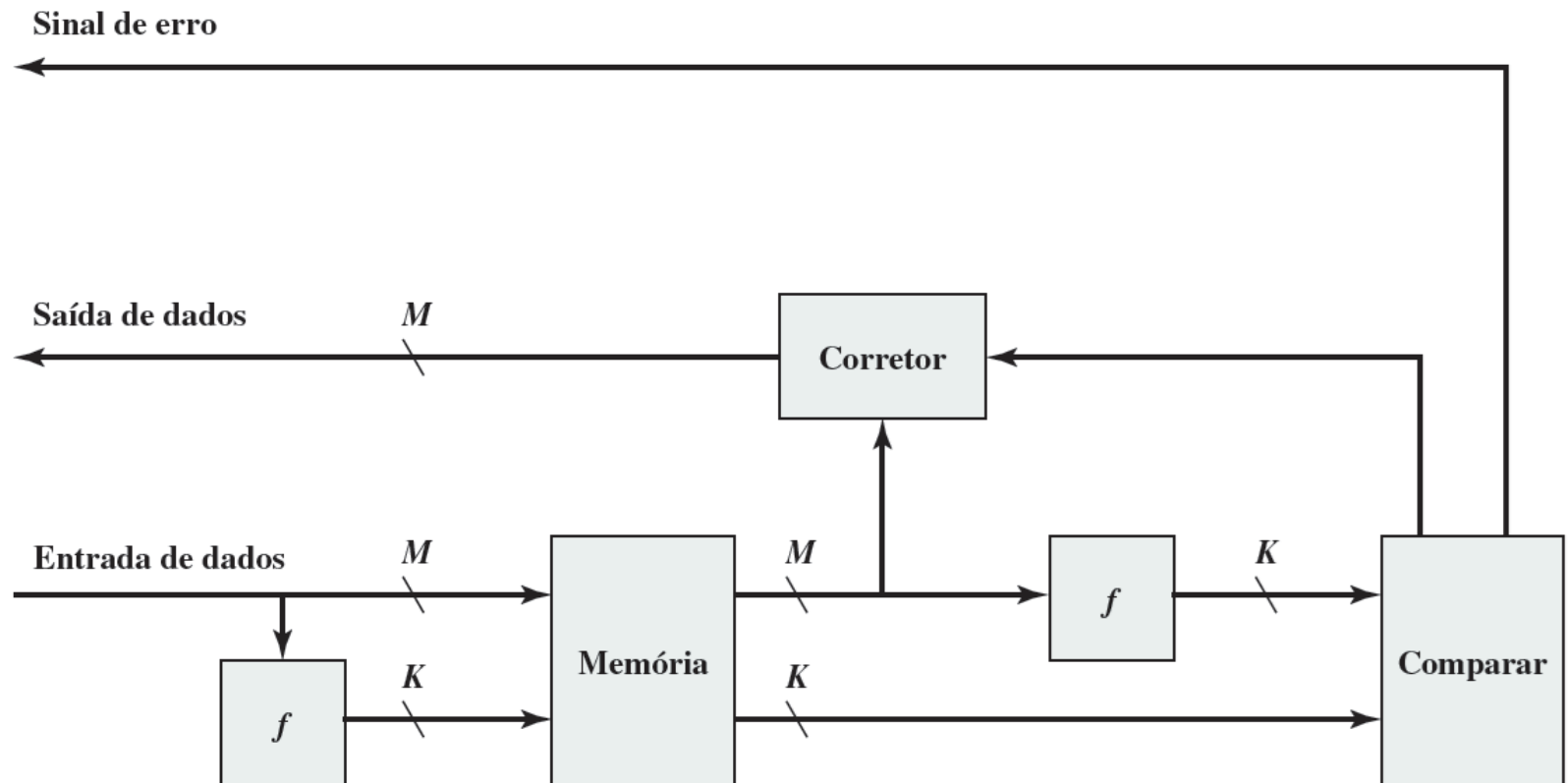


## Correção de erro

- ✓ A **falha permanente** é um defeito físico permanente, de modo que a célula ou células de memória afetadas não podem armazenar dados de modo confiável, **mas ficam presas em 0 ou 1, ou alternam erroneamente entre 0 e 1.**
- ✓ Um **erro não permanente é um evento aleatório, não destrutivo**, que altera o conteúdo de uma ou mais células de memória sem danificar a memória.
- ✓ Erros permanentes e não permanentes certamente são indesejáveis, e a maioria dos sistemas de memória modernos inclui lógica para detectar e corrigir erros.

# Correção de erro

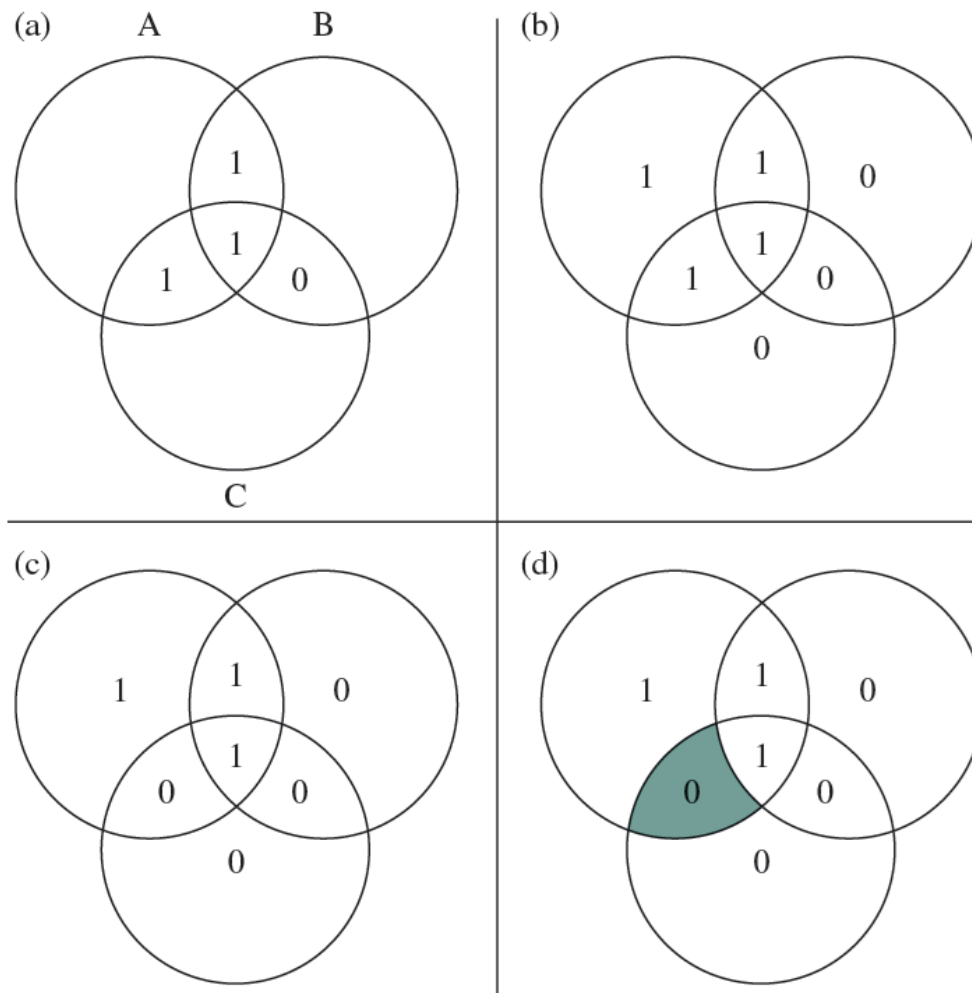
- ✓ Função do código de correção de erro



# Correção de erro

- ✓ Os códigos que operam nesse padrão são conhecidos como códigos de correção de erros.
- ✓ Um código caracterizado pelo número de erros de bit em uma palavra que pode ser corrigido e detectado.
- ✓ O mais simples dos códigos de correção de erro é o **código de Hamming**, idealizado por Richard Hamming, no Bell Laboratories.
- ✓ A figura a seguir usa diagramas de Venn para ilustrar o uso desse código em palavras de 4 bits ( $M = 4$ ).

# Correção de erro



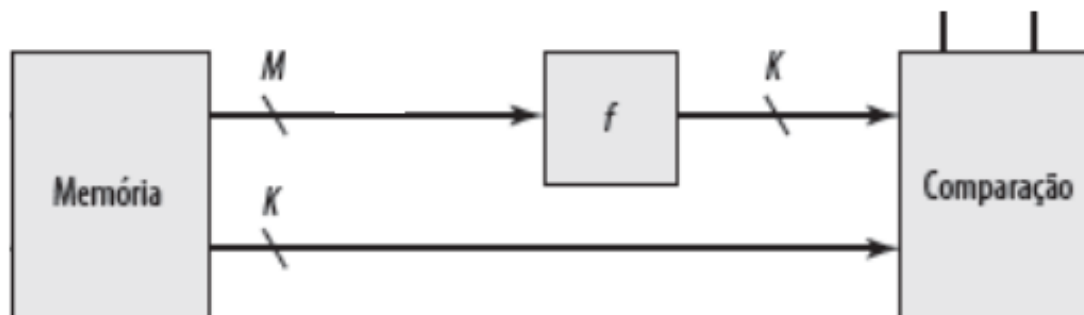


# Correção de erro

- ✓ Número de bits necessários para corrigir um erro de um único bit em uma palavra de  $M$  bits.

$$2^K - 1 \geq M + K$$

Palavra Síndrome - XOR entre as entradas



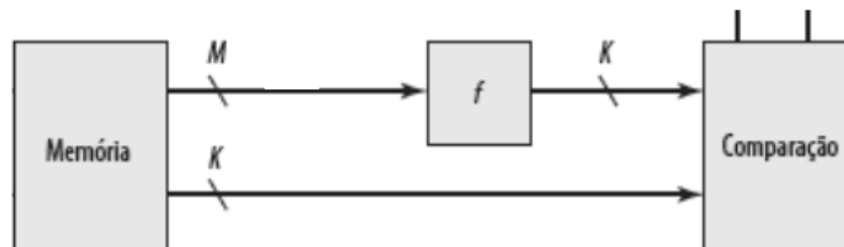
# Correção de erro

## ✓ Código de correção de erro de Hamming

Palavra Síndrome – K bits

- se a palavra síndrome contiver apenas 0s, nenhum erro foi detectado.
- se a palavra síndrome contiver um e apenas um bit definido como 1, então houve um erro em um dos 4 bits de verificação. Nenhuma correção é necessária.
- se a palavra síndrome contiver mais de um bit definido como 1, então **o valor numérico da palavra síndrome indica a posição do bit de dado com erro**. Esse bit de dado é invertido para a correção.

Palavra Síndrome - XOR entre as entradas



# Correção de erro

- ✓ Código de correção de erro de Hamming

Layout de bits de dados e bits de verificação

Posição de bit	12	11	10	9	8	7	6	5	4	3	2	1
Número da posição	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001
Bit de dados	D8	D7	D6	D5		D4	D3	D2		D1		
Bit de verificação					C8				C4		C2	C1

As posições de bit cujos números de posição são potência de 2 são designadas como bits de verificação.

$$C1 = D1 \oplus D2 \oplus D4 \oplus D5 \oplus D7$$

$$C2 = D1 \oplus D3 \oplus D4 \oplus D6 \oplus D7$$

$$C4 = D2 \oplus D3 \oplus D4 \oplus D8$$

$$C8 = D5 \oplus D6 \oplus D7 \oplus D8$$

# Correção de erro

- ✓ Código de correção de erro de Hamming

Layout de bits de dados e bits de verificação

Posição de bit	12	11	10	9	8	7	6	5	4	3	2	1
Número da posição	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001
Bit de dados	D8	D7	D6	D5		D4	D3	D2		D1		
Bit de verificação					C8				C4		C2	C1

Palavra de entrada 00111001

$$C1 = 1 \oplus 0 \oplus 1 \oplus 1 \oplus 0 = 1$$

$$C2 = 1 \oplus 0 \oplus 1 \oplus 1 \oplus 0 = 1$$

$$C4 = 0 \oplus 0 \oplus 1 \oplus 0 = 1$$

$$C8 = 1 \oplus 1 \oplus 0 \oplus 0 = 0$$

# Correção de erro

- ✓ Código de correção de erro de Hamming

Cálculo do bit de verificação

Posição de bit	12	11	10	9	8	7	6	5	4	3	2	1
Número da posição	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001
Bit de dados	D8	D7	D6	D5		D4	D3	D2		D1		
Bit de verificação					C8				C4		C2	C1
Palavra armazenada como	0	0	1	1	0	1	0	0	1	1	1	1
Palavra buscada como	0	0	1	1	0	1	1	0	1	1	1	1
Número da posição	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001
Bit de verificação					0				0		0	1

Supondo que o bit de dados 3 sustente um erro e seja mudado de 0 para 1.

# Correção de erro

- ✓ Código de correção de erro de Hamming

Layout de bits de dados e bits de verificação

- Erro no bit 3 passando de 0 para 1 00111101

$$C1 = 1 \oplus 0 \oplus 1 \oplus 1 \oplus 0 = 1$$

$$C2 = 1 \oplus 1 \oplus 1 \oplus 1 \oplus 0 = 0$$

$$C4 = 0 \oplus 1 \oplus 1 \oplus 0 = 0$$

$$C8 = 1 \oplus 1 \oplus 0 \oplus 0 = 0$$

# Correção de erro

- ✓ Código de correção de erro de Hamming

Layout de bits de dados e bits de verificação

- Quando os novos bits de verificação forem comparados com os bits de verificação antigos, a palavra síndrome é formada:

	C8	C4	C2	C1
	0	1	1	1
	0	0	0	1
+	<hr/>			
	0	1	1	0

- O resultado é 0110, indicando que a posição de bit 6, que contém o bit 3 está com erro.

# Correção de erro

- ✓ Código de correção de erro de Hamming

Cálculo do bit de verificação

Posição de bit	12	11	10	9	8	7	6	5	4	3	2	1
Número da posição	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001
Bit de dados	D8	D7	D6	D5		D4	D3	D2		D1		
Bit de verificação					C8				C4		C2	C1
Palavra armazenada como	0	0	1	1	0	1	0	0	1	1	1	1
Palavra buscada como	0	0	1	1	0	1	1	0	1	1	1	1
Número da posição	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001
Bit de verificação					0				0		0	1



# Correção de erro

- ✓ Aumento no tamanho da palavra com correção de erro:

Bits de dados	Correção de erro único		Correção de erro único/ detecção de erro duplo	
	Bits de verificação	% de aumento	Bits de verificação	% de aumento
8	4	50,0	5	62,5
16	5	31,25	6	37,5
32	6	18,75	7	21,875
64	7	10,94	8	12,5
128	8	6,25	9	7,03
256	9	3,52	10	3,91

# Correção de erro

- ✓ Código de correção de erro de Hamming

## Exercícios

- 1) Suponha que uma palavra de 8 bits armazenada na memória seja 11000010. Utilizando o algoritmo de Hamming, determine quais bits de verificação seriam armazenados na memória com a palavra de dados.
- 2) Para uma palavra de 8 bits 00111001, os bits de verificação armazenados seriam 0111. Suponha que a palavra quando for lida da memória, que os bits de verificação são calculados como 1101. Qual palavra de dados foi lida?

# Correção de erro

- ✓ Código de correção de erro de Hamming

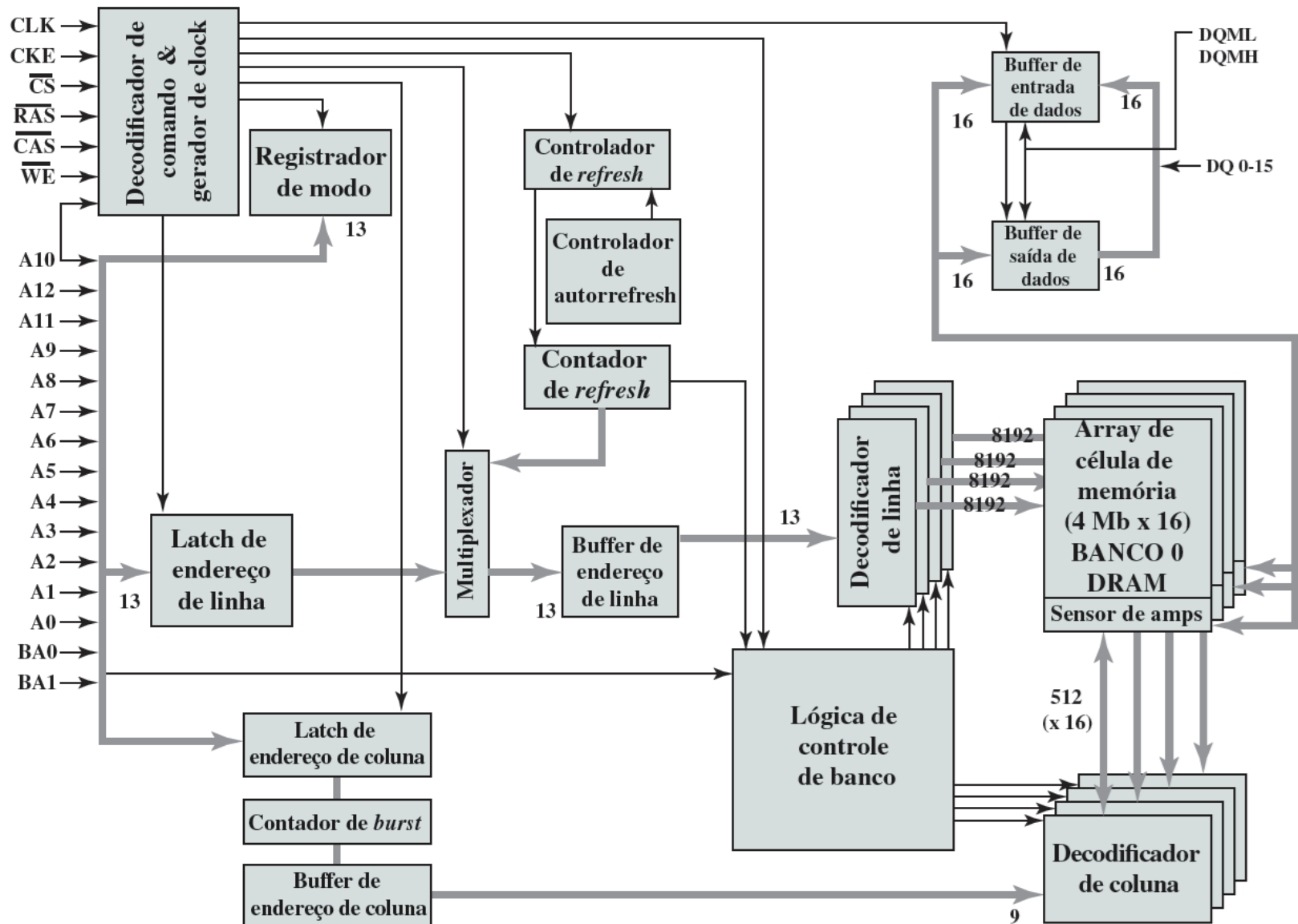
## Exercícios

- 3) Desenvolva um código SEC para uma palavra de 16 bits. Gere o código para a palavra de dados 0101000000111001. Mostre que o código identificará corretamente um erro no bit de dados 5.

# SDRAM

- ✓ Uma das formas mais utilizadas de DRAM é a **DRAM síncrona** (SDRAM – do inglês, *Synchronous* DRAM).
- ✓ A SDRAM troca dados com o processador **sincronizado com um sinal de clock externo e executando na velocidade plena do barramento processador/memória, sem imposição de estados de espera (*wait states*)**.
- ✓ Com o acesso síncrono, a DRAM move dados pra dentro e para fora **sob o controle do clock do sistema**.
- ✓ A figura a seguir mostra a lógica interna da SDRAM de 256 Mb.

# SDRAM



# SDRAM

## ✓ Atribuições dos pinos da SDRAM

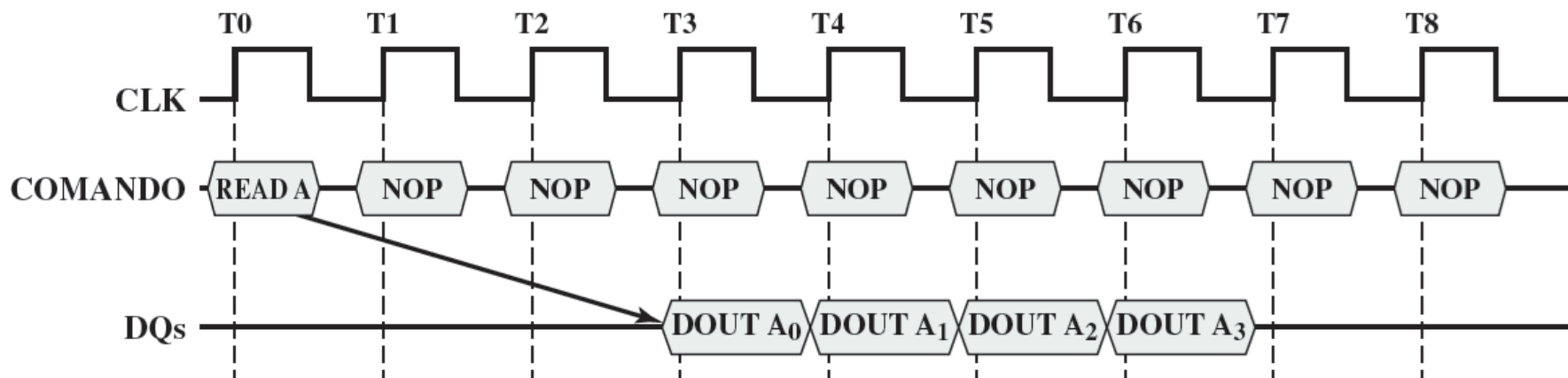
A0 a A13	Entradas de endereço
BA0, BA1	Linhas de endereço de banco
CLK	Entrada de clock
CKE	Habilitação de clock
$\overline{CS}$	Seleção de chip
$\overline{RAS}$	Strobe de endereço de linha
$\overline{CAS}$	Strobe de endereço de coluna
$\overline{WE}$	Habilitação de escrita
DQ0 a DQ7	Entrada/saída de dados
DQM	Máscara de dados

# SDRAM

- ✓ A SDRAM emprega um **modo de rajada** (*burst mode*) para eliminar o tempo de configuração de endereço e tempo de setup da linha e da coluna **após o primeiro acesso**.
- ✓ No modo de rajada, uma série de bits de dados pode ser enviada rapidamente **após o primeiro bit ter sido acessado**.
- ✓ Esse modo é útil quando todos os bits a serem acessados estiverem na sequência e na mesma linha do array do acesso inicial.
- ✓ A SDRAM tem uma arquitetura interna de **múltiplos bancos, que melhora oportunidades de paralelismo do chip**.
- ✓ O registrador de modo (MR – do inglês, *Mode Register*) especifica o **tamanho da rajada (número de unidades separadas de dados alimentadas sincronamente no barramento)**.
- ✓ O MR permite que o programador ajuste a latência entre o recebimento de uma solicitação de leitura e o início da transferência de dados.

# SDRAM

- ✓ A figura abaixo mostra um exemplo de operação da SDRAM.
- ✓ Nesse caso, o tamanho da **rajada** é de 4 e a **latência** é de 2.
- ✓ O comando de leitura de rajada é iniciado com CS e CAS baixos, enquanto se mantêm RAS e WE altos na transição de subida do clock.





# DDR - SDRAM

- ✓ Uma nova versão da SDRAM, referida com Double-Data-Rate DRAM (DDR-DRAM), proporciona características **que aumentam a taxa de dados**.
- ✓ A DDR alcança taxas mais altas de dados de três maneiras:
  1. a transferência de dados é sincronizada **tanto na borda de subida como na descida do clock**;
  2. a DDR **usa frequência de clock mais alta no barramento** para aumentar a taxa de transferência e
  3. um esquema de *buffering* é usado.
- ✓ A DDR-SDRAM foi desenvolvida pela JEDEC *Solid State Technology Association* **que é uma agência de padronização de engenharia de semicondutores da *Electronic Industries Alliance*** (diversas empresas que fabricam chips DDR que são utilizados em computadores desktop e servidores).

# DDR - SDRAM

- ✓ A JEDEC definiu quatro gerações da tecnologia DDR:

	DDR1	DDR2	DDR3	DDR4
Buffer de pré-busca (bits)	2	4	8	8
Nível de voltagem (V)	2,5	1,8	1,5	1,2
Taxas de dados do barramento frontal (Mbps)	200–400	400–1.066	800–2.133	2.133–4.266

- ✓ Embora cada nova geração da SDRAM resulte em muito mais capacidade, **a velocidade do core da SDRAM não mudou de modo significativo de uma geração para a outra.**
- ✓ O buffer de pré-busca **consiste em uma memória cache localizada no chip da SDRAM.**
- ✓ O buffer possibilita que o chip da SDRAM pré-posicione os bits a serem colocados no barramento de dados o mais rápido possível.

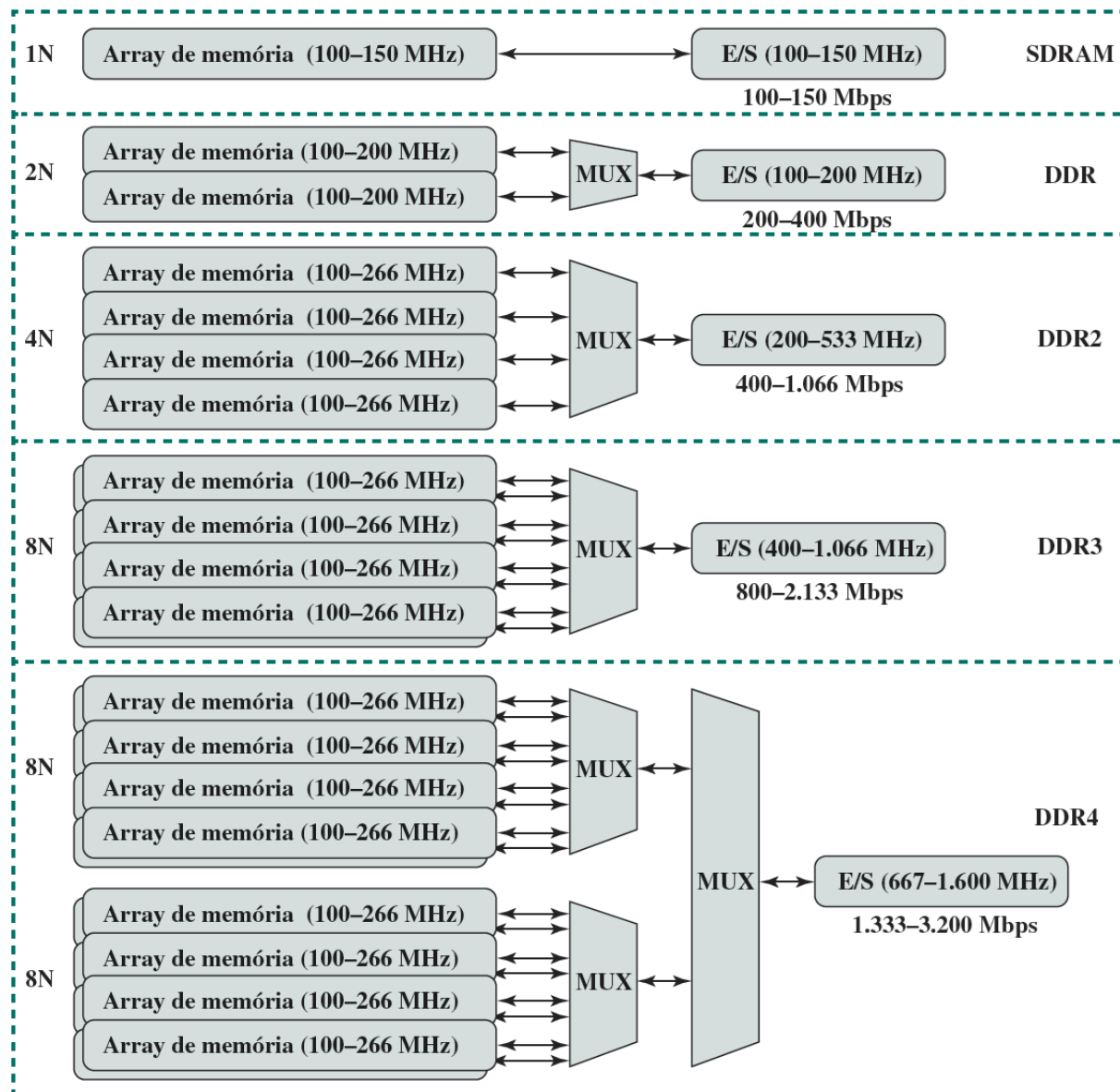
# DDR - SDRAM

- ✓ A JEDEC definiu quatro gerações da tecnologia DDR:

	DDR1	DDR2	DDR3	DDR4
Buffer de pré-busca (bits)	2	4	8	8
Nível de voltagem (V)	2,5	1,8	1,5	1,2
Taxas de dados do barramento frontal (Mbps)	200–400	400–1.066	800–2.133	2.133–4.266

- ✓ O barramento de E/S da SDRAM usa a mesma frequência de clock que o chip da memória, **mas pode tratar dois bits por ciclo, alcançando uma taxa de dados que é o dobro da frequência de clock.**
- ✓ A figura a seguir mostra uma configuração com dois grupos de banco.

# DDR - SDRAM



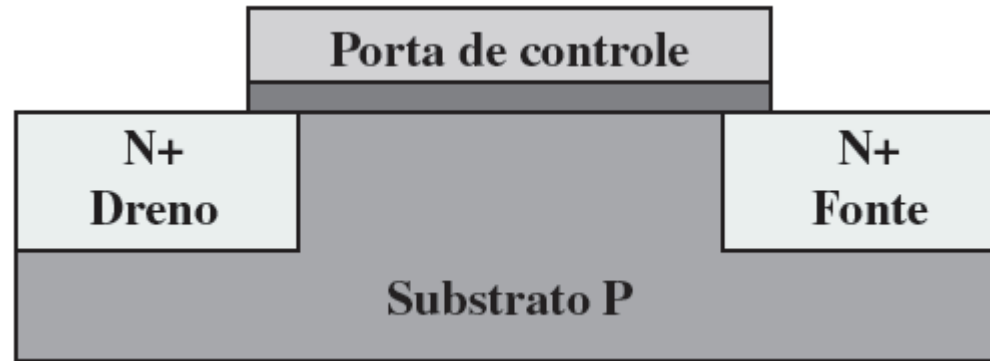
# Memória flash

- ✓ Outra forma de memória semicondutora é a **memória flash**.
- ✓ Ela é usada para aplicações tanto como memória interna como externa.
- ✓ A memória flash é intermediária entre a EPROM e a EEPROM.
- ✓ Como a EEPROM, **a memória flash usa uma tecnologia de apagamento elétrico**, permitindo que **uma memória inteira seja apagada em um ou alguns segundos**, sendo muito mais rápida que uma EPROM.
- ✓ Outra característica da memória flash **é a possibilidade de apagar apenas blocos de memória**, em vez de um chip inteiro.

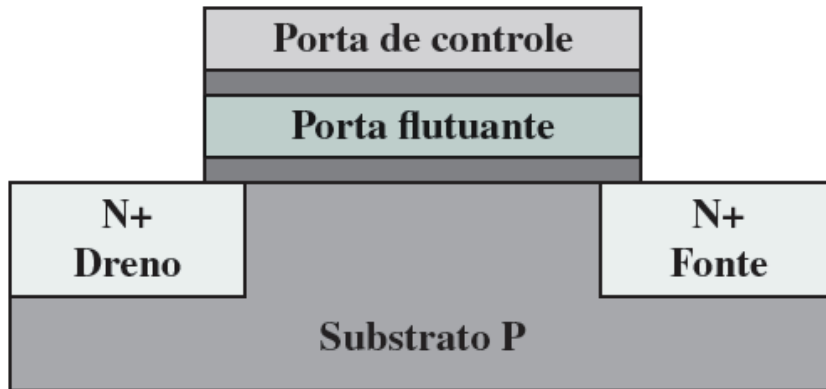
# Memória flash

- ✓ Assim como **a EPROM, a memória flash usa apenas um transistor por bit** e, portanto consegue ter a alta densidade da EPROM (em comparação com a EEPROM).
- ✓ A memória flash **não proporciona o apagamento em nível de byte.**
- ✓ Uma característica importante da memória flash **é que ela é uma memória permanente**, o que significa que ela retém dados quando não há energia aplicada à memória.
- ✓ A figura a seguir ilustra a operação básica de uma memória flash.

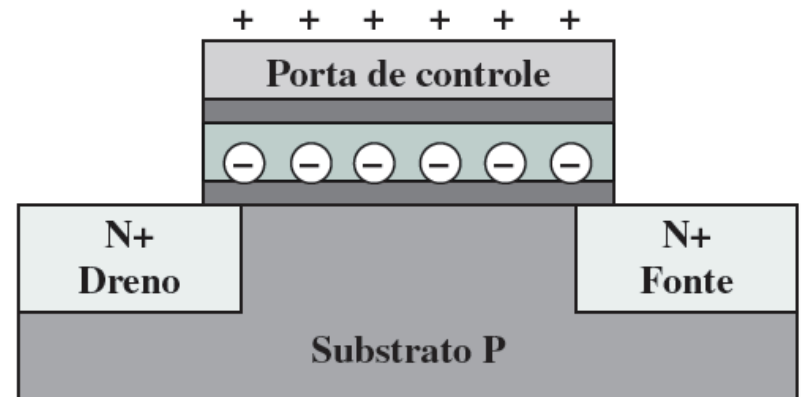
# Memória flash



Estrutura do transistor



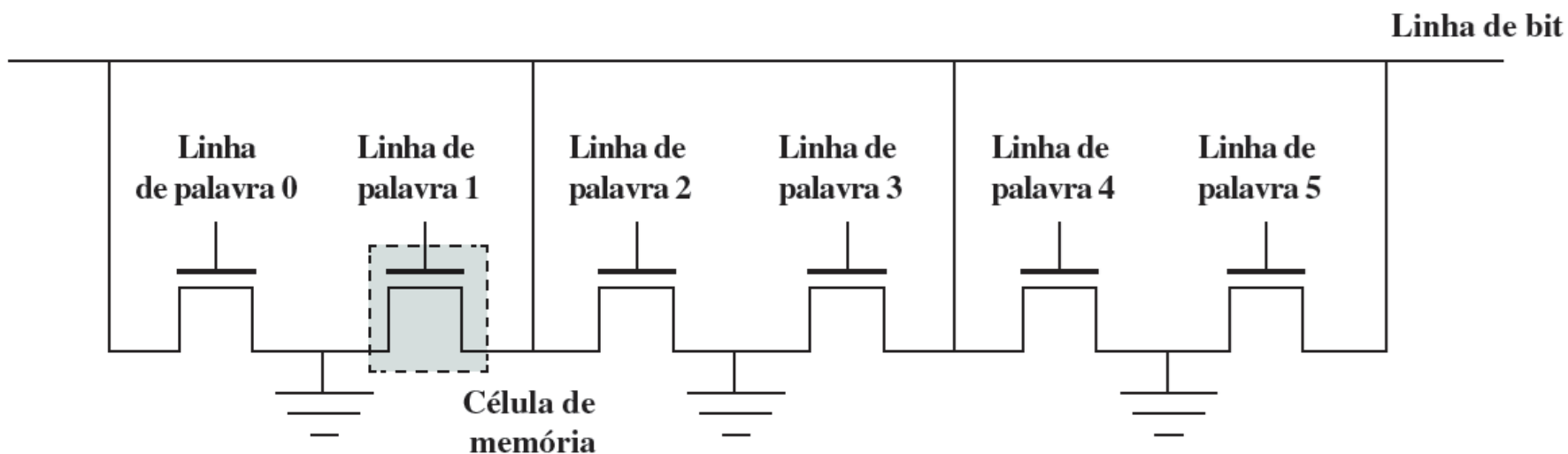
Célula de memória flash no estado 1



Célula de memória flash no estado 0

# Memória flash NOR e NAND

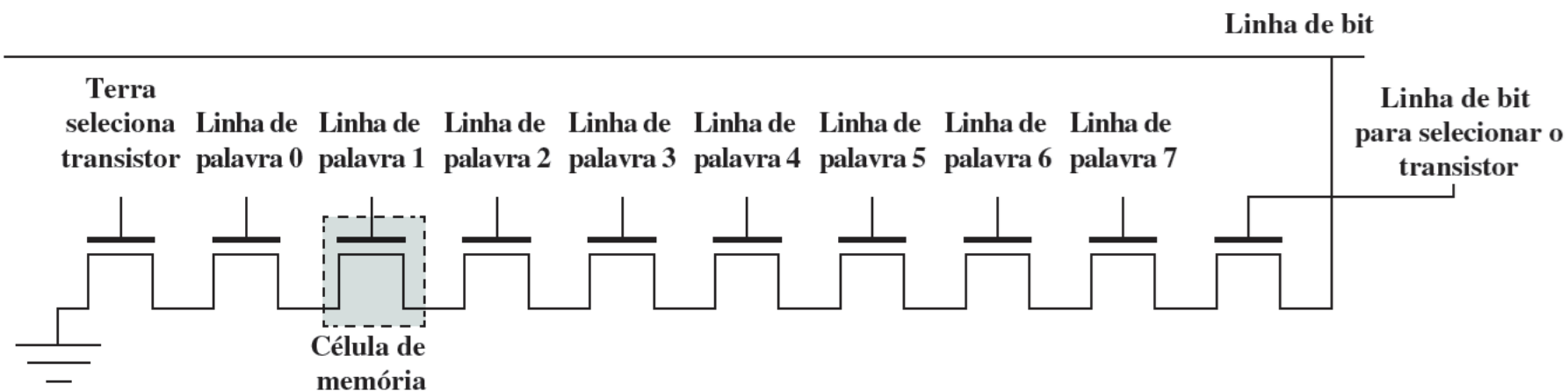
- ✓ Na memória **flash NOR**, a **unidade básica de acesso é um bit**, referido como uma célula de memória.
- ✓ As células na flash **NOR são conectadas em paralelo às linhas de bit**, de modo que **cada célula pode ser lida/gravada/apagada individualmente**.
- ✓ Se qualquer célula de memória do dispositivo for ligada pela linha de palavra correspondente, a linha de bit diminui. Isso é similar em função a uma porta lógica NOR.





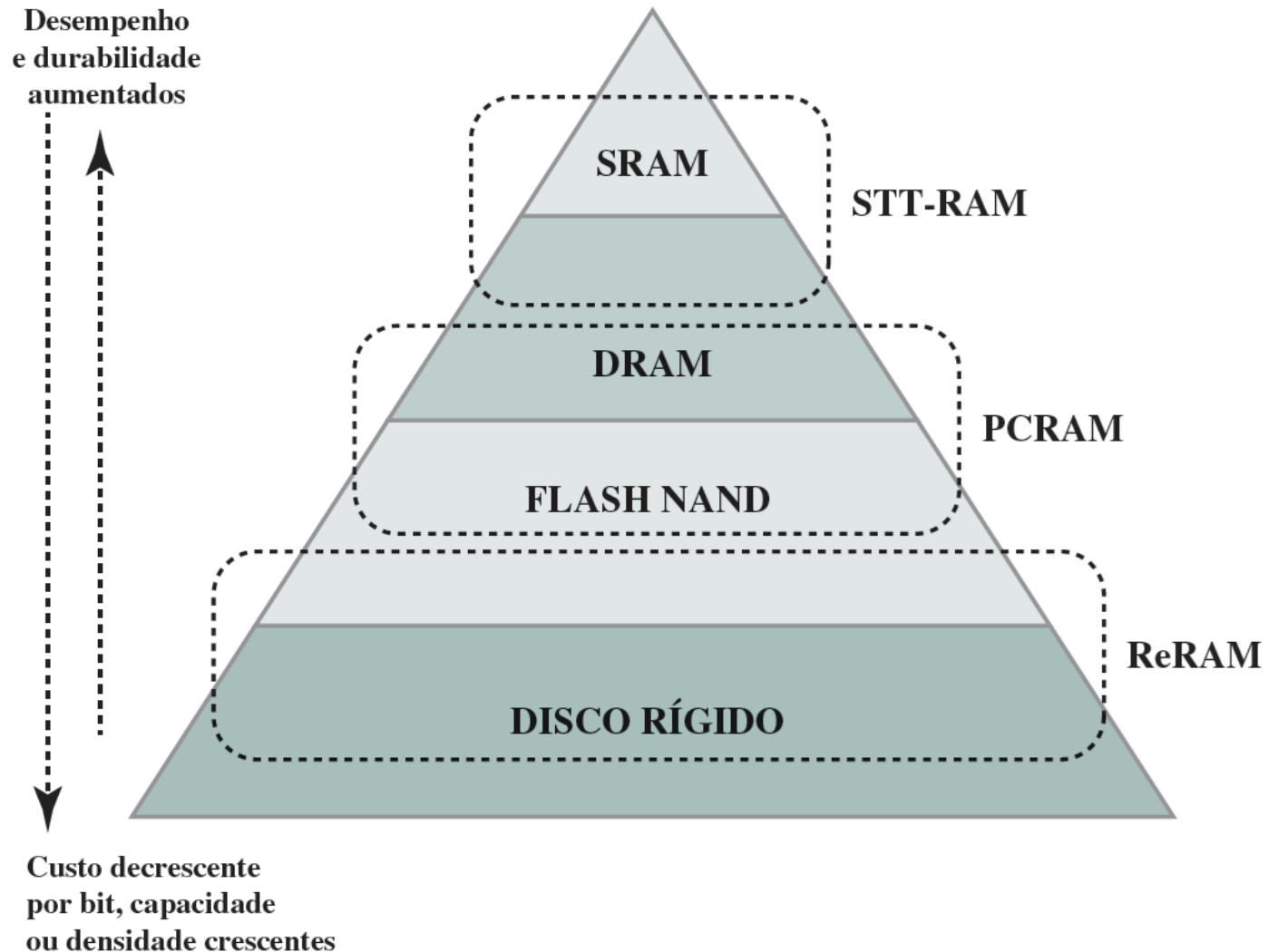
# Memória flash NOR e NAND

- ✓ A memória **flash NAND** é organizada em arrays de transistor com **16 ou 32 transistores em séries**.
- ✓ A linha de bit diminui somente se todos os transistores nas linhas e palavra correspondente forem ligados. Isso é similar em função a uma porta lógica NAND.



# Novas tecnologias de memória de estado sólido não voláteis

- ✓ RAM não volátil dentro da hierarquia da memória



# Novas tecnologias de memória de estado sólido não voláteis

- ✓ RAM estática (SRAM): a SRAM proporciona tempo de acesso rápido, mas é a mais cara e menos densa (densidade de bit). A SRAM é adequada para a memória cache.
- ✓ RAM dinâmica (DRAM): de menor custo e mais lenta que a SRAM, a DRAM tem sido tradicionalmente a escolha como memória principal off-chip.
- ✓ Disco rígido: o disco magnético proporciona densidade de bit mais alta e custo muito menor por bit, com tempos de acesso relativamente menores. É a escolha tradicional para armazenamento externo, como parte da hierarquia de memória.

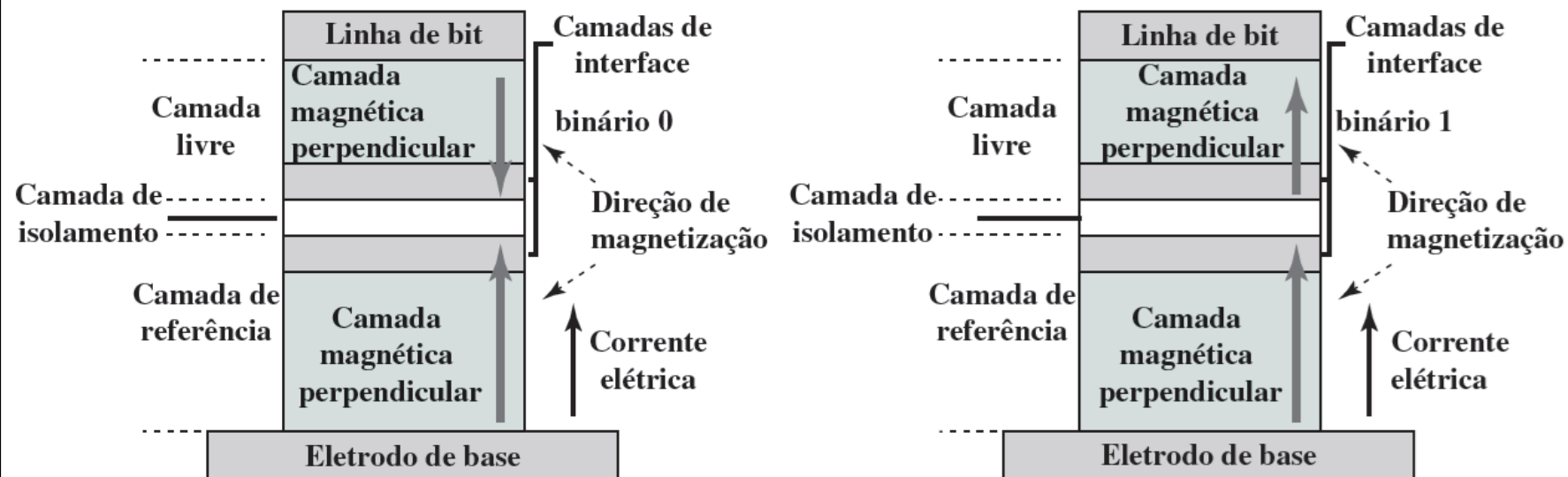
## Novas tecnologias de memória de estado sólido não voláteis

- ✓ Nessa miscelânea, como temos visto, a memória flash tem sido adicionada.
- ✓ Ela tem a vantagem sobre a memória tradicional, que é não volátil.
- ✓ A flash NOR é mais adequada **ao armazenamento de programas e dados estáticos de aplicações em sistemas embarcados.**
- ✓ Ao passo que a flash NAND tem características intermediárias entre a DRAM e os discos rígidos.

# STT - RAM

- ✓ A **STT-RAM** é um novo tipo de RAM magnética (MRAM), que caracteriza a não volatilidade, velocidade rápida de leitura/escrita ( $< 10$  ns), bem como programação de alta durabilidade ( $10^{15}$  ciclos) e energia em standby em 0 (KULTURSAY, 2013).
- ✓ Na STT-RAM, um novo mecanismo de gravação chamado de **comutação da magnetização induzida pela polarização da corrente**, é introduzido.
- ✓ A STT-RAM é uma boa candidata tanto para a cache como para a memória principal.
- ✓ A figura a seguir ilustra a configuração geral.

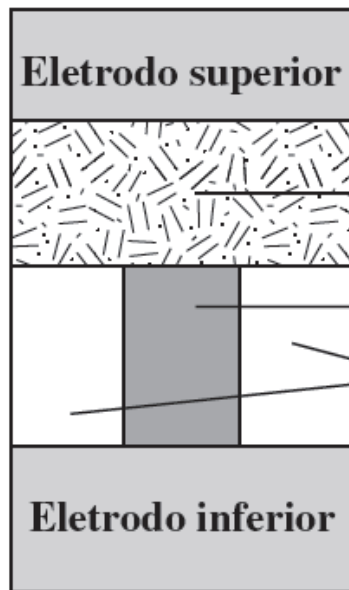
# STT - RAM



# PCRAM

- ✓ A tecnologia **PCRAM** é baseada **em um material de liga de calcogeneto**, que é similar aos usados em geral nos meios de armazenamento óptico.
- ✓ A capacidade de armazenamento de dados é alcançada a partir das **diferenças de resistência entre uma fase amorfa (alta resistência) e uma fase cristalina (baixa resistência)** do material baseado em calcogeneto.
- ✓ A PCRAM é uma boa candidata para substituir ou suplementar a DRAM para a memória principal.

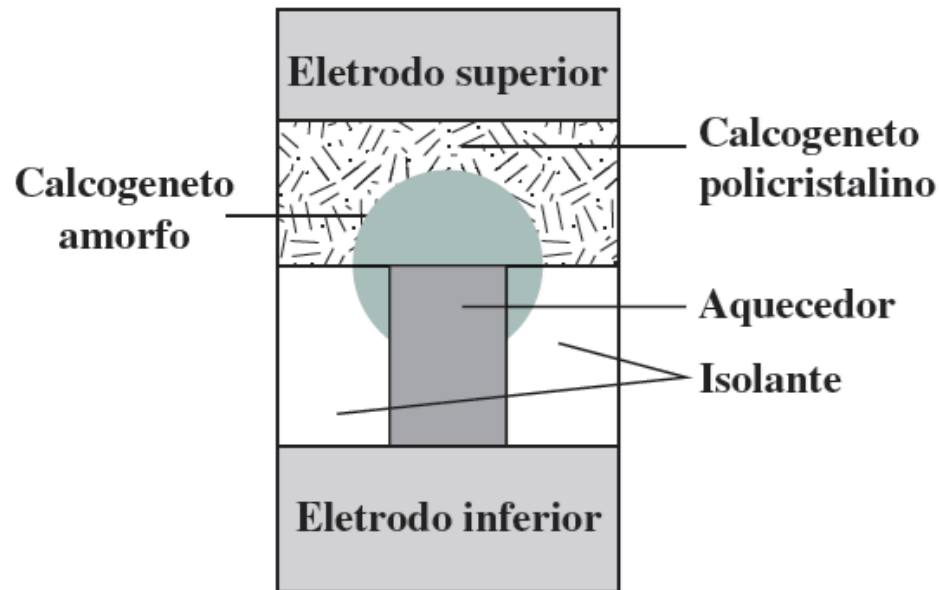
# PCRAM



Calcogeneto policristalino

Aquecedor

Isolante



Calcogeneto amorfo

Calcogeneto policristalino

Aquecedor

Isolante



# ReRAM

- ✓ A **ReRAM** (também conhecida como RRAM) **trabalha criando resistência** em vez de carga direta de armazenamento.
- ✓ Uma corrente elétrica é aplicada a um material, **mudando a resistência desse material**.
- ✓ O estado de resistência pode então ser mensurado, e 1 ou 0 é lido como resultado.
- ✓ A ReRAM é uma boa candidata para substituir ou suplementar tanto o armazenamento secundário como a memória principal.
- ✓ A figura a seguir mostra uma configuração ReRAM.

# ReRAM

