

1. Top_DMA (v1.3)

1. IP Identification & Overview

본 장에서는 IP의 기본 사양 및 개발 환경을 정의합니다.

항목	상세 내용
IP Name	Top_DMA_1_3
Protocol	AXI4-Full (Master), AXI4-Lite (Slave)
Data Width	32-bit (Data), 32-bit (Address)
Max Burst Length	16 Beats (64 Byte)
Target Device	Xilinx Artix-7 (Basys3)
Feature	4KB Boundary Crossing 자동 처리, FIFO Flow Control

2. Architecture & Module Hierarchy

IP는 데이터 경로(Data Path)와 제어 경로(Control Path)의 분리를 위해 계층형 구조로 설계되었습니다.

모듈명	역할	주요 입출력 신호
Top_DMA	최상위 모듈 및 레지스터 제어	S_AXI_LITE, IRQ
Read Master	소스 메모리 데이터 리드 (Read.v)	M_AXI_AR, M_AXI_R
Write Master	데스티네이션 메모리 데이터 라이트 (Write.v)	M_AXI_AW, M_AXI_W, M_AXI_B
Data FIFO	Read/Write 마스터 간 데이터 동기화	full, empty, prog_full

3. Finite State Machine (FSM) Description

각 마스터 엔진의 동작 상태를 정의합니다.

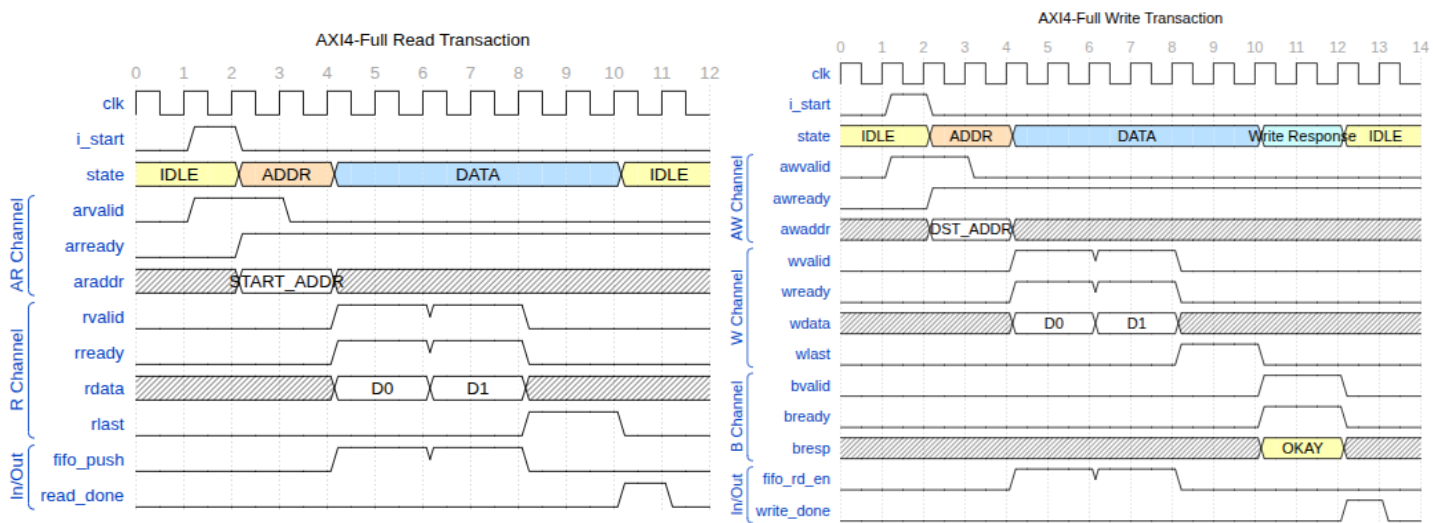
3.1 Read Master FSM (Source Data Fetch)

상태 (State)	동작 설명	전이 조건 (Transition)
IDLE	초기 상태	dma_start 신호 인가 시 ADDR_WAIT로 전이
ADDR_WAIT	주소 채널(AR) 승인 대기	ARREADY 수신 시 DATA_READ로 전이
DATA_READ	데이터 수신 및 FIFO 기록	RLAST 수신 시 전송 종료 또는 루프 반복

3.2 Write Master FSM (Destination Data Commit)

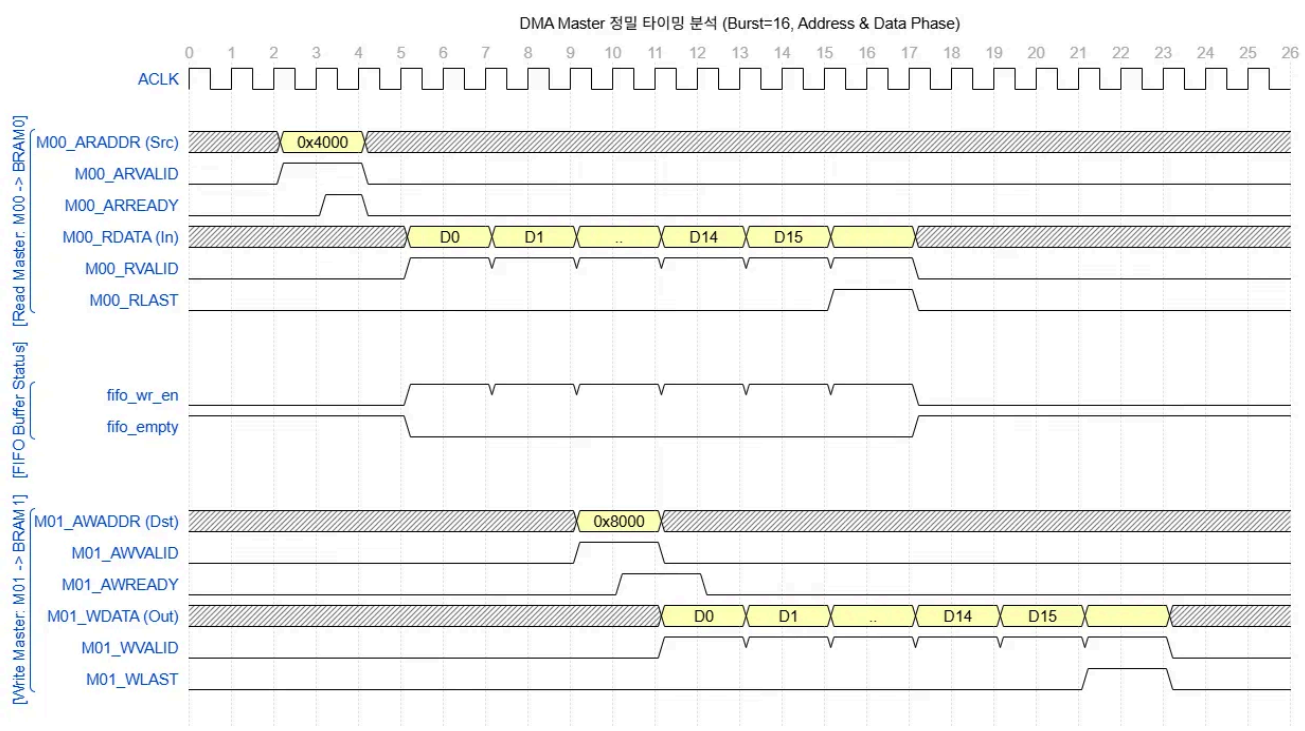
상태 (State)	동작 설명	전이 조건 (Transition)
IDLE	FIFO 데이터 모니터링	FIFO에 데이터 존재 시 ADDR_WAIT로 전이
ADDR_WAIT	주소 채널(AW) 승인 대기	AWREADY 수신 시 DATA_WRITE로 전이
DATA_WRITE	데이터 전송 및 WLAST 생성	버스트 완료 시 RESP_WAIT로 전이
RESP_WAIT	쓰기 완료 응답 대기	BVALID 수신 시 IDLE로 복귀 및 인터럽트 발생

3.3 Read, Write Master State Transition and AXI4 Timing



3.4 정밀 타이밍 분석 (AXI4-Full Burst-16)

AXI4-Full 버스트 전송(Burst Length = 16) 시의 주소 단계(Address Phase)와 데이터 단계(Data Phase)를 분석하여 설계의 적합성을 검증합니다.



4. Register & Interface Description

본 장에서는 IP의 외부 제어를 위한 AXI-Lite Slave 레지스터 사양과, 이를 내부 엔진인 Read/Write Master에 매핑하여 실제 동작을 유도하는 인터페이스 명세를 정의합니다.

4.1 External AXI-Lite Slave Registers (Top Level)

CPU가 시스템 버스를 통해 접근하여 DMA 동작을 프로그래밍하는 레지스터 맵입니다.

Register	Offset	Name	Description	Access	Reset Value
slv_reg0	0x00	REG_START	DMA 시작 제어 (Bit 0: Start)	R/W	0x0000_0000
slv_reg1	0x04	REG_STATUS	상태 확인 (Bit 0: Done, Bit 1: Error)	R	0x0000_0000
slv_reg2	0x08	REG_SRC	Source 시작 주소 (읽기 시작점)	R/W	0x0000_0000
slv_reg3	0x0C	REG_DST	Destination 시작 주소 (쓰기 시작점)	R/W	0x0000_0000
slv_reg4	0x10	REG_LEN	전송할 총 데이터 길이 (Byte 단위)	R/W	0x0000_0000

4.2 Internal Module Interface (Read/Write Master)

Top 모듈에서 수신한 설정값이 실제 데이터 전송 엔진(Read.v, Write.v)으로 전달되는 내부 인터페이스 명세입니다.

IP 모듈	구분 (NAME)	역할	R/W	비트 구성 (D31 ... D0)
Read_Master (Full Master 00)	RD_CTRL	읽기 동작 제어 및 시작 신호 수신	R/W	[0]: Start (1 입력 시 동작 시작)
	RD_ADDR	읽기 소스 주소 (i_src_addr)	R/W	[31:0]: Source Address
	RD_LEN	총 읽기 바이트 길이 (i_total_len)	R/W	[31:0]: Total Length
	RD_STAT	읽기 동작 상태 (완료 확인)	R	[0]: Done (완료 시 1, 읽기 후 Clear)
Write_Master (Full Master 01)	WR_CTRL	쓰기 동작 제어 및 시작 신호 수신	R/W	[0]: Start (1 입력 시 동작 시작)
	WR_ADDR	쓰기 목적지 주소 (i_dst_addr)	R/W	[31:0]: Destination Address
	WR_LEN	총 쓰기 바이트 길이 (i_total_len)	R/W	[31:0]: Total Length
	WR_STAT	쓰기 동작 상태 (완료 확인)	R	[0]: Done (완료 시 1, 쓰기 후 Clear)

4.3 Address Mapping & Memory Connectivity

내부 마스터들이 접근하는 타겟 BRAM의 주소 영역 정의입니다.

- Source BRAM (AXI BRAM Controller 0): 0xC000_0000 번지로부터 데이터를 읽어옵니다.
- Destination BRAM (AXI BRAM Controller 1): 0xC200_0000 번지에 데이터를 기록합니다.

4.4 Data Buffer Specification (FIFO)

본 IP는 Read Master와 Write Master 간의 데이터 동기화 및 버스 대역폭 최적화를 위해 고성능 버퍼를 사용합니다.

항목	사양 (Specification)	Name
FIFO Type	Synchronous FIFO (Internal)	동일 클럭 도메인(ACLK) 동기화
Read Mode	First Word Fall Through (FWFT)	Zero-latency Read 지원
Data Width	32-bit	AXI4 데이터 폭과 일치
FIFO Depth	1024	보통 16 Depth 이상 권장 (Burst Size 고려)
Full Condition	fifo_full 신호 활성화	Read Master의 데이터 요청 중단 (Backpressure)
Empty Condition	fifo_empty 신호 활성화	Write Master의 데이터 전송 대기

5. Verification & Performance Analysis

본 장에서는 설계된 1D DMA IP의 기능적 완결성과 성능 효율성을 검증하기 위한 테스트 시나리오 및 측정 결과를 기술합니다.

5.1 External AXI-Lite Slave Registers (Top Level)

AXI4 DMA 기능 검증 스위트(Verification Suite)를 통해 데이터 무결성과 경계 처리 로직을 점검하였습니다.

테스트 항목	검증 내용	결과
TEST A: Sweep Test	4 Bytes부터 16,384 Bytes까지 다양한 데이터 크기 전송	PASS
TEST B: Pattern Test	Walking 1, Inverted 패턴 등을 통한 데이터 정합성 확인	PASS
TEST C: Boundary Test	4KB 경계(Boundary Crossing) 주소 전송 로직 검증	PASS
Total Result	총 18개 테스트 시나리오 수행	18 / 18 Passed

5.2 성능 벤치마크 (Performance Benchmarking)

항목	CPU (Software)	DMA (Polling)	DMA (Interrupt)
소요 클럭 (Ticks)	376,888 Ticks	11,363 Ticks	12,040 Ticks
소요 시간 (us)	3,768.88 us	113.63 us	120.40 us
전송 속도 (MB/s)	8.69 MB/s	276.00 MB/s	272.16 MB/s
Speedup (배율)	1.0x (기준)	33.17x 빠름	31.30x 빠름
CPU 추가 연산	0회	0회	804회 (Counter)
비고	소프트웨어 부하 극심	IP 최대 전송 성능	시스템 멀티태스킹

2. 2D Top_DMA (v1.0)

1. IP Identification & Overview

본 IP는 2차원 메모리 구조에서 특정 데이터 블록(Region of Interest, ROI)을 고속으로 추출 및 전송하기 위해 설계된 지능형 AXI4-Full Master IP입니다.

항목	상세 내용
IP Name	2D_Top_DMA_1_0
Protocol	AXI4-Full (Master), AXI4-Lite (Slave)
Key Function	2D Stride Based Addressing (Image Cropping)
Max Throughput	약 229 MB/s (Basys3 100MHz 기준)
Speedup	CPU 대비 최대 104.31배 향상 (21x21 ROI 전송 기준)

2. Architecture & Module Hierarchy

2D DMA는 주소 생성을 위한 별도의 2D Arithmetic Engine을 포함하고 있습니다.

모듈명	역할	2D 특화 설계 내용
Top_2D_DMA	최상위 모듈 및 레지스터 제어	AXI-Lite를 통해 수신한 WIDTH, HEIGHT, STRIDE 값을 각 마스터로 전달
Read Master	지능형 주소 생성 및 읽기	이중 루프(Row/Col) 제어 로직을 내장하여, 한 줄 전송 후 스스로 다음 행의 시작 주소를 계산
Write Master	데이터 목적지 쓰기	FIFO에서 데이터를 받아 목적지 메모리에 정해진 규칙대로 데이터 기록
Data FIFO	데이터 완충 및 동기화	Read/Write 간의 전송 속도 차이를 조절하는 핵심 버퍼

3. 2D Address Generation Logic (Internal Implementation)

별도의 엔진 모듈 없이 Read.v 내부의 FSM과 카운터를 통해 2D 전송이 제어됩니다.

3.1 내부 카운터 및 주소 업데이트 로직

- Pixel Counter:** 현재 행(Row)에서 전송된 바이트 수를 카운트하며 REG_WIDTH 도달 여부를 감시합니다.

- **Line Counter:** 현재까지 전송된 행의 수를 카운트하며 **REG_HEIGHT** 도달 시 전체 전송을 종료합니다.
- **Address Jump:** 한 행의 전송이 끝날 때(**Pixel Counter == WIDTH**), 현재 주소에 **REG_STRIDE** 값을 더하여 다음 행의 시작 주소로 점프합니다.

3.2 수정된 **FSM** 흐름 (**Read.v** 기준)

1. **IDLE:** dma_start 수신 시 소스 주소(**REG_SRC**)를 시작 주소로 설정.
2. **BURST_READ:** AXI 버스트를 통해 한 행의 일부 또는 전체 데이터를 읽어 **FIFO**에 기록.
3. **LINE_CHECK:** 한 행(**WIDTH**)의 전송이 완료되었는지 확인.
4. **STRIDE_ADD:** 행이 남았다면 현재 주소에 **STRIDE**를 더해 주소를 갱신하고 다시 2단계로 복귀.
5. **DONE:** 모든 행(**HEIGHT**) 전송 완료 시 종료 신호 발생.

4. Register & Interface Description

수정된 Read.v와 Write.v에 제어 신호를 공급하기 위한 레지스터 구성입니다.

Register	Offset	Name	Description	Access	Reset Value
slv_reg0	0x00	REG_START	DMA 시작 제어 (Bit 0: Start)	R/W	0x0000_0000
slv_reg1	0x04	REG_STATUS	상태 확인 (Bit 0: Done, Bit 1: Error)	R	0x0000_0000
slv_reg2	0x08	REG_SRC	Source 시작 주소 (읽기 시작점)	R/W	0x0000_0000
slv_reg3	0x0C	REG_DST	Destination 시작 주소 (쓰기 시작점)	R/W	0x0000_0000
slv_reg4	0x10	REG_WIDTH	전송할 ROI의 가로 폭 (Byte 단위)	R/W	0x0000_0000
slv_reg5	0x14	REG_HEIGHT	전송할 ROI의 세로 높이 (Row 개수)	R/W	0x0000_0000
slv_reg6	0x1C	REG_STRIDE	다음 행으로 가기 위한 주소 보폭 (Offset)	R/W	0x0000_0000

5. Verification & Performance Analysis

본 장에서는 2D DMA의 핵심 기능인 이미지 크롭(ROI Extraction)에 대한 기능 검증 결과와 소프트웨어 대비 성능 가속 수치를 기술합니다.

5.1 2D ROI Crop 기능 검증

2차원 메모리 공간에서 특정 영역을 추출하는 기능을 검증하기 위해 21x21 사이즈의 ROI 추출 테스트를 수행하였습니다.

테스트 항목	검증 내용	결과
--------	-------	----

Stride Address Logic	행(Row) 종료 시 REG_STRIDE만큼 주소 점프 여부 확인	PASS
Data Alignment	추출된 21x21 데이터의 픽셀 정렬 상태 확인	SUCCESS
Boundary Handling	이미지 경계 근처에서의 ROI 추출 안정성	PASS

5.2 성능 가속 분석 (CPU vs 2D DMA)

21x21 ROI 데이터를 전송할 때, 주소 연산을 소프트웨어가 처리할 때(CPU)와 하드웨어가 처리할 때(2D DMA)의 성능 차이입니다.

항목	CPU (Software)	2D DMA (Polling/Peak)	2D DMA (Interrupt/Parallel)
소요 클럭 (Ticks)	80,318 Ticks	770 Ticks	1,442 Ticks
소요 시간 (us)	803.18 us	7.70 us	14.42 us
전송 속도 (MB/s)	2.20 MB/s	229.09 MB/s	122.33 MB/s
Speedup (배율)	1.0x (기준)	33.17x 빠름	31.30x 빠름
CPU 추가 연산	0회	0회	804회 (Counter)
비고	소프트웨어 부하 극심	IP 최대 전송 성능	시스템 멀티태스킹