

# 1. Top\_DMA (v1.3)

## 1. Overview

본 IP는 CPU의 부하를 최소화하고 시스템 대역폭을 극대화하기 위해 설계된 AXI4-Full 기반의 1D DMA(Direct Memory Access) 컨트롤러입니다. 연속된 메모리 블록을 고속으로 복사하는 데 최적화되어 있으며, 가변적인 데이터 크기 처리에 유연하게 대응할 수 있는 로직을 포함하고 있습니다.

- Control Interface:** AXI4-Lite Slave
- Data Interface:** AXI4-Full Master (Burst 기반 고속 전송)
- Feature:** 4KB Boundary Crossing 자동 분할 처리, 최대 64Byte(16 beats) 단일 버스트 지원
- Base Address:** 0x44A0\_0000 (설정 가능)

## 2. Register Map

총 5개의 32비트 Slave 레지스터를 사용하여, 인터럽트 기반 제어를 지원합니다.

Register	Offset	Name	Description	Access	Reset Value
slv_reg0	0x00	REG_START	DMA 시작 제어 (Bit 0: Start)	R/W	0x0000_0000
slv_reg1	0x04	REG_STATUS	상태 확인 (Bit 0: Done, Bit 1: Error)	R	0x0000_0000
slv_reg2	0x08	REG_SRC	Source 시작 주소 (읽기 시작점)	R/W	0x0000_0000
slv_reg3	0x0C	REG_DST	Destination 시작 주소 (쓰기 시작점)	R/W	0x0000_0000
slv_reg4	0x10	REG_LEN	전송할 총 데이터 길이 (Byte 단위)	R/W	0x0000_0000

## 3. Performance Benchmark (at 100MHz)

### 3.1 전송 속도 및 효율 비교

- 실제 Basys3 환경에서 32KB(32,768 Byte) 데이터를 대상으로 측정한 결과입니다.

비교 항목	CPU (Software)	1D DMA (Polling)	1D DMA (Interrupt)
소요 클럭	376,888 Ticks	11,363 Ticks	12,040 Ticks
전송 속도	8.69 MB/s	276.00 MB/s	272.16 MB/s
성능 향상	1.0x (Baseline)	33.17배 빠름	31.30배 빠름

### 3.2 하드웨어 오프로딩 (Offloading)

- Data Integrity:** 32KB 전송 시 데이터 무결성 100% 확인 (SUCCESS)
- Parallelism:** 인터럽트 모드 사용 시, 전송 중 CPU는 804회의 병렬 연산을 수행 가능

## 4. Operational Description

- Preparation:** 소스 주소(REG\_SRC), 목적지 주소(REG\_DST), 전송 길이(REG\_LEN)를 설정합니다.
- Trigger:** REG\_START 레지스터의 LSB에 '1'을 Write 하여 전송을 개시합니다.
- Data Flow:** Read Master가 FIFO로 데이터를 채우고, Write Master가 FIFO에서 데이터를 꺼내 대상 메모리로 Burst 전송을 수행합니다.
- Completion:** 전송 완료 시 하드웨어는 인터럽트 신호를 발생시키고 REG\_STATUS의 Done 비트를 셋(Set)합니다.

## 2. 2D\_Top\_DMA (v1.0)

### 1. Overview

본 IP는 고속 이미지 처리 및 AI 가속기를 위해 설계된 AXI4-Full 기반의 2D DMA(Direct Memory Access) 컨트롤러입니다. CPU의 개입 없이 메모리 간 대용량 데이터 전송을 수행하며, 특히 Stride(보폭) 설계를 통해 2차원 이미지 데이터의 특정 영역(ROI)을 고속으로 크롭(Crop)하거나 전송하는 데 최적화되어 있습니다.

- Control Interface:** AXI4-Lite Slave (레지스터 설정 및 상태 제어)
- Data Interface:** AXI4-Full Master (고속 버스트 데이터 전송)
- Base Address:** 0x44A0\_0000 (설정 가능)
- Target Board:** Basys3 (Xilinx Artix-7)

### 2. Register Map

총 7개의 32비트 Slave 레지스터를 통해 IP의 동작을 제어합니다.

Register	Offset	Name	Description	Access	Reset Value
slv_reg0	0x00	REG_START	DMA 시작 제어 (Bit 0: Start)	R/W	0x0000_0000
slv_reg1	0x04	REG_STATUS	상태 확인 (Bit 0: Done, Bit 1: Error)	R	0x0000_0000
slv_reg2	0x08	REG_SRC	Source 시작 주소 (메모리 읽기 지점)	R/W	0x0000_0000
slv_reg3	0x0C	REG_DST	Destination 시작 주소 (메모리 쓰기 지점)	R/W	0x0000_0000
slv_reg4	0x10	REG_WIDTH	한 줄당 전송할 데이터 길이 (Byte)	R/W	0x0000_0000
slv_reg5	0x14	REG_HEIGHT	전송할 총 행(Row)의 수	R/W	0x0000_0000

slv_reg6	0x18	REG_STRIDE	다음 줄 이동을 위한 주소 보폭 (Byte)	R/W	0x0000_0000
----------	------	------------	--------------------------	-----	-------------

### 3. Performance Benchmark (at 100MHz)

- 실제 Basys3 환경에서 32KB(32,768 Byte) 데이터를 대상으로 측정한 결과입니다.

#### 3.1 2D Image Crop 성능 (21x21 ROI 기준)

비교 항목	CPU (Software)	2D DMA (Peak)	비고
소요 클럭	80,318 Ticks	770 Ticks	104.31배 향상
전송 속도	2.20 MB/s	229.09 MB/s	지능형 주소 연산 적용

#### 3.2 시스템 효율성 (Interrupt Mode)

- 인터럽트 기반 설계를 통해 데이터 전송 중 CPU의 병렬 연산을 지원합니다.
  - CPU Freedom:** DMA 작동 중 CPU는 최대 804회의 추가 연산을 수행 가능 (Offloading)
  - Efficiency:** 데이터 이동 부하를 하드웨어로 100% 전이

## 4. Operational Description

- Initialization:** REG\_SRC와 REG\_DST에 시작 주소를 입력합니다.
- Geometry Setup:** 크롭할 영역의 가로(WIDTH), 세로(HEIGHT), 원본의 폭(STRIDE)을 설정합니다.
- Execution:** REG\_START에 1을 기록하여 전송을 시작합니다.
- Completion:** 인터럽트 신호 또는 REG\_STATUS 비트를 확인하여 완료를 감지합니다.