**ТЕХНИЧЕСКИ УНИВЕРСИТЕТ - СОФИЯ**

**ФАКУЛТЕТ ПО ТЕЛЕКОМУНИКАЦИИ**

Протокол №1

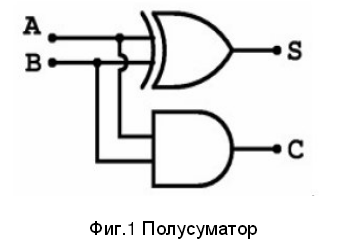
*Проектиране и симулация на полусуматор*

Студент: Красимира Божинова Фак. No: 111211087

Група: 46 Дата: 06.03.2015 г.

Преподавател: доц. д-р Галя Маринова Подпис:

1. Изследване на полусуматор описан на VHDL с поведенчески модел и избрана програмируема схема ULTRA37000>C37256>CY37256P160-83AC:
2. *Логическа схема на полусуматор:*

**

1. *Таблица на истинност:*

Табл.1

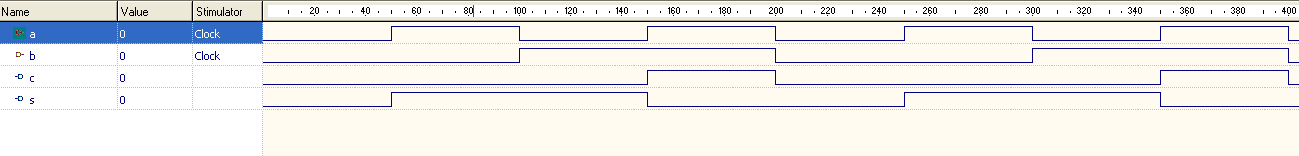
|  |  |  |  |
| --- | --- | --- | --- |
| а | b | s | c |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

1. *Поведенческото описание на полусуматор:*

library ieee;  
use ieee.std\_logic\_1164.all;  
entity HalfADD is port (a, b : in std\_logic;  
 s, c : out std\_logic);  
end HalfADD;  
architecture archHalfADD of HalfADD is  
 begin  
 process (a, b)  
 begin s<= a xor b;  
 c<= a and b;  
 end process;  
end archHalfADD;

1. Задаване на входните сигнали a и b с помощта на различни видове стимули и симулиране за 1000 ns с помощта на командите RUN FOR 1000 ns:
   1. Stimulator type: Clock

a 10MHz

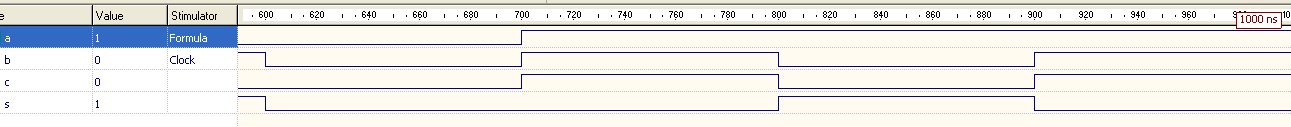
b 5 MHz

фиг.1

2.2. Stimulator type:

Formula

Enter formula: 0 500 ns , 1 700 ns -r 1 us



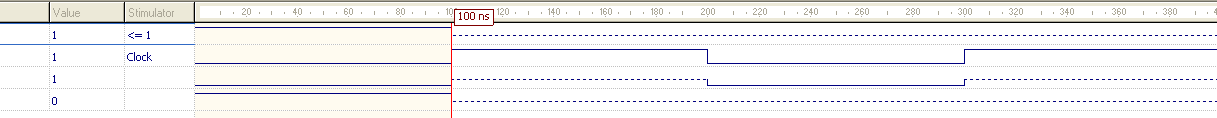
Фиг.2

2.3. Stimulator type:

Value

Force value: 1

Run For 100ns

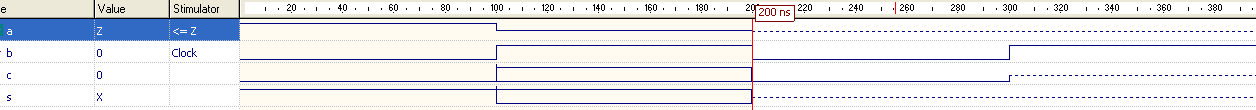


Фиг.3

Value

Force value: Z

Run For 100ns

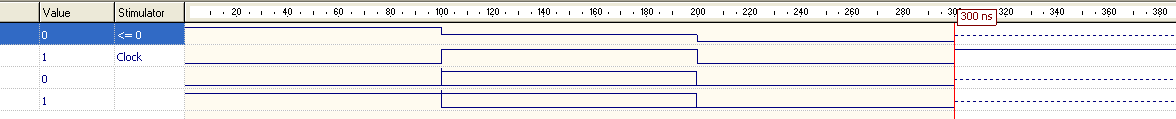


Фиг.4

Value

Force value: 0

Run For 100ns

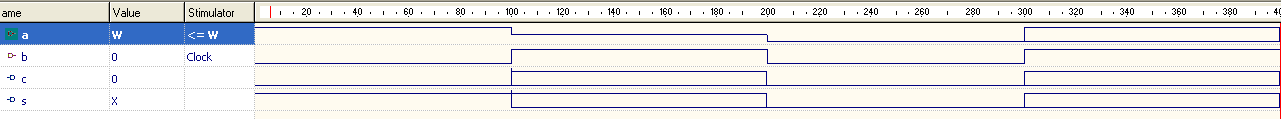


Фиг.5

Value

Force value: W

Run For 100ns

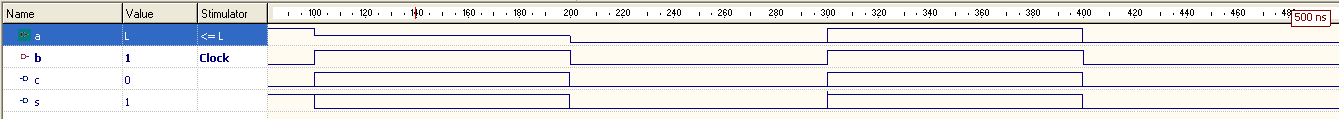


Фиг.6

Value

Force value: L

Run For 100ns

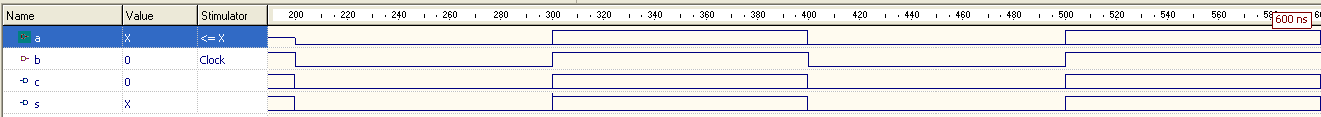


Фиг.7

Value

Force value: X

Run For 100ns

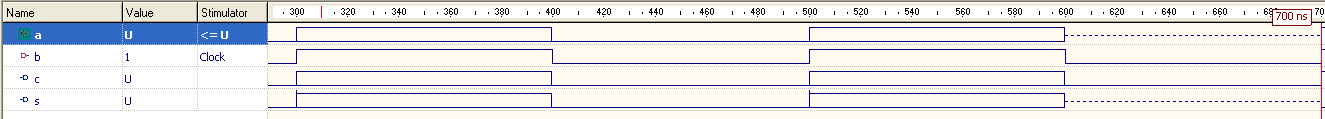


Фиг.8

Value

Force value: U

Run For 100ns

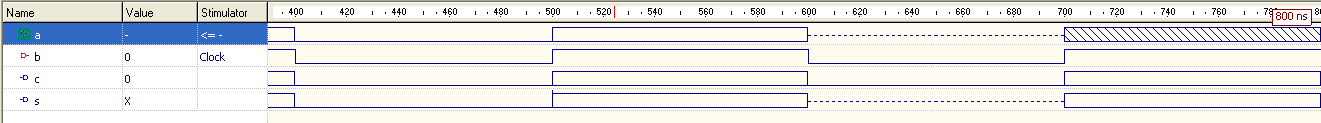


Фиг.9

Value

Force value: -

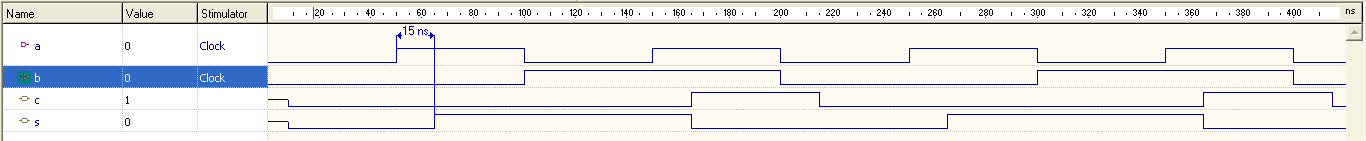
Run For 100ns



Фиг.10

От графиките се вижда, че получените резултати отговарят на таблицата за истинност на полусуматора.

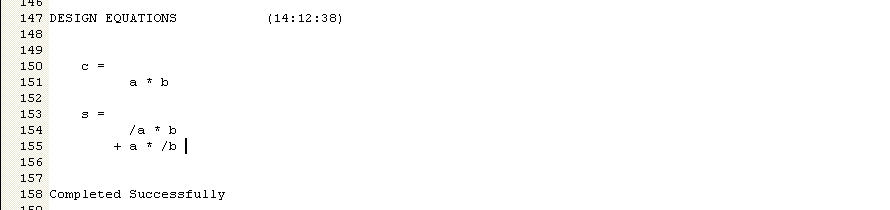
3.Измерване на закъснението на изходния сигнал спрямо входния:



Фиг.11

4.Резултати от репорт файловете:

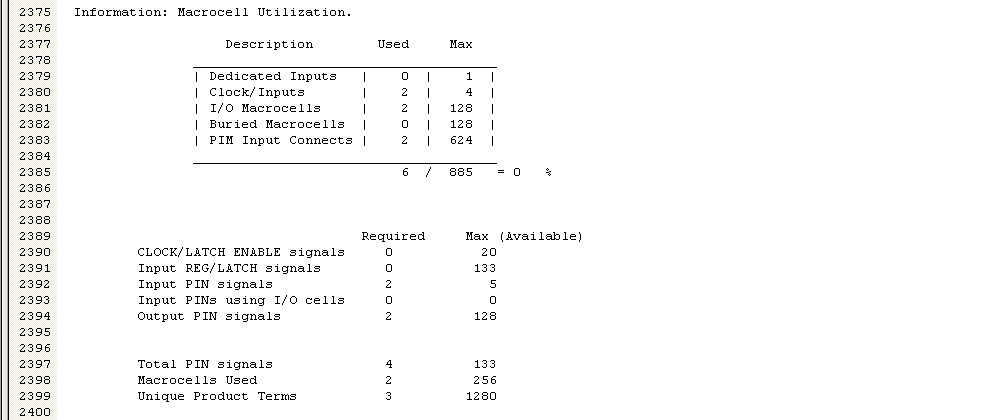
**DESIGN EQUATIONS**



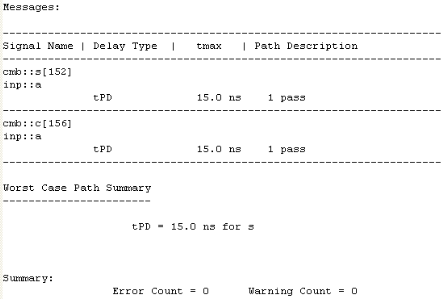
**PINOUT INFORMATION**

**RESOURCE UTILIZATION**

**Information: Macrocell Utilization**



**TIMING PATH ANALYSIS**



1. Изследване на полусуматор описан на VHDL с поведенчески модел:
2. *Структурно описание на полусуматор:*

library ieee;  
use ieee.std\_logic\_1164.all;  
entity myXOR is  
 port (in1, in2: in std\_logic; out1: out std\_logic);  
end myXOR;  
architecture arch\_myXOR of myXOR is  
begin  
 out1<= in1 xor in2;  
end arch\_myXOR;

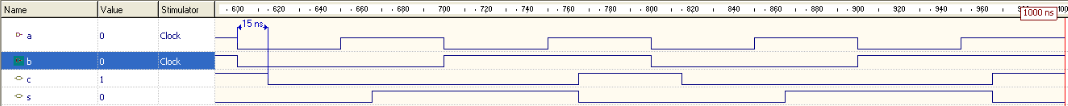
library ieee;  
use ieee.std\_logic\_1164.all;  
entity HalfADD is port (a, b : in std\_logic;  
 s, c : out std\_logic);  
end HalfADD;

architecture struct of HalfADD is  
component myXOR  
 port (in1, in2: in std\_logic; out1: out std\_logic);  
end component;  
begin  
 X1: myXOR port map (a, b, s);  
 c<= a and b;  
end struct;

1. Stimulator type: Clock

a 10MHz

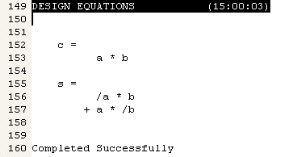
b 5 MHz



Фиг.12

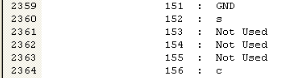
1. Резултати от репорт файловете:

**DESIGN EQUATIONS**



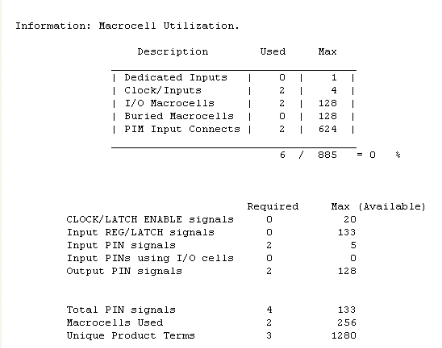
**PINOUT INFORMATION**

****

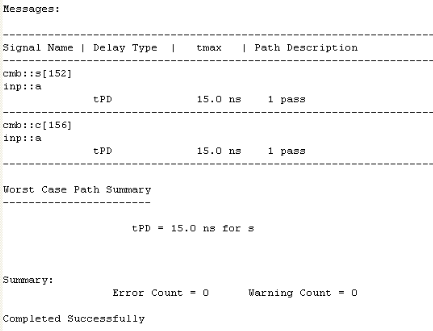


**RESOURCE UTILIZATION**

**Information: Macrocell Utilization**

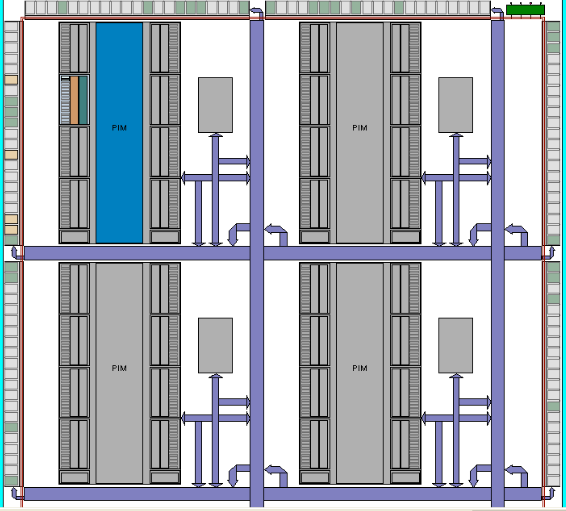
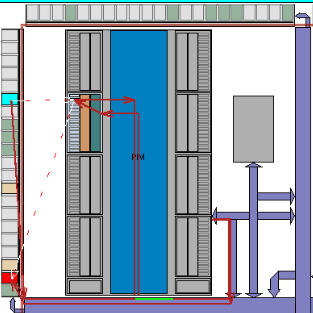
****

**TIMING PATH ANALYSIS**

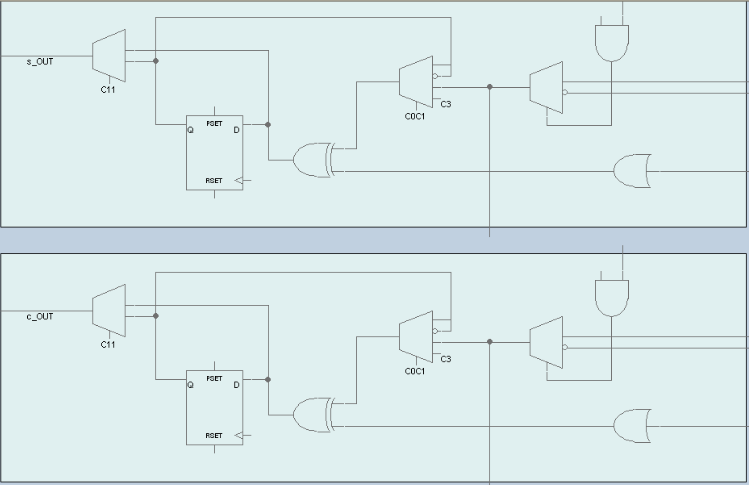
****

Сравнявайки резултатите от репорт rpt файловете за заетите ресурси и времезакъснението при двата модела на описание на полусуматора можем да определим, че не съществува различие между тях.

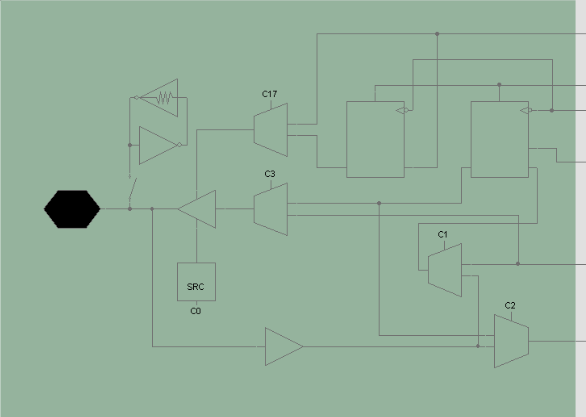
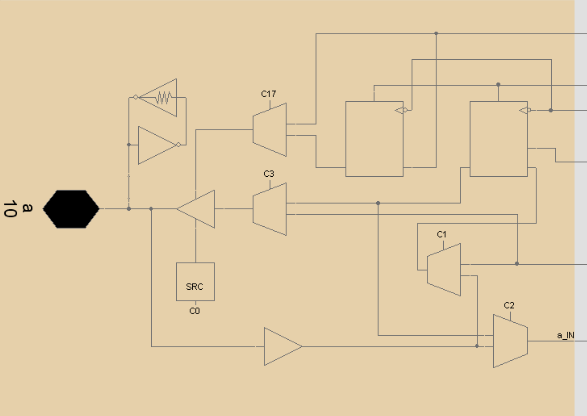
1. Създаване на нов проект за полусуматора върху схема от фамилията DELTA39K > C39k100 > CY39100v676-200mbc и представяне на разположението на проекта върху програмируемата схема с ARCHITECTURE EXPLORER:

** **

Структурата на клетките в CPLD-то:

****

* Входно-изходни клетки:



**ТЕХНИЧЕСКИ УНИВЕРСИТЕТ - СОФИЯ**

**ФАКУЛТЕТ ПО ТЕЛЕКОМУНИКАЦИИ**

Протокол №1

*Проектиране и симулация на полусуматор*

Студент: Елена Цветкова Фак. No: 111211030

Група: 46 Дата: 06.03.2015 г.

Преподавател: доц. д-р Галя Маринова Подпис: