**ТЕХНИЧЕСКИ УНИВЕРСИТЕТ - СОФИЯ**

**ФАКУЛТЕТ ПО ТЕЛЕКОМУНИКАЦИИ**

Протокол №2

*Проектиране на комбинационни схеми на VHDL с*

*помощта на WARP 6.2 –  
мултиплексор, демултиплексор,*

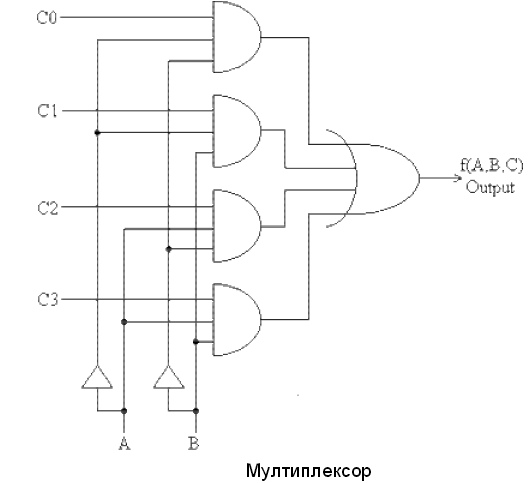
*компаратор и дешифратор*

Студент: Красимира Божинова Фак. No: 111211087

Група: 46 Дата: 10.03.2015 г.

Преподавател: доц. д-р Галя Маринова Подпис:

1. Изследване на мултиплексор с 4 входа с избрана програмируемата схема ULTRA37000>C37256>CY37256P160-83AC:
2. Логическа схема на мултиплексор:



1. Принцип на действие на мултиплексора:

Мултиплексорът е комбинационна логическа схема с два вида входове и един изход.Чрез него се осигурява свързване на няколко източника на сигнал към един приемник. Сигналите от източниците се подават на входовете. Разрешава се този вход, за който се формира активен сигнал от изхода на дешифратора. Броят на адресните входове n определя максималния брой информационни входове.

* Логическо уравнение на мултиплексор с 4 входа и 1 изход:

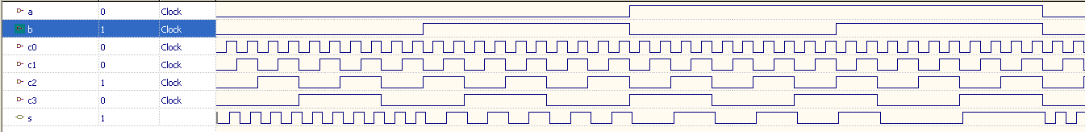


1. Използван VHDL код:

library ieee;  
use ieee.std\_logic\_1164.all;  
entity MUX is port (a,b:in bit; c0,c1,c2,c3: in std\_logic;  
 s: out std\_logic);  
end MUX;

architecture archMUX of MUX is begin  
process(A,B,c0,c1,c2,c3)  
 begin  
 if A='0' and B='0' then S<=C0;end if;  
 if A='0' and B='1' then S<=C1;end if;  
 if A='1' and B='0' then S<=C2;end if;  
 if A='1' and B='1' then S<=C3;end if;  
 end process;  
end archMUX;

1. Резултати от симулацията на ACTIVE-HDL SIM:



Фиг.1

* Таблица на истинност на мултиплексор с 4 входа:

|  |  |  |
| --- | --- | --- |
| A | B | S |
| 0 | 0 | C0 |
| 0 | 1 | C1 |
| 1 | 0 | C2 |
| 1 | 1 | C3 |

От фиг.1 ясно можем да видим, че получените резултати отговарят на таблицата за истинност на мултиплексора.

1. Резултати от репорт файловете:

**DESIGN EQUATIONS (14:50:31)**

s =

a \* b \* c3

+ /a \* b \* c1

+ a \* /b \* c2

+ /a \* /b \* c0

**PINOUT INFORMATION (14:50:31)**

Device: cy37256p160

Package: cy37256p160-83ac

19 : c3 99 : c0 142 : VCC

20 : VCC 100 : VCC 143 : s

21 : GND 101 : GND

22 : c2 102 : b

59 : c1 138 : a

60 : VCC 139 : Not Used

61 : GND 140 : VCC

62 : VCC 141 : GND

**RESOURCE UTILIZATION (14:50:31)**

Information: Macrocell Utilization.

Description Used Max

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

| Dedicated Inputs | 1 | 1 |

| Clock/Inputs | 4 | 4 |

| I/O Macrocells | 2 | 128 |

| Buried Macrocells | 0 | 128 |

| PIM Input Connects | 6 | 624 |

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

13 / 885 = 1 %

Required Max (Available)

CLOCK/LATCH ENABLE signals 0 20

Input REG/LATCH signals 0 133

Input PIN signals 5 5

Input PINs using I/O cells 1 1

Output PIN signals 1 127

Total PIN signals 7 133

Macrocells Used 1 256

Unique Product Terms 4 1280

**TIMING PATH ANALYSIS (14:50:31) using Package: cy37256p160-83ac**

Messages:

----------------------------------------------------------------------------

Signal Name | Delay Type | tmax | Path Description

----------------------------------------------------------------------------

cmb::s[143]

inp::b

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

Worst Case Path Summary

-----------------------

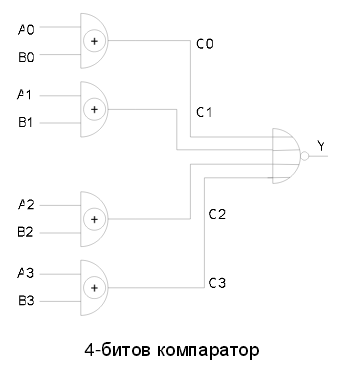
tPD = 15.0 ns for s

Summary:

Error Count = 0 Warning Count = 0

1. Изследване на 4-битов компаратор описан на VHDL по 4 различни начина с избрана схема ULTRA37000>C37256>CY37256P160-83AC:

* Логическа схема на компаратор :



* Принцип на работа:

Цифровите компаратори представляват комбинационни логически схеми, чрез които се получава информация за стойностното съотношение на две числа. От таблицата на истинност на логически елемент – изключващо ИЛИ (полусуматор) се вижда, че когато на двата му входа постъпват различни логически нива, изходният му сигнал е с ниво лог. ‘о’’, а когато те са равни – лог. ‘1’. Получените сигнали С0, С1, С2, С3 се обединяват в сигнала У. При равенство А=В, сигнала У=1.

1. Поведенчески модел на 4-битов компаратор чрез последователни изрази в процес:
2. Използван VHDL код:

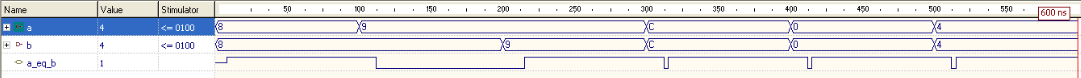
library ieee ;  
use ieee.std\_logic\_1164.all ;

entity My4bitComparator is  
port (a, b: in bit\_vector (3 downto 0);  
 a\_eq\_b: out bit);  
end My4bitComparator;

architecture arch of My4bitComparator is  
 begin  
 comp: process (a,b)  
 begin  
 if a=b then  
 a\_eq\_b <='1';  
 else  
 a\_eq\_b <= '0';  
 end if;  
 end process comp;  
end architecture arch;

1. Задаване на стойности на входните сигнали **a** и **b** и резултати от симулацията на ACTIVE-HDL SIM (фиг.2) :





Фиг.2

1. Определяне закъснението на изходния сигнал a\_eq\_b спрямо момента на промяна на някой от входните сигнали a или b (фиг.3):



Фиг.3

1. Дължина на паразитния импулс (фиг.4): 15-12 = 3 ns ( от общата дължина изваждаме закъснението на изходния сигнал спрямо входния)



Фиг.4

1. Поведенчески модел на 4-битов компаратор без процес:
2. Използван VHDL код:

library ieee ;  
use ieee.std\_logic\_1164.all ;

entity comp2 is  
 port (a, b: in bit\_vector (3 downto 0);  
 a\_eq\_b: out bit);  
end comp2;

architecture arch of comp2 is  
 begin  
 a\_eq\_b <='1'when (a=b) else '0';  
end arch;

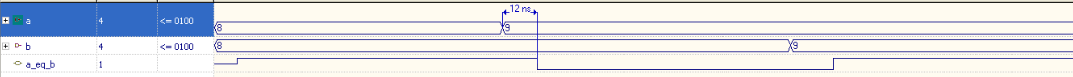
1. Задаване на стойности на входните сигнали **a** и **b** и резултати от симулацията на ACTIVE-HDL SIM (фиг.5) :





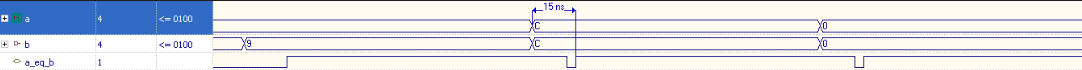
Фиг.5

1. Определяне закъснението на изходния сигнал a\_eq\_b спрямо момента на промяна на някой от входните сигнали a или b (фиг.6):



Фиг.6

1. Дължина на паразитния импулс (фиг.7): **3ns**



Фиг.7

1. Резултати от rpt. файла:

* **DESIGN EQUATIONS (15:43:24)**

/a\_eq\_b =

/a(0) \* b(0)

+ /a(1) \* b(1)

+ /a(2) \* b(2)

+ /a(3) \* b(3)

+ a(0) \* /b(0)

+ a(1) \* /b(1)

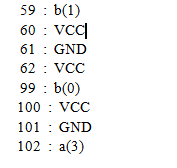
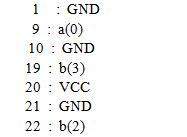
+ a(2) \* /b(2)

+ a(3) \* /b(3)

* **PINOUT INFORMATION (15:43:24)**

Device: cy37256p160

Package: cy37256p160-83ac



* **RESOURCE UTILIZATION (15:43:24)**

Information: Macrocell Utilization.

Description Used Max

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

| Dedicated Inputs | 1 | 1 |

| Clock/Inputs | 4 | 4 |

| I/O Macrocells | 4 | 128 |

| Buried Macrocells | 0 | 128 |

| PIM Input Connects | 8 | 624 |

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

17 / 885 = 1 %

Required Max (Available)

CLOCK/LATCH ENABLE signals 0 20

Input REG/LATCH signals 0 133

Input PIN signals 5 5

Input PINs using I/O cells 3 3

Output PIN signals 1 125

Total PIN signals 9 133

Macrocells Used 1 256

Unique Product Terms 8 1280

* **TIMING PATH ANALYSIS** (15:43:24) using Package: cy37256p160-83ac

Messages:

----------------------------------------------------------------------------

Signal Name | Delay Type | tmax | Path Description

----------------------------------------------------------------------------

cmb::a\_eq\_b[143]

inp::b(0)

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

Worst Case Path Summary

-----------------------

tPD = 15.0 ns for a\_eq\_b

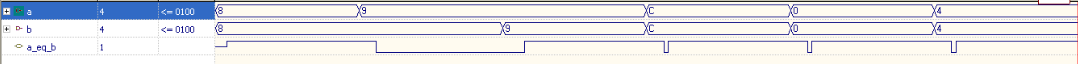
Summary: Error Count = 0 Warning Count = 0

1. Поведенчески модел на 4-битов компаратор с булеви изрази:
2. Използван VHDL код:

library ieee ;  
use ieee.std\_logic\_1164.all ;  
entity comp3 is  
 port (a, b: in bit\_vector (3 downto 0);  
 a\_eq\_b: out bit);  
 end comp3;  
architecture arch of comp3 is  
 begin  
 a\_eq\_b <=NOT (  
 (a(0) XOR b(0)) OR  
 (a(1) XOR b(1)) OR  
 (a(2) XOR b(2)) OR  
 (a(3) XOR b(3)));  
end arch;

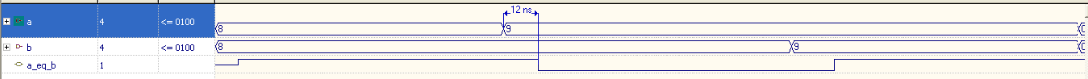
1. Задаване на стойности на входните сигнали **a** и **b** и резултати от симулацията на ACTIVE-HDL SIM (фиг.8) :





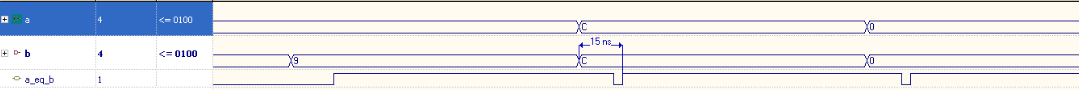
Фиг.8

1. Определяне закъснението на изходния сигнал a\_eq\_b спрямо момента на промяна на някой от входните сигнали a или b (фиг.9):



Фиг.9

1. Дължина на паразитния импулс (фиг.10): **3 ns**



Фиг.10

1. Резултати от rpt. файла:

* **DESIGN EQUATIONS (16:16:49)**

/a\_eq\_b =

/a(0) \* b(0)

+ /a(1) \* b(1)

+ /a(2) \* b(2)

+ /a(3) \* b(3)

+ a(0) \* /b(0)

+ a(1) \* /b(1)

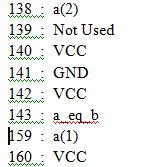
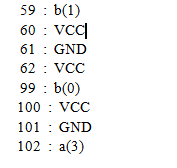
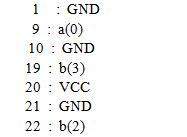
+ a(2) \* /b(2)

+ a(3) \* /b(3)

* **PINOUT INFORMATION (16:16:49)**

Device: cy37256p160

Package: cy37256p160-83ac



* **RESOURCE UTILIZATION (16:16:49)**

Information: Macrocell Utilization.

Description Used Max

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

| Dedicated Inputs | 1 | 1 |

| Clock/Inputs | 4 | 4 |

| I/O Macrocells | 4 | 128 |

| Buried Macrocells | 0 | 128 |

| PIM Input Connects | 8 | 624 |

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

17 / 885 = 1 %

Required Max (Available)

CLOCK/LATCH ENABLE signals 0 20

Input REG/LATCH signals 0 133

Input PIN signals 5 5

Input PINs using I/O cells 3 3

Output PIN signals 1 125

Total PIN signals 9 133

Macrocells Used 1 256

Unique Product Terms 8 1280

* **TIMING PATH ANALYSIS** (**16:16:49**) using Package: cy37256p160-83ac

Messages:

----------------------------------------------------------------------------

Signal Name | Delay Type | tmax | Path Description

----------------------------------------------------------------------------

cmb::a\_eq\_b[143]

inp::b(0)

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

Worst Case Path Summary

-----------------------

tPD = 15.0 ns for a\_eq\_b

Summary:

Error Count = 0 Warning Count = 0

1. Структурен модел на 4-битов компаратор:
2. Използван VHDL код:

library ieee;  
use ieee.std\_logic\_1164.all;  
entity xor2 is  
 port ( a,b : in bit;  
 q : out bit);  
end xor2;  
architecture arch\_xor2 of xor2 is  
begin  
 Q<=(A xor B);  
end arch\_xor2;  
library ieee;  
use ieee.std\_logic\_1164.all;  
entity NOR4 is  
 port( a,b,c,d: in bit;  
 qn: out bit);  
end NOR4;  
architecture behv2 of NOR4 is  
begin  
 qn <= not ( a or b or c or d);  
end behv2;

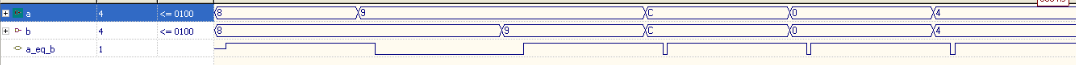
library ieee ;

use ieee.std\_logic\_1164.all ;  
entity comp4 is  
 port (a, b: in bit\_vector (3 downto 0);  
 a\_eq\_b: out bit);  
end comp4;

architecture arch of comp4 is  
 signal c: bit\_vector (0 to 3);  
 begin  
 x0: xor2 port map (a(0), b(0), c(0));  
 x1: xor2 port map (a(1), b(1), c(1));  
 x2: xor2 port map (a(2), b(2), c(2));  
 x3: xor2 port map (a(3), b(3), c(3));  
 a1: nor4 port map (c(0), c(1), c(2), c(3), a\_eq\_b);  
end arch;

1. Задаване на стойности на входните сигнали **a** и **b** и резултати от симулацията на ACTIVE-HDL SIM (фиг.11) :



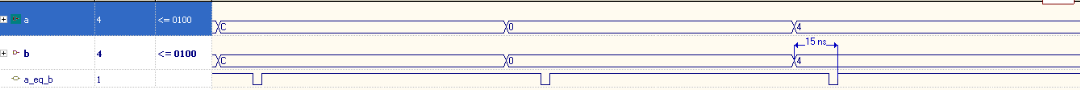


Фиг.11

1. Определяне закъснението на изходния сигнал a\_eq\_b спрямо момента на промяна на някой от входните сигнали a или b (фиг.12):

Фиг.12

1. Дължина на паразитния импулс (фиг.13): **3 ns**

Фиг.13

1. Резултати от rpt. файла:

* **DESIGN EQUATIONS (16:22:28)**

/a\_eq\_b =

/a(0) \* b(0)

+ /a(1) \* b(1)

+ /a(2) \* b(2)

+ /a(3) \* b(3)

+ a(0) \* /b(0)

+ a(1) \* /b(1)

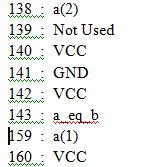
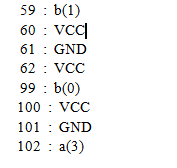
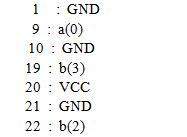
+ a(2) \* /b(2)

+ a(3) \* /b(3)

* **PINOUT INFORMATION (16:22:28)**

Device: cy37256p160

Package: cy37256p160-83ac



* **RESOURCE UTILIZATION (16:22:28)**

Information: Macrocell Utilization.

Description Used Max

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

| Dedicated Inputs | 1 | 1 |

| Clock/Inputs | 4 | 4 |

| I/O Macrocells | 4 | 128 |

| Buried Macrocells | 0 | 128 |

| PIM Input Connects | 8 | 624 |

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

17 / 885 = 1 %

Required Max (Available)

CLOCK/LATCH ENABLE signals 0 20

Input REG/LATCH signals 0 133

Input PIN signals 5 5

Input PINs using I/O cells 3 3

Output PIN signals 1 125

Total PIN signals 9 133

Macrocells Used 1 256

Unique Product Terms 8 1280

* **TIMING PATH ANALYSIS** (**16:22:28**) using Package: cy37256p160-83ac

Messages:

----------------------------------------------------------------------------

Signal Name | Delay Type | tmax | Path Description

----------------------------------------------------------------------------

cmb::a\_eq\_b[143]

inp::b(0)

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

Worst Case Path Summary

-----------------------

tPD = 15.0 ns for a\_eq\_b

Summary:

Error Count = 0 Warning Count = 0

Извод: При проведените симулации четирите компаратора имат идентично поведение. Закъсненията на изходния сигнал спрямо входния, както и паразитните импулси, са с еднаква продължителност и за четирите. При всичките схеми се употребяват еднакви ресурси.

Възможно е да се използват различни методи за описание и съставяне на VHDL кодовете – в зависимост от предпочитанията на програмиста или приложимостта им, като те водят до подобни резултати. От значение в случая е и относителната простота на тестваните проекти – при по-сложни схеми биха се наблюдавали по-големи различия.

1. Проектиране на демултиплексор с 1 вход, 2 управляващи сигнала и 4 изхода:
2. Използван VHDL код:

library ieee;

use ieee.std\_logic\_1164.all;

entity DEMUX is port (a,b:in bit; c: in std\_logic;

S0,S1,S2,S3: out std\_logic);

end DEMUX;

architecture archDEMUX of DEMUX is begin

process(A,B,C)

begin

if A='0' and B='0' then S0<=C;end if;

if A='0' and B='1' then S1<=C;end if;

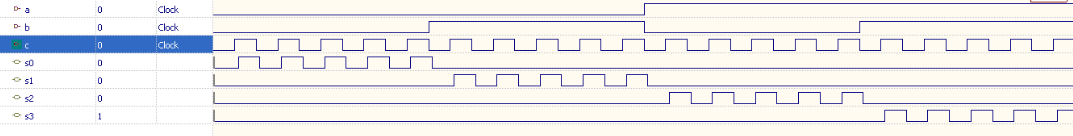
if A='1' and B='0' then S2<=C;end if;

if A='1' and B='1' then S3<=C;end if;

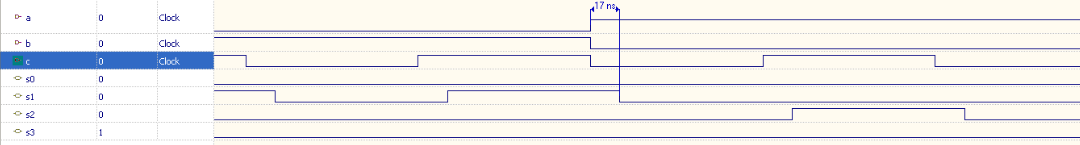
end process;

end archDEMUX;

1. Резултати от симулацията на ACTIVE-HDL SIM:

Фиг.14

1. Определяне на закъснението:

Фиг.15

* Таблица на истинност на мултиплексор с 4 входа:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| A | B | S3 | S2 | S1 | S0 |
| 0 | 0 | 0 | 0 | 0 | C |
| 0 | 1 | 0 | 0 | C | 0 |
| 1 | 0 | 0 | C | 0 | 0 |
| 1 | 1 | C | 0 | 0 | 0 |

От фиг.14 ясно можем да видим, че получените резултати отговарят на таблицата за истинност на мултиплексора.

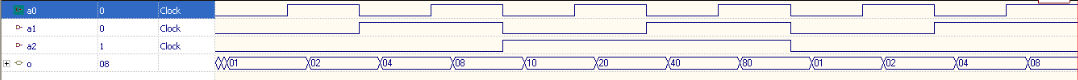
1. Изследване на 2 проекта на дешифратор 1 от 8:
2. Oписание с помощта на цикъл FOR:

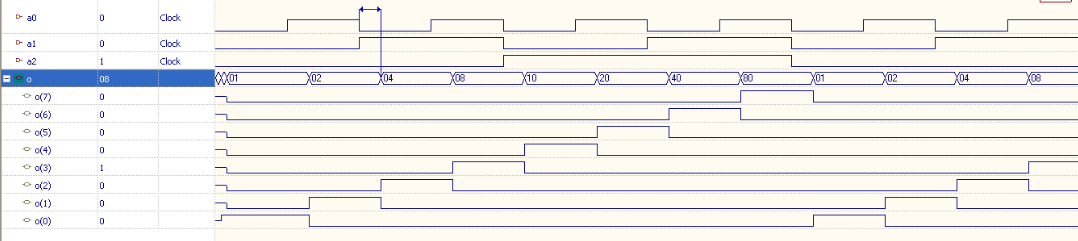
library IEEE;  
use ieee.std\_logic\_1164.all;

entity DECODER1 is  
port(a0,a1,a2: in bit; o: out bit\_vector (7 downto 0));  
end DECODER1;

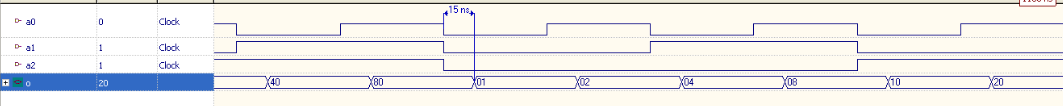
architecture arch\_DECODER1 of DECODER1 is  
 begin  
 process(a0,a1,a2)  
 variable N:integer;  
 begin  
 N:=0;  
 if a0='1' then N:=N+1; end if;  
 if a1='1' then N:=N+2; end if;  
 if a2='1' then N:=N+4; end if;  
 o<="00000000";  
 for i in 0 to 7 loop  
 if (i=N) then o(i)<='1';  
 end if;  
 i:=i+1;  
 end loop;  
 end process;  
end arch\_DECODER1;

1. Резултати от симулацията на ACTIVE-HDL SIM, при зададени входни сигнали от типа Clock, както следва (фиг.16):  
   а0 – 10MHz , а1 -5MHz , а2 – 2.5MHz:

Фиг.16

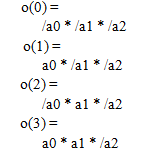
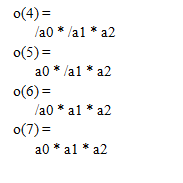
Фиг.17

* Определяне на закъсненията на изхода спрямо събитие върху входен сигнал(фиг.17):

Фиг.18

1. Резултати от rpt. файла:

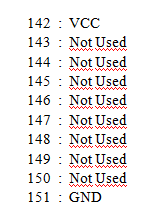
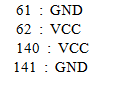
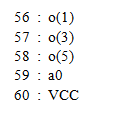
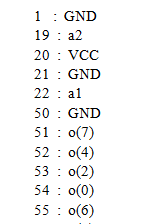
* **DESIGN EQUATIONS (16:41:59)**

* **PINOUT INFORMATION (16:41:59)**

Device: cy37256p160

Package: cy37256p160-83ac



* **RESOURCE UTILIZATION (16:41:59)**

Information: Macrocell Utilization.

Description Used Max

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

| Dedicated Inputs | 1 | 1 |

| Clock/Inputs | 2 | 4 |

| I/O Macrocells | 8 | 128 |

| Buried Macrocells | 0 | 128 |

| PIM Input Connects | 3 | 624 |

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

14 / 885 = 1 %

Required Max (Available)

CLOCK/LATCH ENABLE signals 0 20

Input REG/LATCH signals 0 133

Input PIN signals 3 5

Input PINs using I/O cells 0 0

Output PIN signals 8 128

Total PIN signals 11 133

Macrocells Used 8 256

Unique Product Terms 8 1280

* **TIMING PATH ANALYSIS (16:41:59)** using Package: cy37256p160-83ac

Messages:

----------------------------------------------------------------------------

Signal Name | Delay Type | tmax | Path Description

----------------------------------------------------------------------------

cmb::o(7)[51]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

cmb::o(4)[52]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

cmb::o(2)[53]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

cmb::o(0)[54]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

cmb::o(6)[55]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

cmb::o(1)[56]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

cmb::o(3)[57]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

cmb::o(5)[58]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

Worst Case Path Summary

-----------------------

tPD = 15.0 ns for o(7)

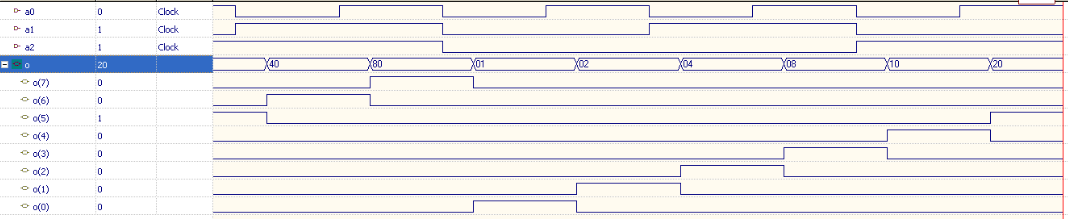
Summary:

Error Count = 0 Warning Count = 0

1. Oписание с помощта на цикъл WHILE:

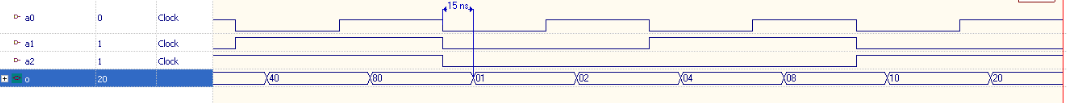
library IEEE;  
use ieee.std\_logic\_1164.all;  
entity DECODER1 is  
 port(a0,a1,a2: in bit; o: out bit\_vector (7 downto 0));  
 end DECODER1;  
architecture arch\_DECODER1 of DECODER1 is  
 begin  
 process(a0,a1,a2)  
 variable N, INDICE:integer;  
 begin  
 N:=0;indice:=0;  
 if a0='1' then N:=N+1; end if;  
 if a1='1' then N:=N+2; end if;  
 if a2='1' then N:=N+4; end if;  
 o<="00000000";  
 LABEL1: while INDICE<8 loop  
 if (INDICE=N) then o(INDICE)<='1';  
 end if;  
 indice:=indice+1;  
 end loop LABEL1;  
 end process;  
end arch\_DECODER1;

1. Резултати от симулацията на ACTIVE-HDL SIM, при зададени входни сигнали от типа Clock, както следва (фиг.19):  
   а0 – 10MHz , а1 -5MHz , а2 – 2.5MHz:



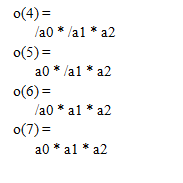
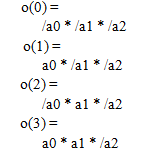
Фиг.19

1. Определяне на закъсненията на изхода спрямо събитие върху входен сигнал(фиг.20):

Фиг.20

1. Резултати от rpt. файла:

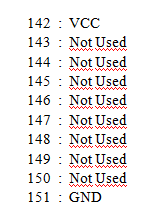
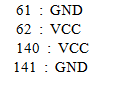
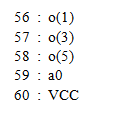
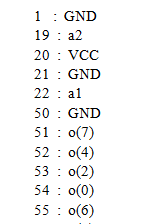
* **DESIGN EQUATIONS (16:53:29)**



* **PINOUT INFORMATION (16:53:29)**

Device: cy37256p160

Package: cy37256p160-83ac



* **RESOURCE UTILIZATION (16:41:59)**

Information: Macrocell Utilization.

Description Used Max

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

| Dedicated Inputs | 1 | 1 |

| Clock/Inputs | 2 | 4 |

| I/O Macrocells | 8 | 128 |

| Buried Macrocells | 0 | 128 |

| PIM Input Connects | 3 | 624 |

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

14 / 885 = 1 %

Required Max (Available)

CLOCK/LATCH ENABLE signals 0 20

Input REG/LATCH signals 0 133

Input PIN signals 3 5

Input PINs using I/O cells 0 0

Output PIN signals 8 128

Total PIN signals 11 133

Macrocells Used 8 256

Unique Product Terms 8 1280

* **TIMING PATH ANALYSIS (16:53:29)** using Package: cy37256p160-83ac

Messages:

----------------------------------------------------------------------------

Signal Name | Delay Type | tmax | Path Description

----------------------------------------------------------------------------

cmb::o(7)[51]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

cmb::o(4)[52]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

cmb::o(2)[53]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

cmb::o(0)[54]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

cmb::o(6)[55]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

cmb::o(1)[56]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

cmb::o(3)[57]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

cmb::o(5)[58]

inp::a0

tPD 15.0 ns 1 pass

----------------------------------------------------------------------------

Worst Case Path Summary

-----------------------

tPD = 15.0 ns for o(7)

Summary:

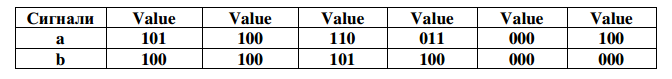
Error Count = 0 Warning Count = 0

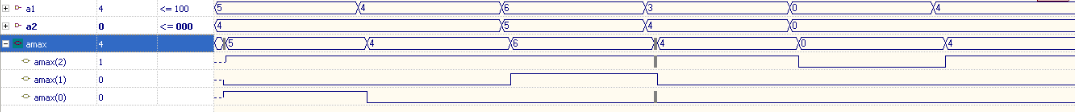
1. Проект за определяне на по-голямото от две 3-битови числа върху схема от фамилията DELTA39k>C39k100 > CY39100v676-200mbc:
2. Използван VHDL код:

Library IEEE;  
Use IEEE.std\_logic\_1164.all;  
Entity MAXI is  
 Port(a1,a2:in bit\_vector(2 downto 0);  
 Amax: out bit\_vector(2 downto 0) );  
End maxi;

Architecture arch\_maxi of maxi is  
-- MAX  
 procedure bi (a1,a2:in bit\_vector(2 downto 0); max: out bit) is  
 variable n1, n2 : integer;  
 begin  
 n1:=0;  
 if a1(2)='1' then n1:=n1+4; end if;  
 if a1(1)='1' then n1:=n1+2; end if;  
 if a1(0)='1' then n1:=n1+1; end if;  
 n2:=0;  
 if a2(2)='1' then n2:=n2+4; end if;  
 if a2(1)='1' then n2:=n2+2; end if;  
 if a2(0)='1' then n2:=n2+1; end if;  
 if n1>n2 then max:='1';  
 elsif n2>n1 then max:='0'; end if;  
 end bi;  
 begin  
 process (a1,a2)  
 variable max:bit;  
 begin  
 bi(a1,a2,max);  
 if max='1' then amax<=a1;  
 elsif max='0' then amax<=a2; end if;  
 end process;  
end ARCH\_MAXI;

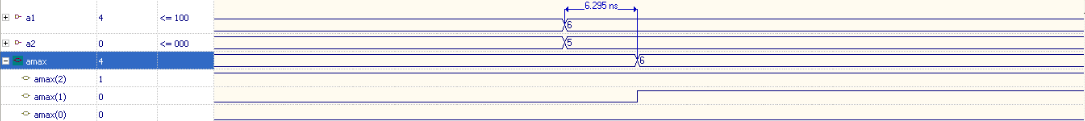
1. Задаване на стойности на входните сигнали **a** и **b** и резултати от симулацията на ACTIVE-HDL SIM (фиг.21) :

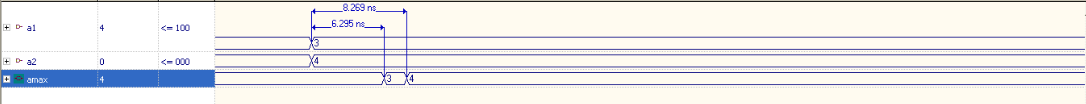




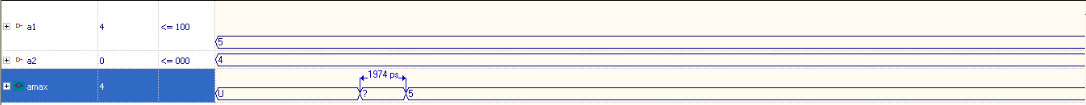
Фиг.21

1. Определяне на времезакъсненията (фиг.22) (фиг.23):

Фиг.22



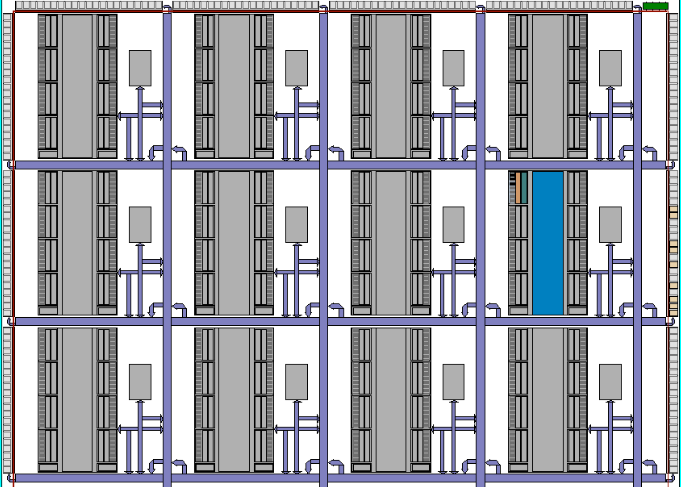
Фиг.23

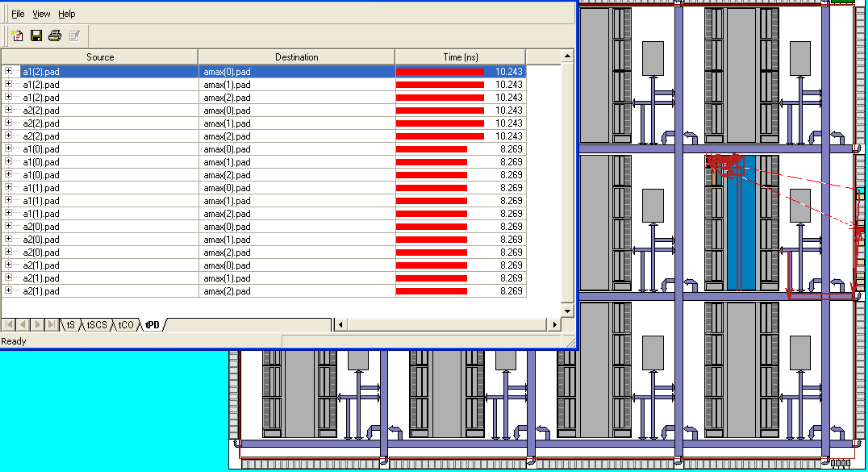


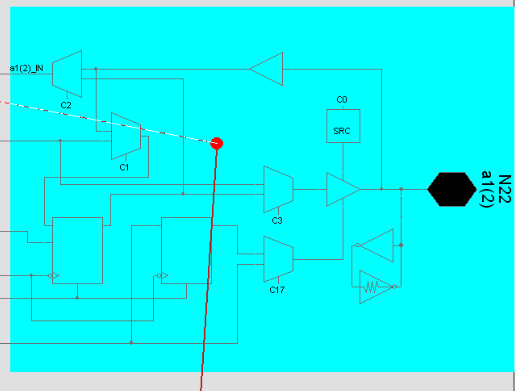
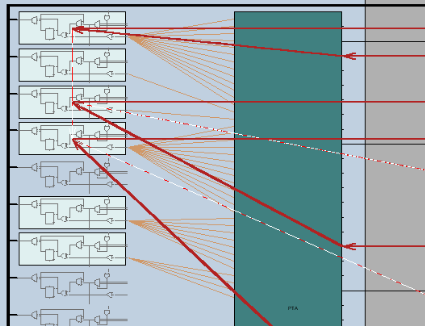
Фиг.24

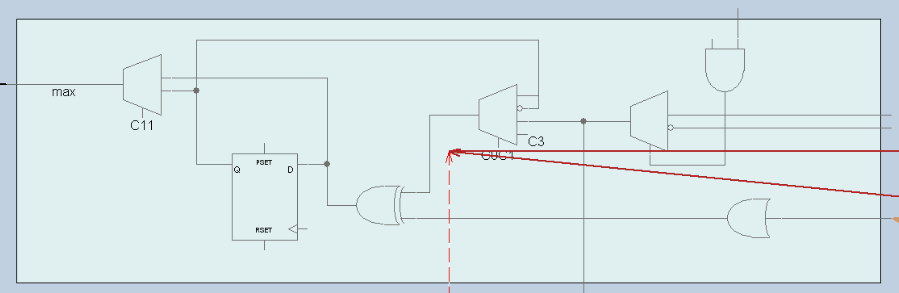
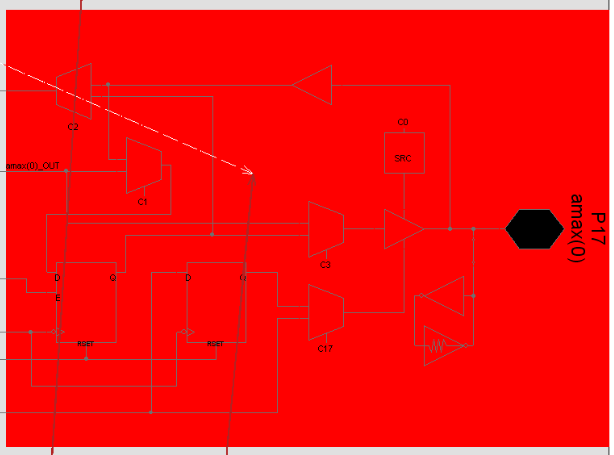
1. Визуализиране на:

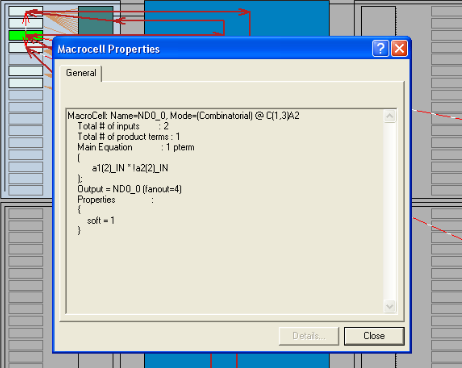
* разположението на проекта върху програмируемата схема с помощта на Architecture explorer;
* клетките, от които тръгват сигналите и входно/изходните клетки, където се подават;











1. Резултати от rpt. файла:

* Chip resource summary

------------------------------------------------------------

Resource Type : Used : Free : Max : % Used

==============================================

Macrocells : 6 : 1530 : 1536 : 0.39%

Cluster Memories : 0 : 24 : 24 : 0.00%

Channel Memories : 0 : 12 : 12 : 0.00%

IO Cells : 9 : 285 : 294 : 3.06%

Global Clocks : 0 : 4 : 4 : 0.00%

Global Controls : 0 : 4 : 4 : 0.00%

Logic Blocks : 1 : 95 : 96 : 1.04%

Cluster Blocks : 1 : 11 : 12 : 8.33%

* | Pad-to-pad times (tpd)

+----------------------------------------------------------+

+-------------+------------------+---------------+

|Source Pad |Destination Pad |tpd |

+-------------+------------------+---------------+

|a1(2).pad |amax(0).pad | 10.24 ns |

|a1(2).pad |amax(1).pad | 10.24 ns |

|a1(2).pad |amax(2).pad | 10.24 ns |

|a2(2).pad |amax(0).pad | 10.24 ns |

|a2(2).pad |amax(1).pad | 10.24 ns |

|a2(2).pad |amax(2).pad | 10.24 ns |

|a1(0).pad |amax(0).pad | 8.27 ns |

|a1(0).pad |amax(1).pad | 8.27 ns |

|a1(0).pad |amax(2).pad | 8.27 ns |

|a1(1).pad |amax(0).pad | 8.27 ns |

|a1(1).pad |amax(1).pad | 8.27 ns |

|a1(1).pad |amax(2).pad | 8.27 ns |

|a2(0).pad |amax(0).pad | 8.27 ns |

|a2(0).pad |amax(1).pad | 8.27 ns |

|a2(0).pad |amax(2).pad | 8.27 ns |

|a2(1).pad |amax(0).pad | 8.27 ns |

|a2(1).pad |amax(1).pad | 8.27 ns |

|a2(1).pad |amax(2).pad | 8.27 ns |

+-------------+------------------+---------------+

+----------------------------------------------------------+

| Clock pad-to-pad times (tco) |

+----------------------------------------------------------+

[NONE]

+----------------------------------------------------------+

| Setup times (ts) |

+----------------------------------------------------------+

[NONE]

+----------------------------------------------------------+

| Register-to-register times (tscs) |

+----------------------------------------------------------+

[NONE]

+----------------------------------------------------------+

| Output-enable times (tea) |

+----------------------------------------------------------+

[NONE]

+----------------------------------------------------------+

| Output-disable times (ter) |

+----------------------------------------------------------+

[NONE]

+----------------------------------------------------------+

| Clock pad-to-output-enable times (tcoea) |

+----------------------------------------------------------+

[NONE]

+----------------------------------------------------------+

| Clock pad-to-output-disable times (tcoer) |

+----------------------------------------------------------+

[NONE]

End static timing analysis (0 seconds) Fri Feb 27 16:58:27 2015

Begin bitstream assembly... Fri Feb 27 16:58:27 2015

Compression ratio is 88%

The bitstream file is located in 'max' sub-directory

End bitstream assembly (1 seconds) Fri Feb 27 16:58:28 2015

**ТЕХНИЧЕСКИ УНИВЕРСИТЕТ - СОФИЯ**

**ФАКУЛТЕТ ПО ТЕЛЕКОМУНИКАЦИИ**

Протокол №2

*Проектиране на комбинационни схеми на VHDL с*

*помощта на WARP 6.2 –  
мултиплексор, демултиплексор,*

*компаратор и дешифратор*

Студент: Елена Цветкова Фак. No: 111211030

Група: 46 Дата: 10.03.2015 г.

Преподавател: доц. д-р Галя Маринова Подпис: