**ТЕХНИЧЕСКИ УНИВЕРСИТЕТ - СОФИЯ**

**ФАКУЛТЕТ ПО ТЕЛЕКОМУНИКАЦИИ**

Протокол №3

*Проектиране на комбинационни схеми на VHDL с*

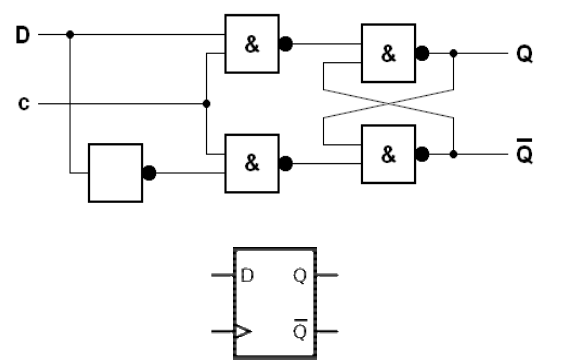
*помощта на WARP 6.2 –  
D-тригери, T-тригери, регистри, ROM-памет*

Студент: Красимира Божинова Фак. No: 111211087

Група: 46 Дата: 18.03.2015 г.

Преподавател: доц. д-р Галя Маринова Подпис:

1. D-тригер управляван по нарастващ фронт на тактовия генератор (D-flip-flop):
2. Логическа схема на D-тригер:



1. Принцип на действие:

D-тригерът представлява елементарна клетка памет. Той притежава един информационен вход означен с D. Логическото ниво на този вход се установява на изхода след постъпване на съответен тактов импулс. Информацията на изхода се получава с един такт закъснение. На основа на D-тригера се реализират основните регистърни схеми. Може да бъде получен на основата както на JK така и на RS тригер.

1. Поведенческо описание на D-тригер управляван по положителен фронт на сигнала Clock:

Ibrary ieee;

use ieee.std\_logic\_1164.all;

entity Bascule\_D is

port(CK:in bit; D: in std\_logic; Q:out std\_logic);

end Bascule\_D;

architecture archBascule\_D of Bascule\_D is

begin

process(CK)

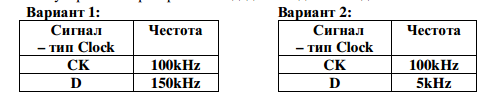
begin

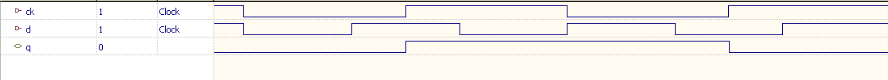
if CK'event and CK='1' then Q<=D; end if;

end process;

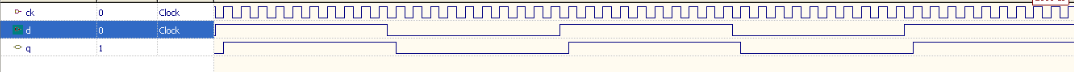
end archBascule\_D;

1. Резултати от симулацията, при подаване на следните входни сигнали(фиг.1)(фиг.2):





Фиг.1



Фиг.2

* Таблица на истинност:



От симулацията ясно можем да видим, че получените резултати отговарят на таблицата за истинност на D-тригера .

1. Добавяне на изход qbar :

* Използван код:

library ieee;

use ieee.std\_logic\_1164.all;

entity Bascule\_DD is

port (CK:in bit; D:in std\_logic; Q, Qbar:out std\_logic);

end Bascule\_DD;

architecture archBascule\_DD of Bascule\_DD is

begin

process(CK)

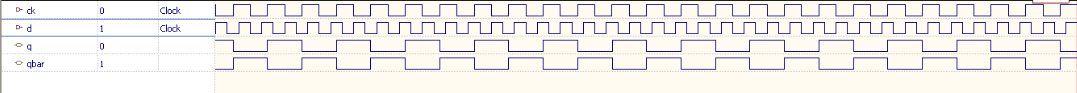
begin

if CK' event and CK= '1' then Q<=D; Qbar<=not (D) ; end if;

end process;

end archbascule\_DD;

* Резултати от симулацията (фиг.3):



Фиг.3

1. D-тригер управляван по ниво на тактовия генератор (D-latch):
2. Използван код:

Ibrary ieee;

use ieee.std\_logic\_1164.all;

entity Bascule\_D is

port(CK:in bit; D: in std\_logic; Q:out std\_logic);

end Bascule\_D;

architecture archBascule\_D of Bascule\_D is

begin

process(CK,D)

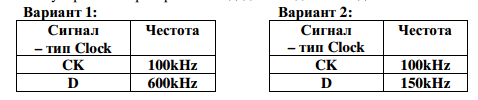
begin

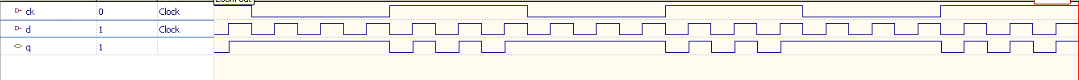
if CK='1' then Q<=D; end if;

end process;

end archBascule\_D;

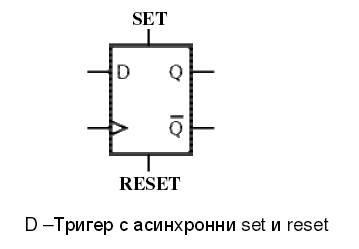
1. Резултати от симулацията, при подаване на следните входни сигнали(фиг.4):





Фиг.4

1. D-тригер с асинхронен Set и Reset и с приоритет на сигнала Set:
2. Логическа схема на D-тригер със Set и Reset:



1. Описание на D-тригер чрез поведенчески модел:

library ieee;

use ieee.std\_logic\_1164.all;

entity Bascule\_D is

port(CK,S,R :in bit; D: in std\_logic; Q: out

std\_logic);

end Bascule\_D;

architecture archBascule\_D of Bascule\_D is

begin

process(CK,S,R)

begin

if S='1' then Q<='1';

elsif S='0' and R='1' then Q<='0';

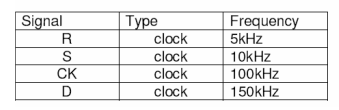
elsif CK'event and CK='1' then Q<=D;

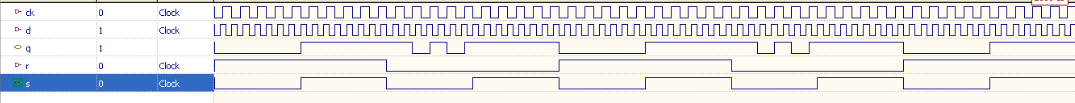
end if;

end process;

end archBascule\_D;

1. Резултати от симулацията, при подаване на следните входни сигнали(фиг.5):





Фиг.5