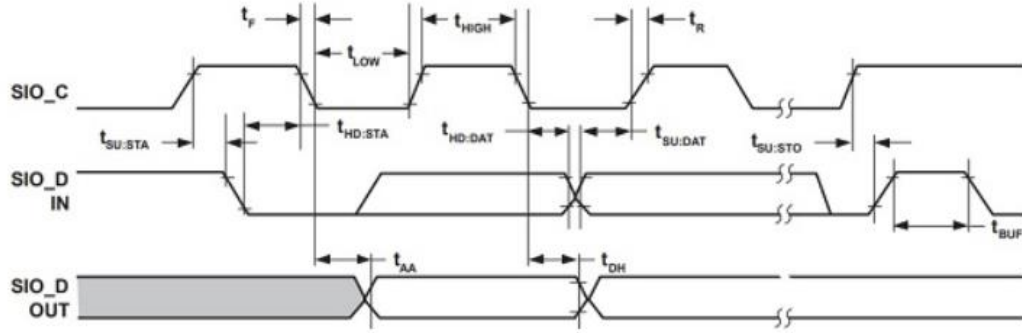


Kullanılan kamera çipi , OV7670 adlı ucuz bir CMOS kameradır (~3-5USD). Kameranın 656x488 piksellik bir görüntü dizisi vardır ve bunların 640x480 pikseli aktiftir. Xilinx ISE'deki Zedboard. Kameranın Basys 3 FPGA'ya bağlantıları yukarıdaki resimde gösterilmiştir.

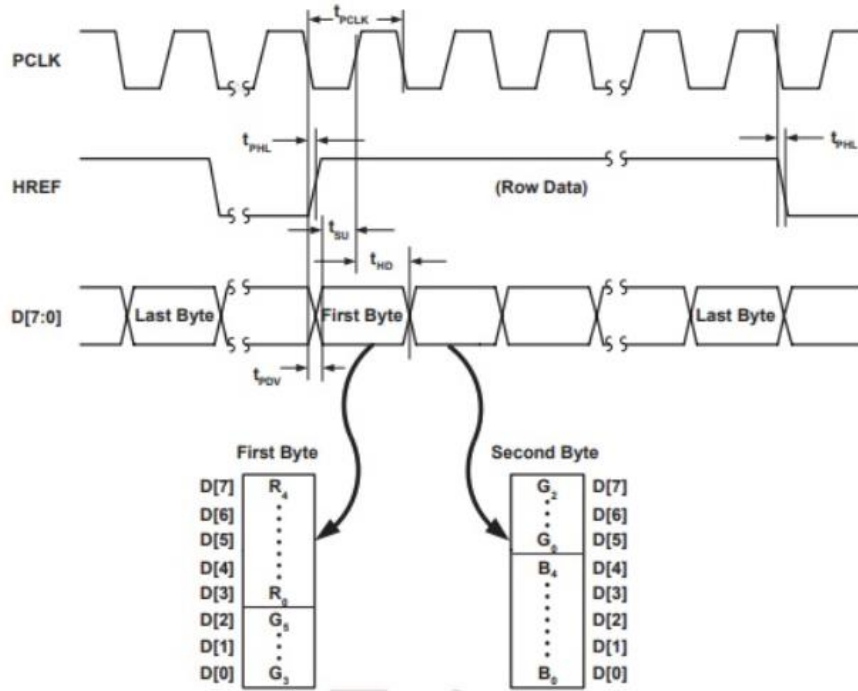
Bu proje, Zedboard için Xilinx ISE'deki tasarımı, 640x480, 320x240 ve 160x120 yeniden yapılandırılabilir görüntü boyutlarıyla Vivado Design Suite for Basys 3 FPGA'ya taşımaktır .

OV7670 kamera ile arayüz oluşturmak için en kritik adımlar ve modüller şunlardır:

1. Kamera yapılandırması (OV7670_controller.vhd): OV7670 kamerayı düzgün bir şekilde yapılandırmak için, yapılandırma ve veri yakalama için hangi iletişim protokolünü desteklediğini öğrenmek üzere veri sayfasını kontrol edin . Bu durumda, I2C benzeri bir SSCB arayüzüdür, bu nedenle kamera ile iletişim kurmak, yapılandırmak ve görüntü verilerini almak için bir I2C koduna ihtiyaç vardır. I2C benzeri arayüz hakkında daha fazla ayrıntı i2c_sender.vhd adresinde bulunabilir . Düzgün bir şekilde yapılandırmak için, cihaz kontrol kayıt listesini kontrol edin. Çıkış formatı (RGB, QVGA, QCIF, vb.), RGB formatı (RGB565, RGB555, vb.), zamanlama sinyalleri (PCLK, HREF, VSYNC) için yapılandırmanın yanı sıra, MTX1-MTX6 dahil matris katsayıları çıkış görüntü kalitesini belirleyen önemli faktörlerdir. Kontrol kayıt değerleri hakkında daha fazla ayrıntı OV7670_registers.vhd adresinde bulunabilir.

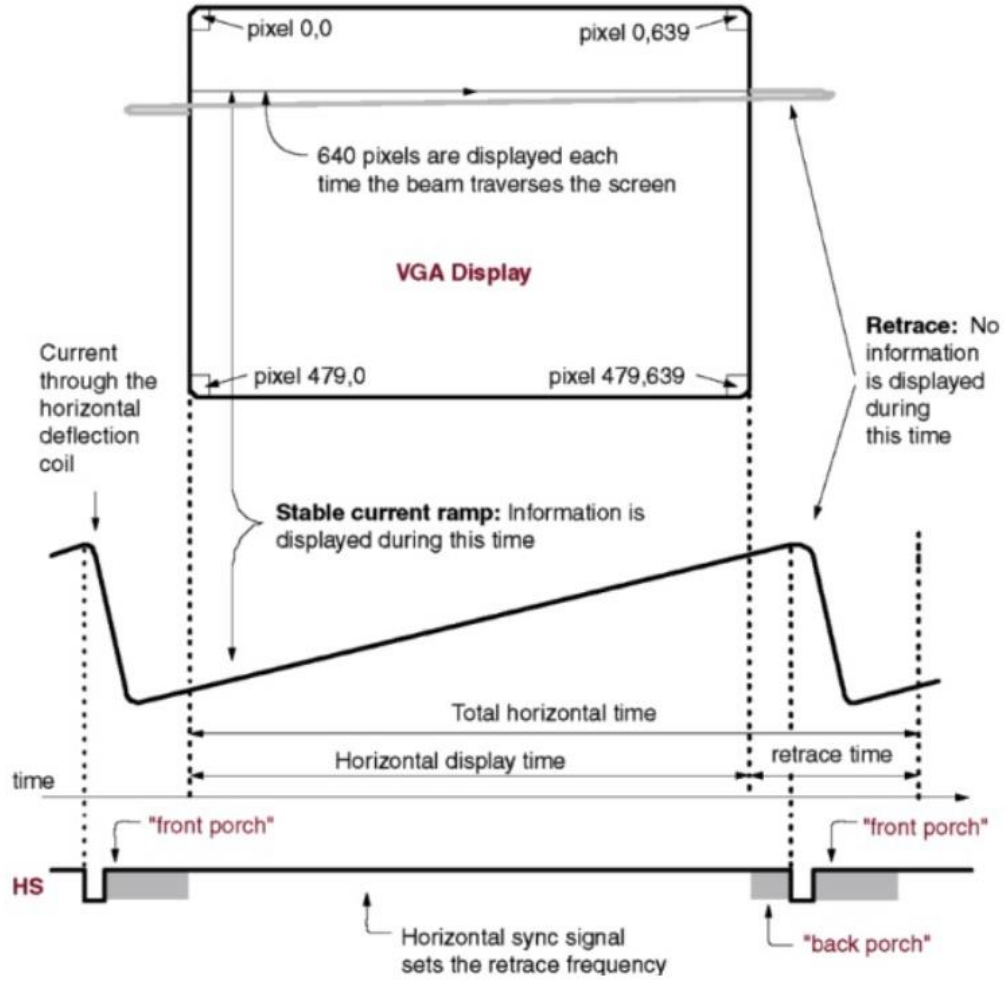


2. Görüntü verilerini yakalama (OV7670_capture.vhd): Kamerayı yapılandırdıktan sonraki adım görüntü verilerini yakalamaktır. Bir kez daha, seçtiğiniz çıktı formatının çıktı zamanlama diyagramını görmek için kameranın veri sayfasını kontrol edin. Örneğin, bu projede RGB565 formatı seçildiğinden, RGB565 için çıktı zamanlama diyagramı, kameranın çıktı sinyallerinden RGB verilerini düzgün bir şekilde yakalamak için kullanılır. Aşağıdaki zamanlama diyagramına dayanarak, OV7670_capture.vhd tasarlanmıştır .



3. **Görüntü Verilerini Kaydetme (frame_buffer.vhd):** Kamerayı yapılandırıp görüntü verilerini düzgün bir şekilde yakalayabildiğinizde, görüntü verileri ara bellekte saklanır. Basys 3 FPGA'daki sorun, Basys 3 FPGA'nın bellek boyutunun 640x480 görüntü boyutu için yeterli olmamasıdır. Basys 3 FPGA'nın BRAM'ını aşmadan tam 640x480 görüntü boyutuyla kamera ve VGA denetleyicisi için aynı ayarları kullanmak için püf noktası, 640x480 boyutu için her 4 pikselde yalnızca bir piksel kaydetmektir. Ardından, VGA monitörde tam 640x480 görüntü boyutuna sahipken, Basys 3 FPGA'ya uyması için kare arabellek boyutunu 4 kat azaltabiliriz. 320x240 ve 160x120 boyutları için Sol tuşa basıldığında 320x240 görüntü boyutunda görüntüleme yapılması tasarlanmıştır, Basys 3 FPGA'de Sağ tuşa basıldığında VGA monitörde 160x120 kare boyutunda görüntüleme yapılması tercih ediliyor.

4. **4. Gerçek zamanlı video/görüntünün VGA monitörde (vga.vhd) görüntülenmesi:** Son adım, çerçeve tamponunda kaydedilen görüntü verilerinin VGA monitörde görüntülenmesidir ve bir VGA denetleyicisi gereklidir. Aşağıda 25MHz VGA saatine sahip VGA denetleyicisi için zamanlama diyagramı ve tablosu verilmiştir.



Symbol	Parameter	Vertical Sync			Horizontal Sync	
		Time	Clocks	Lines	Time	Clocks
T_S	Sync pulse time	16.7 ms	416,800	521	32 μ s	800
T_{DISP}	Display time	15.36 ms	384,000	480	25.6 μ s	640
T_{PW}	Pulse width	64 μ s	1,600	2	3.84 μ s	96
T_{FP}	Front porch	320 μ s	8,000	10	640 ns	16
T_{BP}	Back porch	928 μ s	23,200	29	1.92 μ s	48

