

Федеральное государственное автономное образовательное учреждение высшего
образования "Национальный Исследовательский Университет ИТМО"
Мегафакультет Компьютерных Технологий и Управления
Факультет Программной Инженерии и Компьютерной Техники



Вариант №2
Лабораторная работа 1
по дисциплине
'Функциональная схемотехника'

Выполнил Студент группы Р33102
Лапин Алексей Александрович
Преподаватель:
Васильев С.Е.

г. Санкт-Петербург
2024г.

Содержание

1 Цели работы:	3
2 Задание	3
3 Отчет о выполнении заданий части 1:	4
3.1 Схема разработанного вентиля NAND	4
3.2 Символ вентиля и схема тестирования	4
3.3 Временная диаграмма процесса тестирования вентиля	5
3.4 Результат измерения задержки распространения сигнала через вентиль .	6
3.5 Максимальная частота работы вентиля	7
3.6 Постройте БОЭ на базе созданного вентиля согласно варианту задания.	8
3.7 Создайте символ для построенного БОЭ.	12
3.8 Проведите моделирование работы схемы и определите задержку распро- странения сигнала через БОЭ.	13
3.9 Результат измерения задержки распространения сигнала через БОЭ . . .	15
3.10 Максимальная частота работы БОЭ.	18
4 Отчет о выполнении заданий части 2:	21
4.1 Код разработанного модуля БОЭ	21

1 Цели работы:

1. Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП.
2. Познакомиться с технологией SPICE-моделирования схем на транзисторах.
3. Получить навыки описания схем базовых операционных элементов (БОЭ) комбинационного типа на вентиляном уровне с использованием языка описания аппаратуры Verilog HDL.

2 Задание

Лабораторная работа состоит из двух частей.

Первая часть посвящена проектированию цифровых вентилях на полевых транзисторах, построению схем на базе вентилях и знакомству с технологией SPICE-моделирования. Первая часть работы выполняется в программном пакете LTspice. При построении схем вентилях необходимо использовать КМОП-транзисторы с параметрами из файла, предоставленного преподавателем (см. раздел «Основы работы в среде LTspice»).

Вторая часть посвящена знакомству с языком описания аппаратуры Verilog HDL, изучению особенностей его использования для описания схем на вентиляном уровне и приобретению навыков тестирования таких схем. Вторая часть работы выполняется с использованием Vivado Simulator, входящего в пакет Vivado Design Suite (см. раздел «Основы работы в среде Vivado Design Suite»).

Вариант: 2

Логический базис: NAND

БОЭ: Полный четырехразрядный компаратор

3 Отчет о выполнении заданий части 1:

3.1 Схема разработанного вентиля NAND

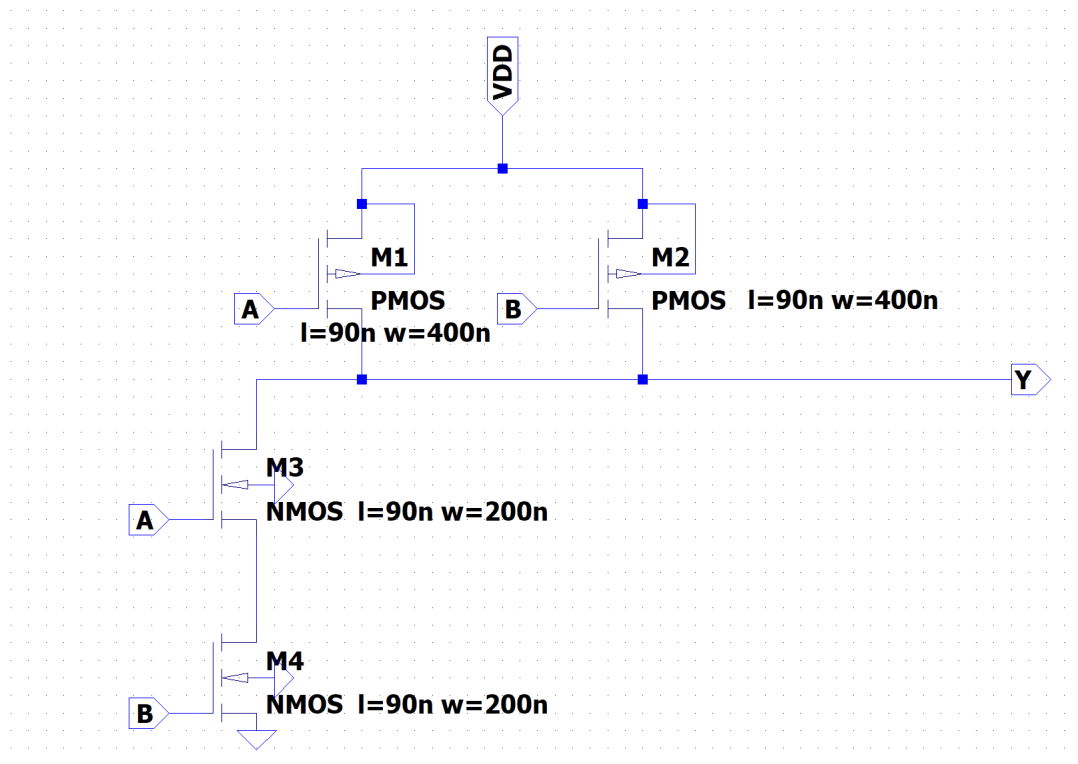


Рис. 1: Схема разработанного вентиля NAND

3.2 Символ вентиля и схема тестирования

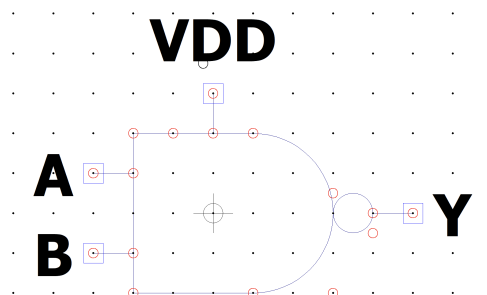


Рис. 2: Символ вентиля

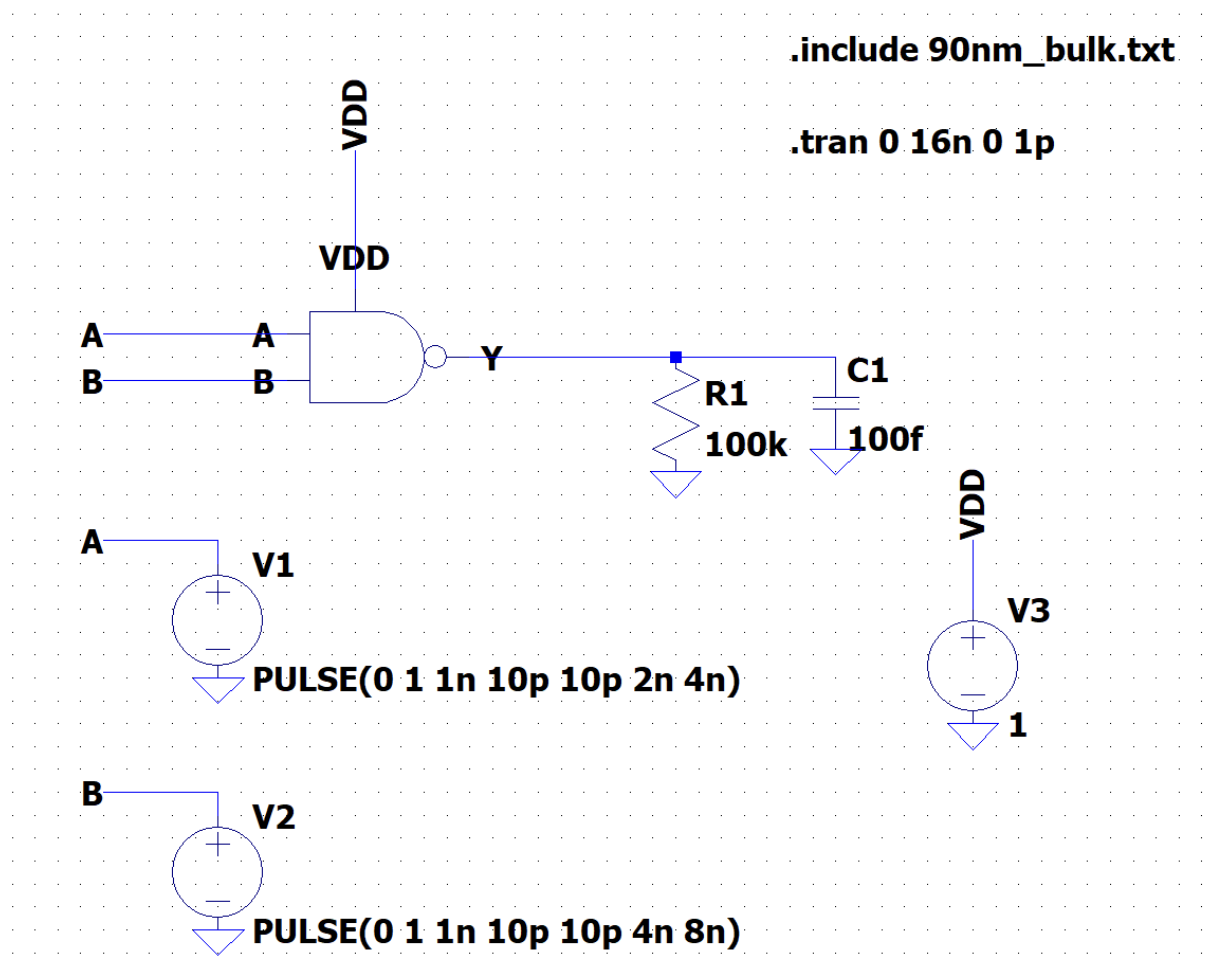


Рис. 3: Схема тестирования

3.3 Временная диаграмма процесса тестирования вентиля

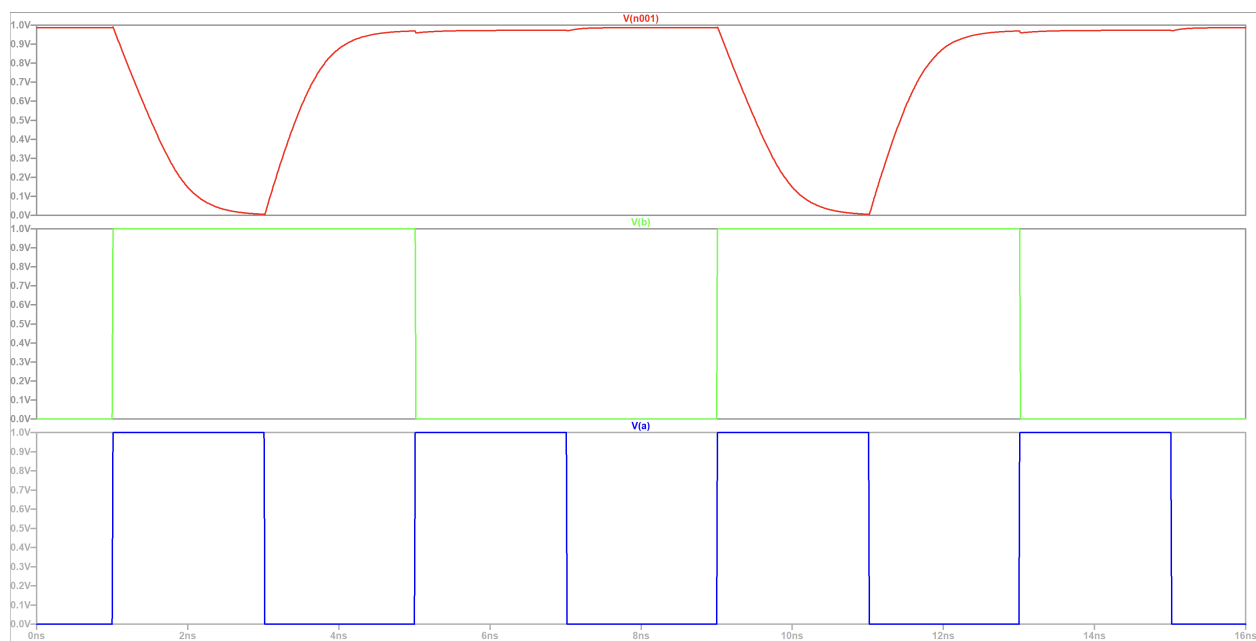


Рис. 4: Временная диаграмма процесса тестирования вентиля

3.4 Результат измерения задержки распространения сигнала через клапан

Задержка распространения - максимальное время от начала изменения входа до момента, когда все выходы достигнут установившихся значений. Измеряется она между точками перехода входным и выходным сигналом уровня 50%.

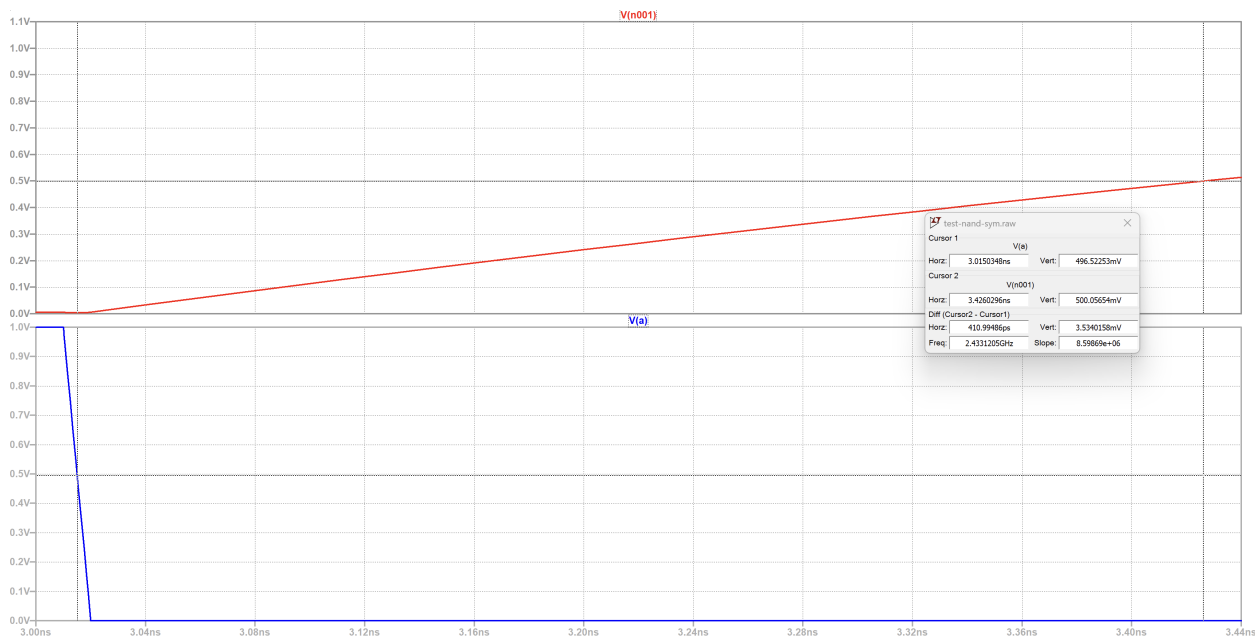


Рис. 5: Подсчет задержки распространения сигнала для 0-1 на выходе

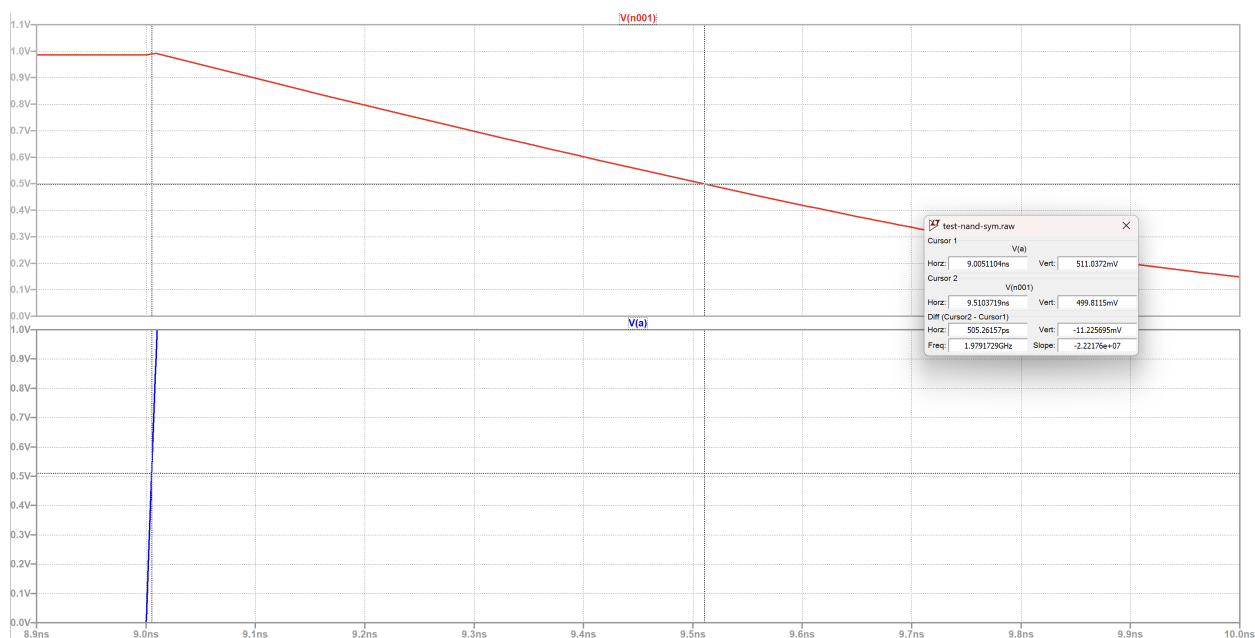


Рис. 6: Подсчет задержки распространения сигнала для 1-0 на выходе

$$t_{pd} = t_2 - t_1 = 3.426 - 3.015 = 0.411 \text{ нс} - \text{задержка распространения сигнала для 0-1 на выходе}$$

$$t_{pd} = t_2 - t_1 = 9.510 - 9.005 = 0.505 \text{ нс} - \text{задержка распространения сигнала для 1-0 на выходе}$$

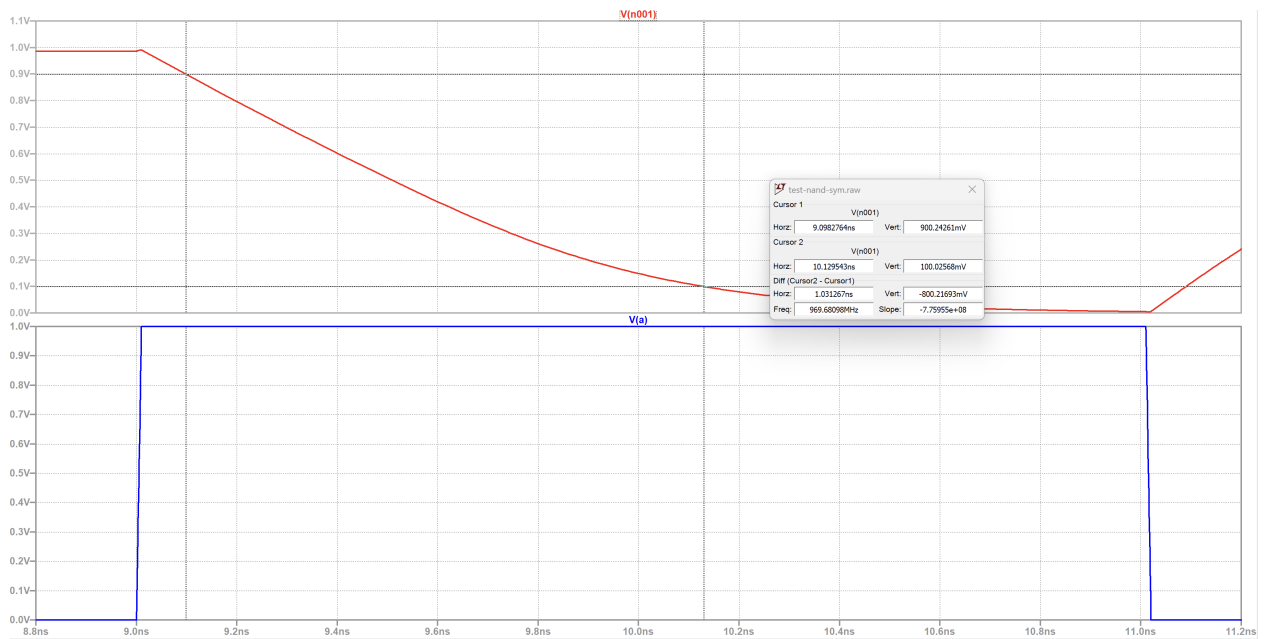


Рис. 7: Время спада от 0.9 до 0.1

3.5 Максимальная частота работы вентиля

Высчитывается как время спада(фронта) от 0.1 до 0.9 (0.9 до 0.1) уровня на выходе вентиля, и от этого времени высчитывается частота:



Рис. 8: Время фронта от 0.1 до 0.9

$$t_{10} = 9.098 - 10.130 = 1.031\text{нс} - \text{для спада}$$

$$t_{01} = 4.086 - 3.089 = 0.996\text{нс} - \text{для фронта}$$

Тогда частота спада/фронта:

$$\nu_{\text{спада}} = \frac{1}{t_{10}} = \frac{1}{1.031} = 0.970\text{ГГц}$$

$$\nu_{\text{фронта}} = \frac{1}{t_{01}} = \frac{1}{0.996} = 1.004 \text{ ГГц}$$

Тогда максимальная частота работы вентиля:

$$\nu_{\text{max}} = \min(\nu_{\text{спада}}, \nu_{\text{фронта}}) = \min(0.970, 1.004) = 0.970 \text{ ГГц}$$

3.6 Постройте БОЭ на базе созданного вентиля согласно варианту задания.

Полный четырех разрядный компаратор.

$$\begin{aligned} (A = B) - \overline{AB} \vee A\overline{B} &= \overline{\overline{AB} \wedge \overline{A\overline{B}}} = \overline{(\overline{A} | B)(A | \overline{B})} = \overline{(\overline{A} | B) | (A | \overline{B})} \\ (A < B) - \overline{AB} &= \overline{AB} = \overline{(\overline{A} | B)} \\ (A > B) - A\overline{B} &= \overline{A\overline{B}} = \overline{(A | \overline{B})} \\ \overline{A} &= (A | A) \end{aligned}$$

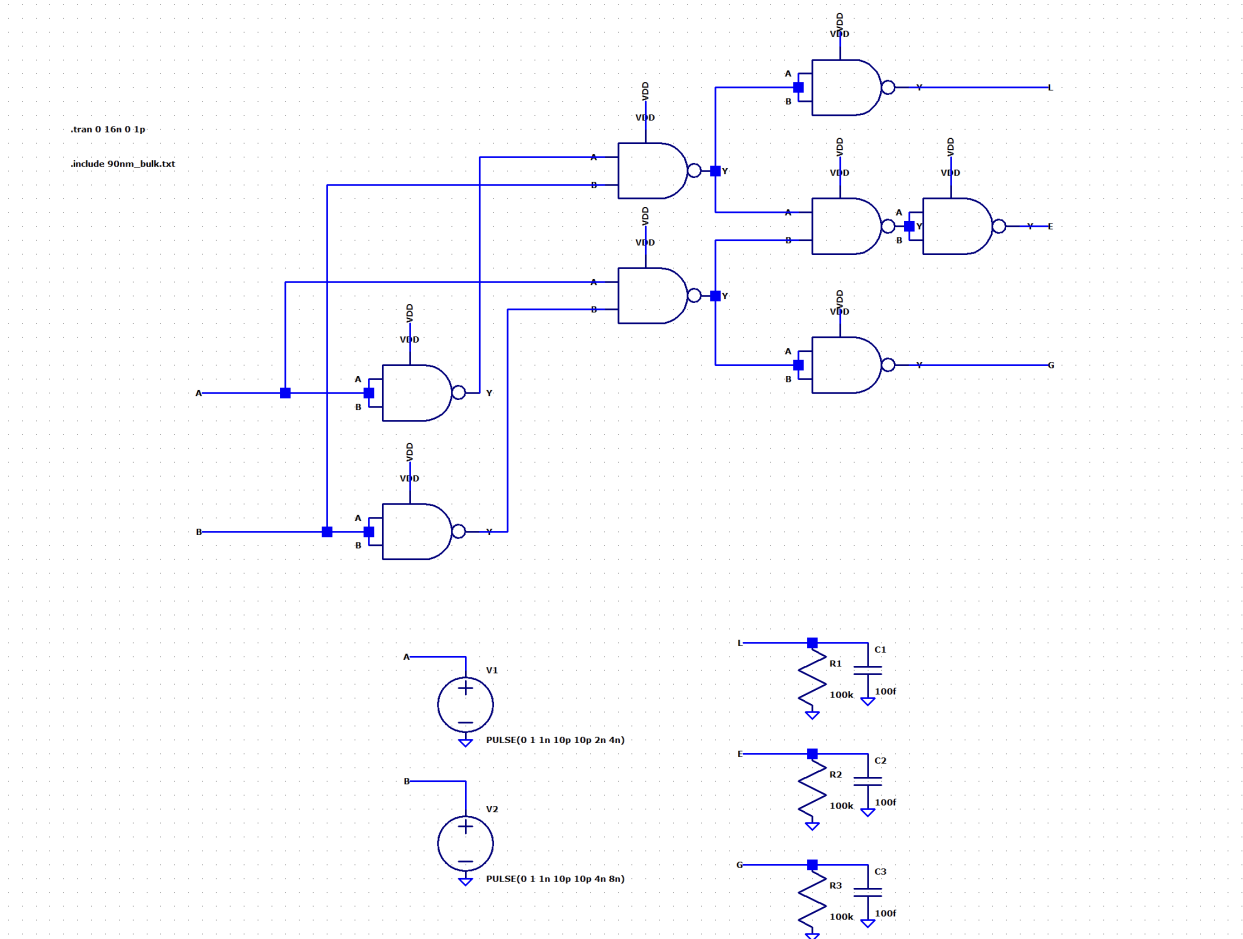


Рис. 9: Схема полного компаратора с двумя одноразрядными входами

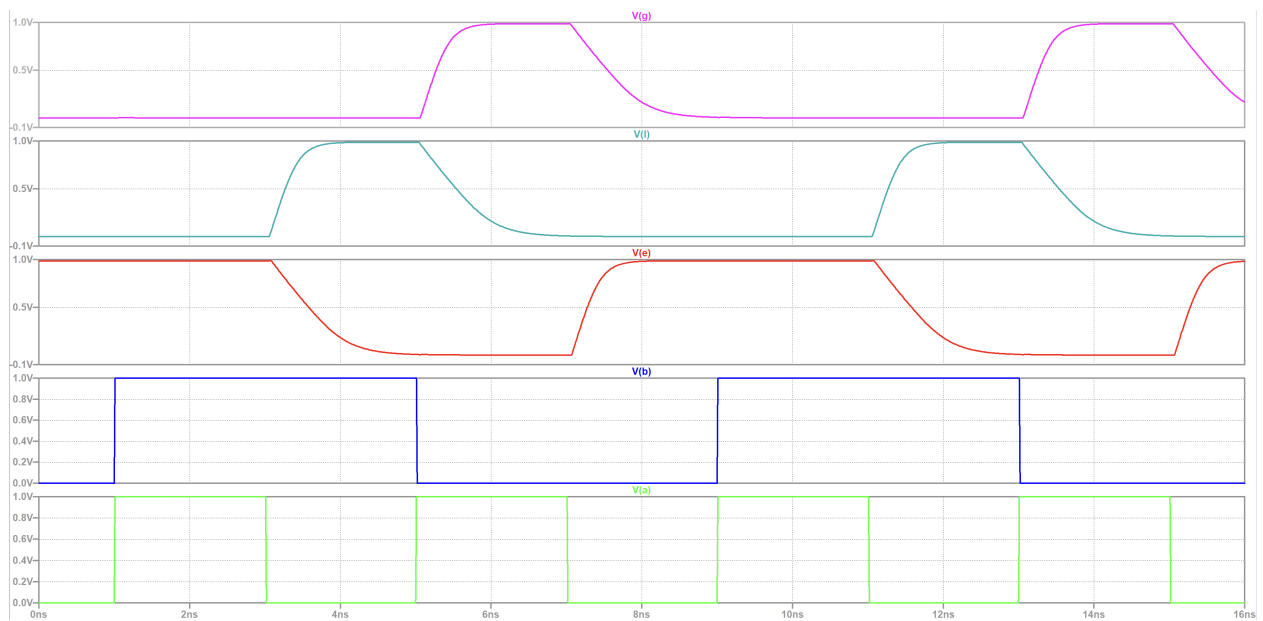


Рис. 10: Тестирование полного компаратора с двумя одноразрядными входами

Чтобы уменьшить количество обозначений на схеме, сделаем символ полного компаратора с двумя одноразрядными входами

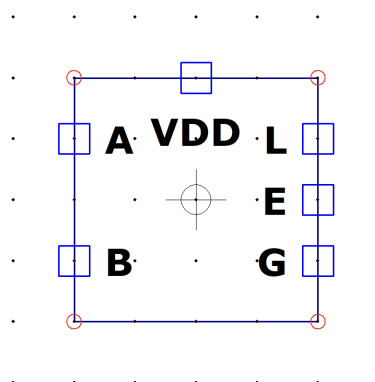


Рис. 11: Символ полного компаратора с двумя одноразрядными входами

Будем делать последовательный компаратор, поэтому добавим входы наращивания разрядности.

$$A \wedge B = (A \mid B) \mid (A \mid B)$$

$$A \vee B = (A \mid A) \mid (B \mid B)$$

Чтобы не пугать людей, сделаем ещё символ для полного компаратора с двумя одноразрядными входами и входами наращивания разрядности:

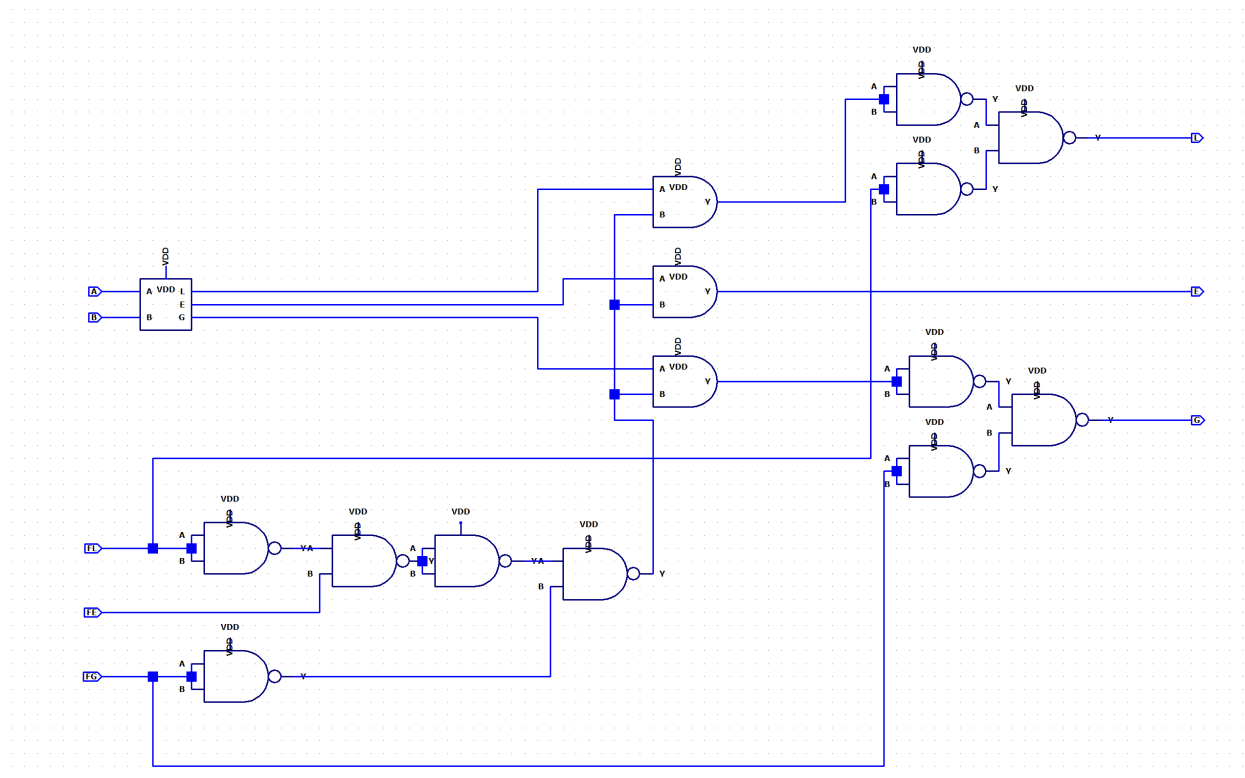


Рис. 12: Схема полного компаратора с двумя одноразрядными входами и входами наращивания разрядности

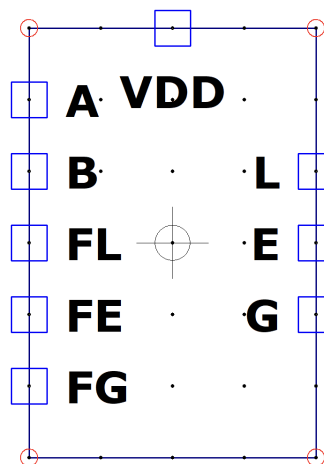


Рис. 13: Символ полного компаратора с двумя одноразрядными входами и входами наращивания разрядности

Подключим компараторы в последовательную цепочку, чтобы получить полный четырехразрядный компаратор. Насладимся красотой получившейся схемы, не забывая про тестирование на каждом из этапов.

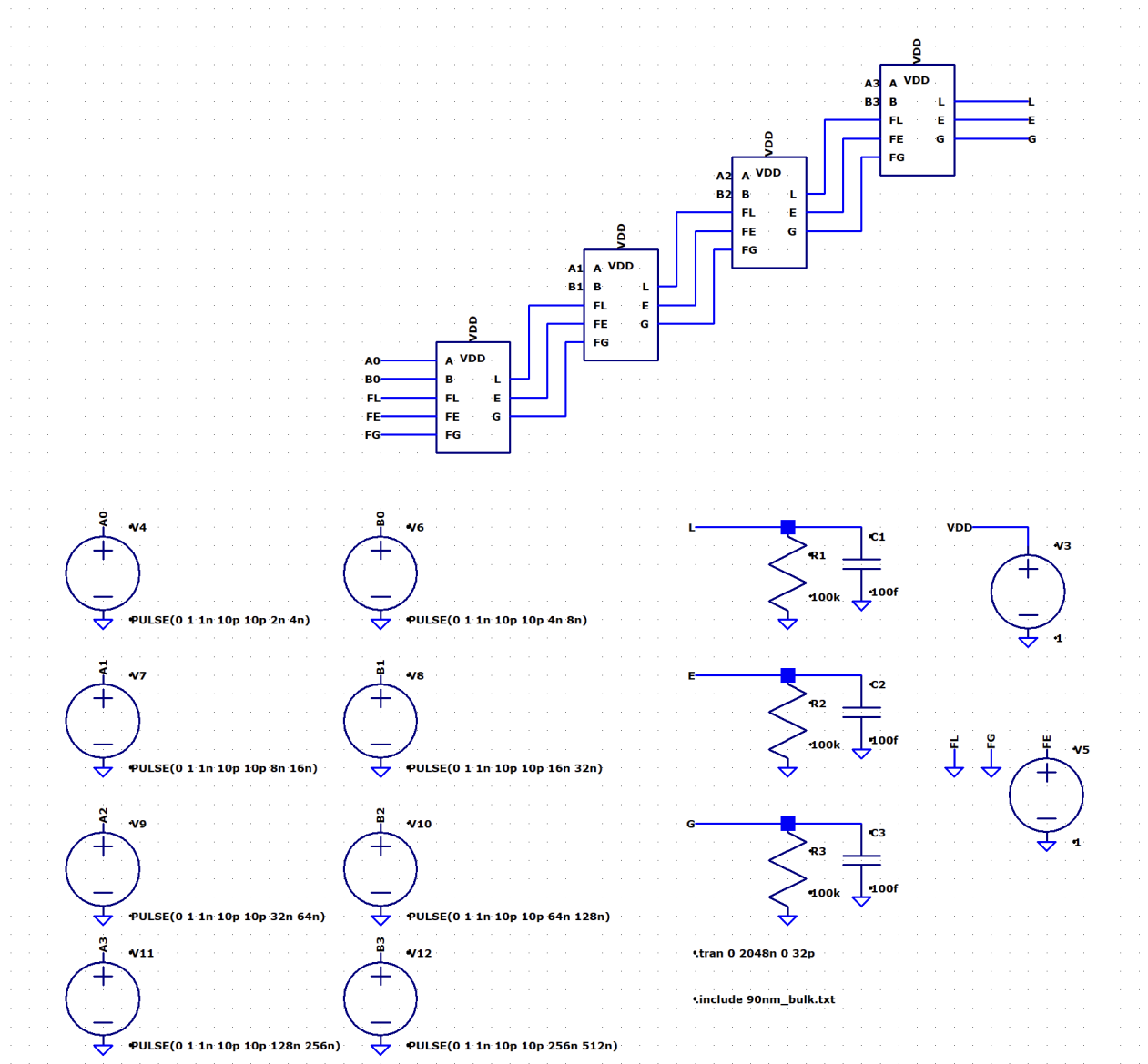


Рис. 14: Схема полного четырехразрядного компаратора

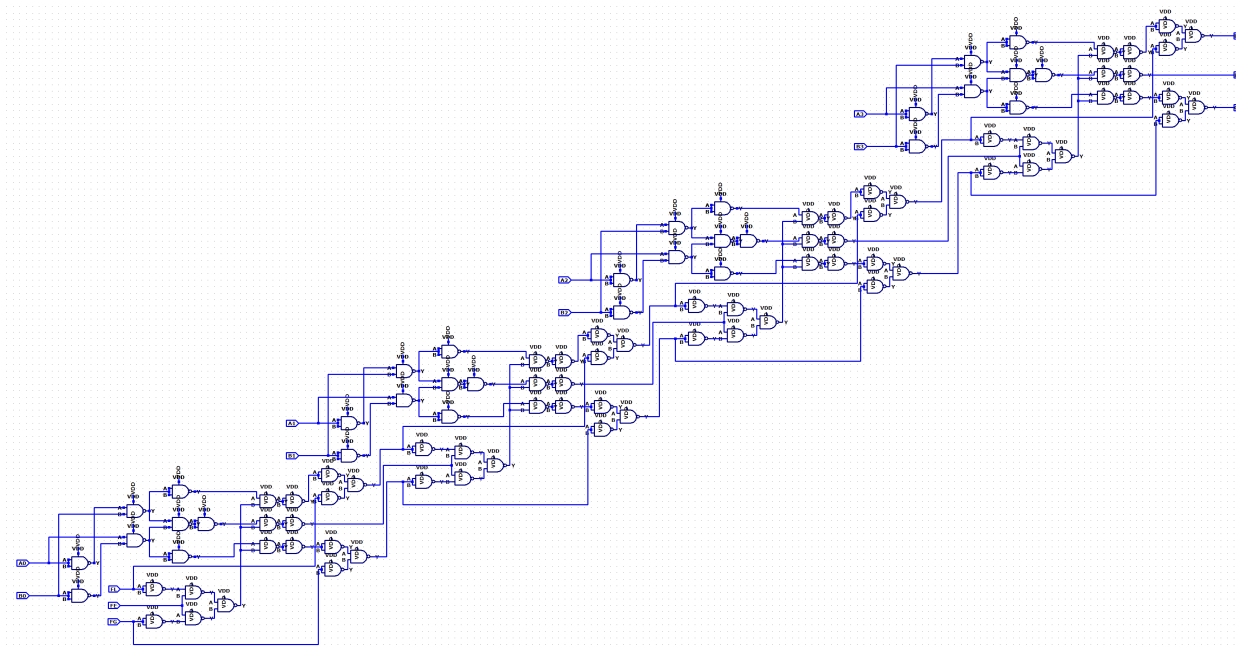


Рис. 15: Тоже самое, но без вспомогательных символов. Слабонервным не смотреть)

3.7 Создайте символ для построенного БОЭ.

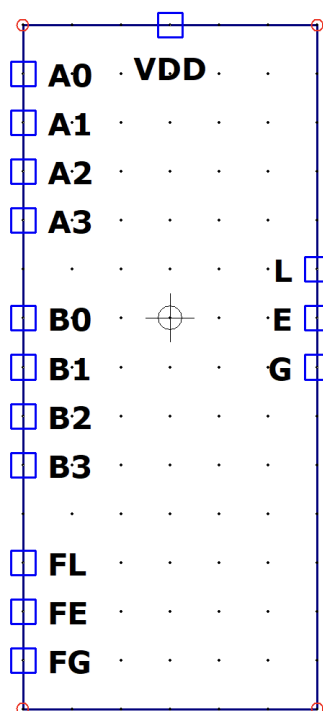


Рис. 16: Символ полного четырехразрядного компаратора

3.8 Проведите моделирование работы схемы и определите задержку распространения сигнала через БОЭ.

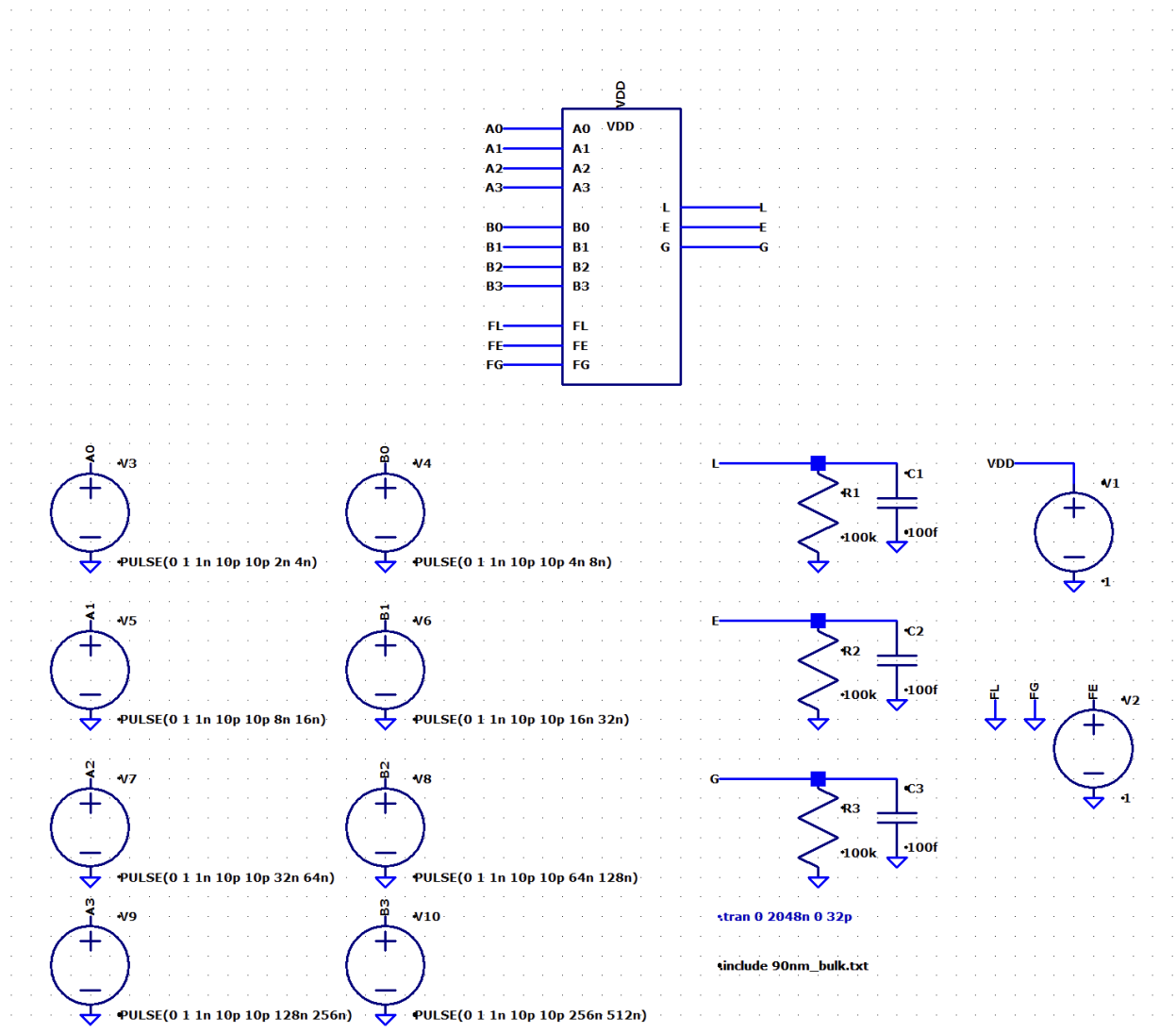


Рис. 17: Схема тестирования полного четырехразрядного компаратора

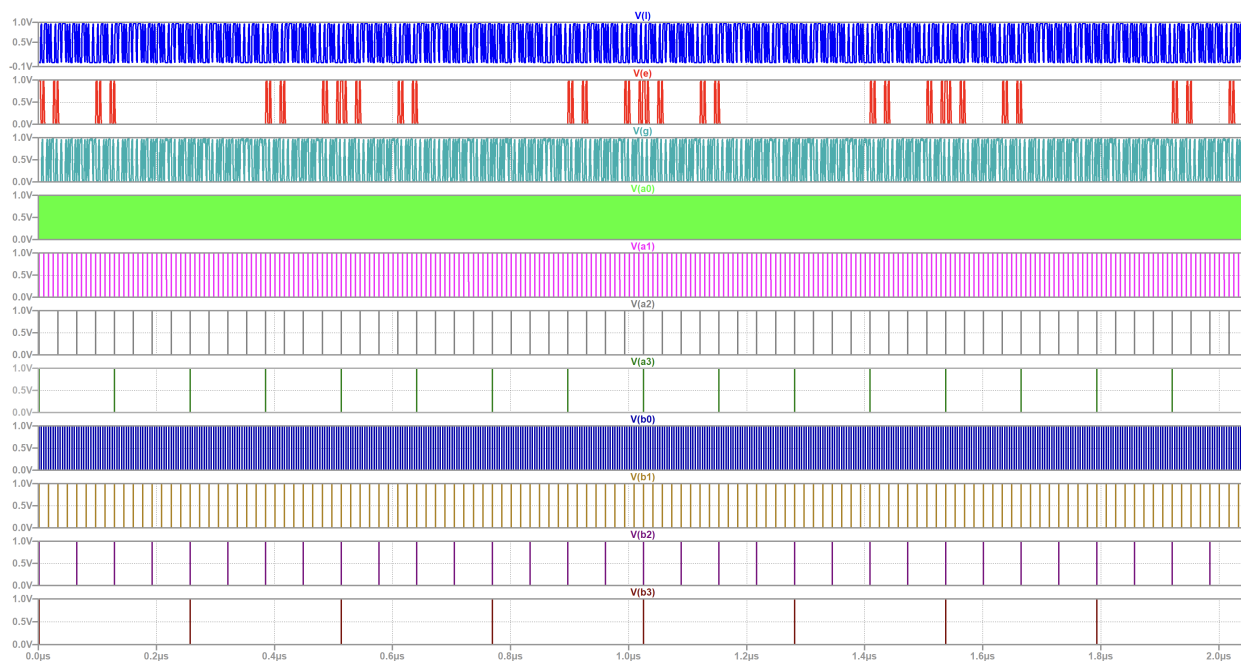


Рис. 18: Все возможные состояния. Ничего не понятно, но очень интересно

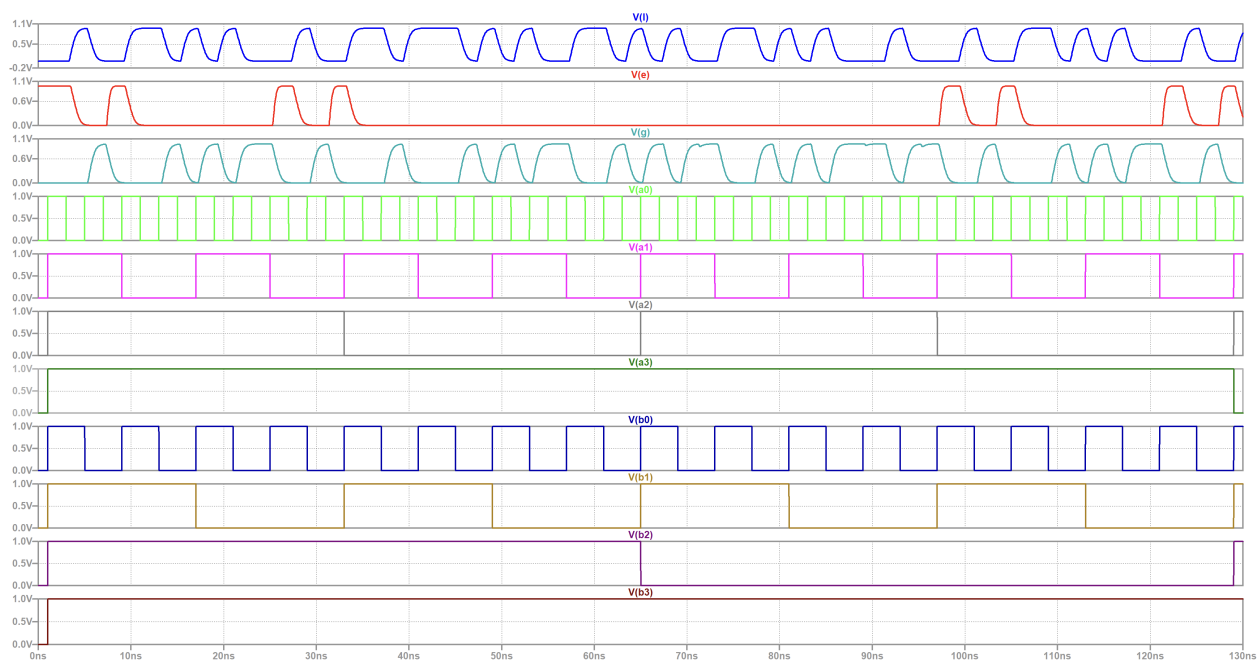


Рис. 19: Рассмотрим поближе. Видим, что компаратор выдает верные значения

3.9 Результат измерения задержки распространения сигнала через БОЭ

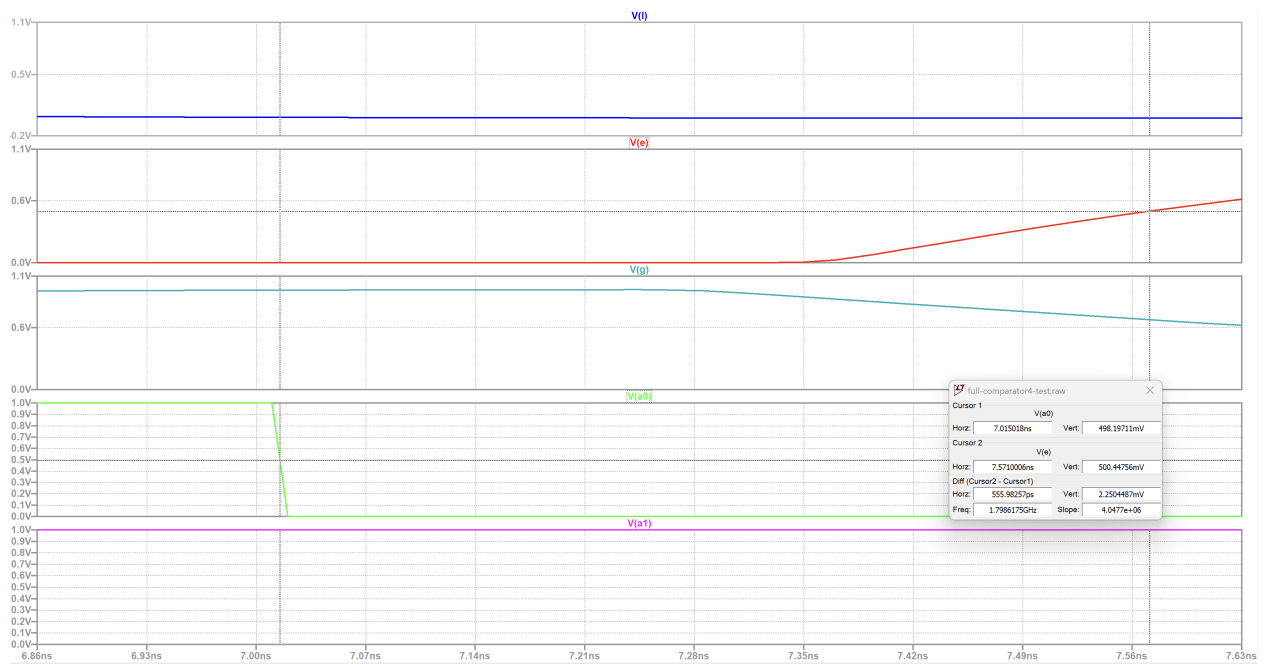


Рис. 20: Подсчет задержки распространения сигнала для 0-1 на выходе equal

$$t_{pd} = 7.571 - 7.015 = 0.556ns$$

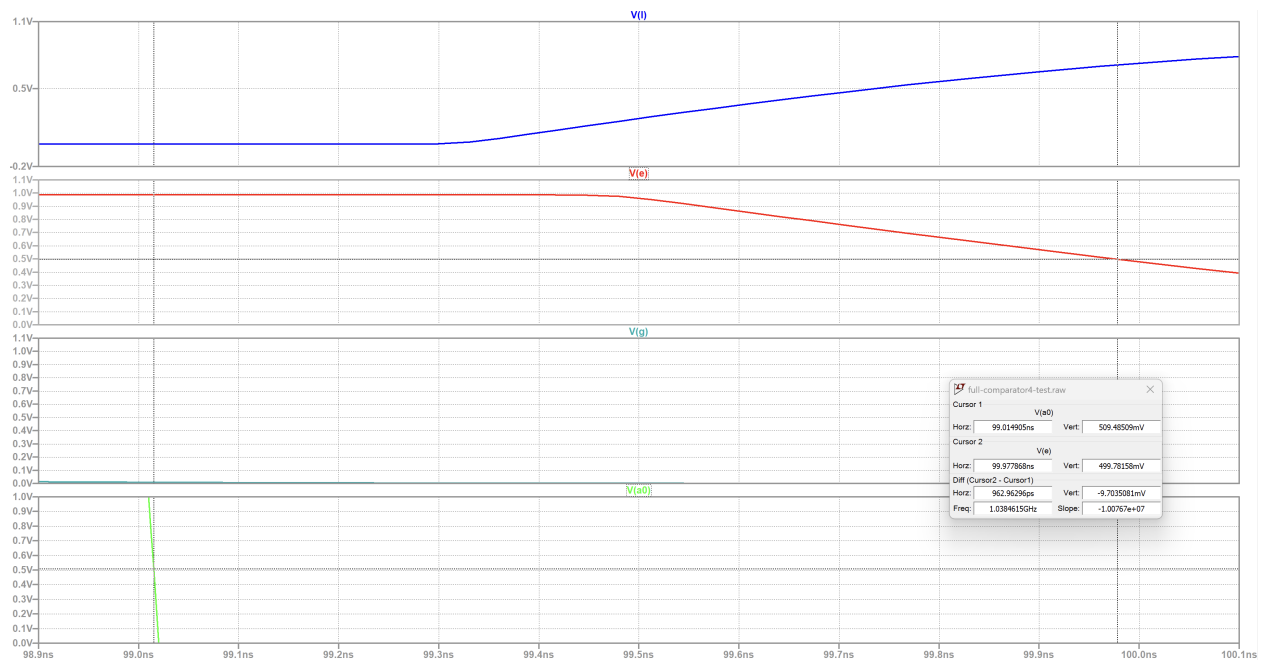


Рис. 21: Подсчет задержки распространения сигнала для 1-0 на выходе equal

$$t_{pd} = 99.977 - 99.015 = 0.963ns$$

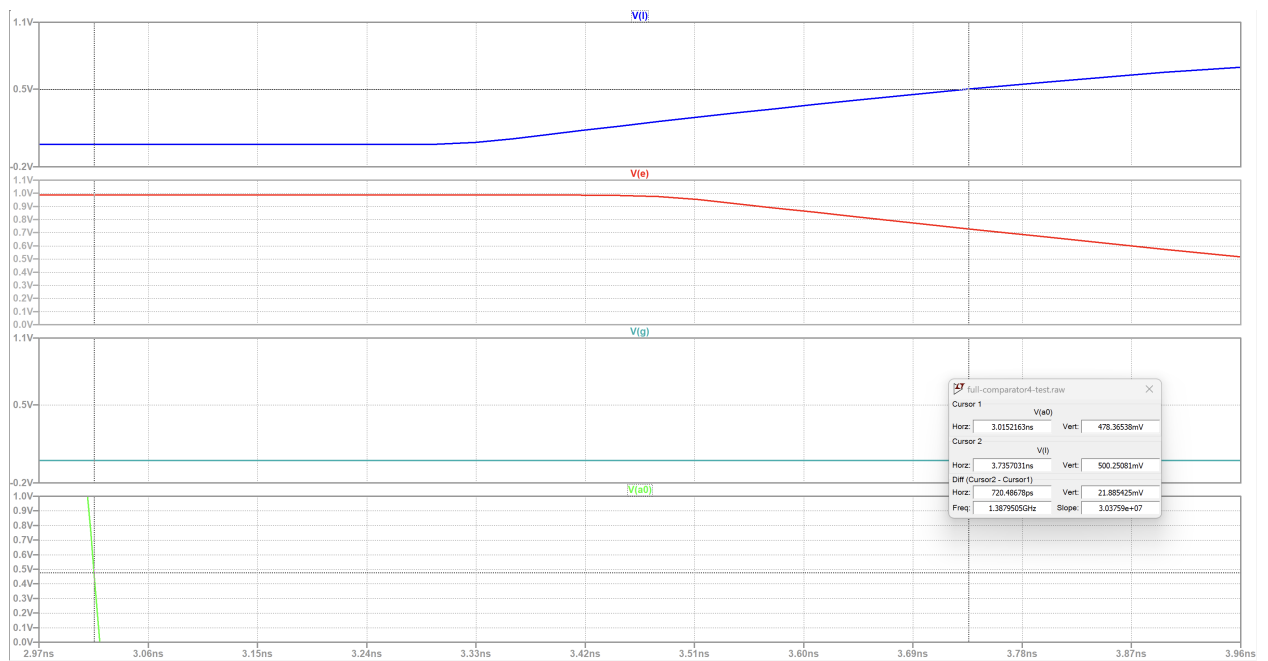


Рис. 22: Подсчет задержки распространения сигнала для 0-1 на выходе less

$$t_{pd} = 3.736 - 3.015 = 0.720ns$$

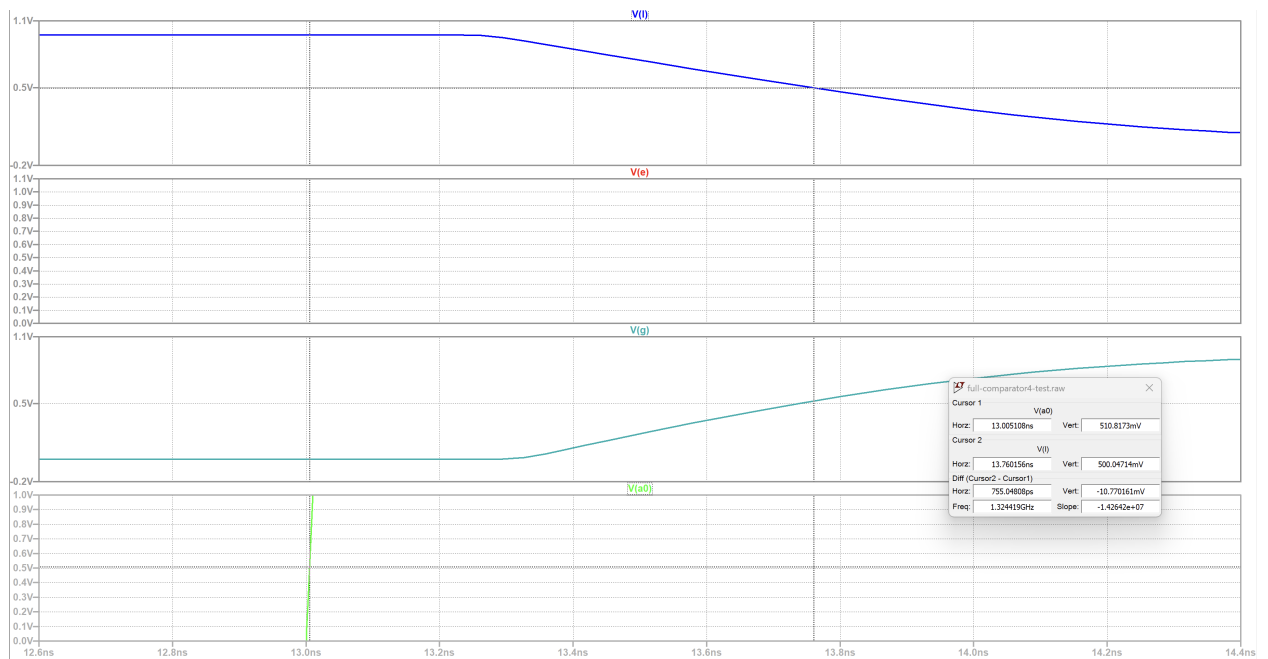


Рис. 23: Подсчет задержки распространения сигнала для 1-0 на выходе less

$$t_{pd} = 13.760 - 13.005 = 0.755ns$$

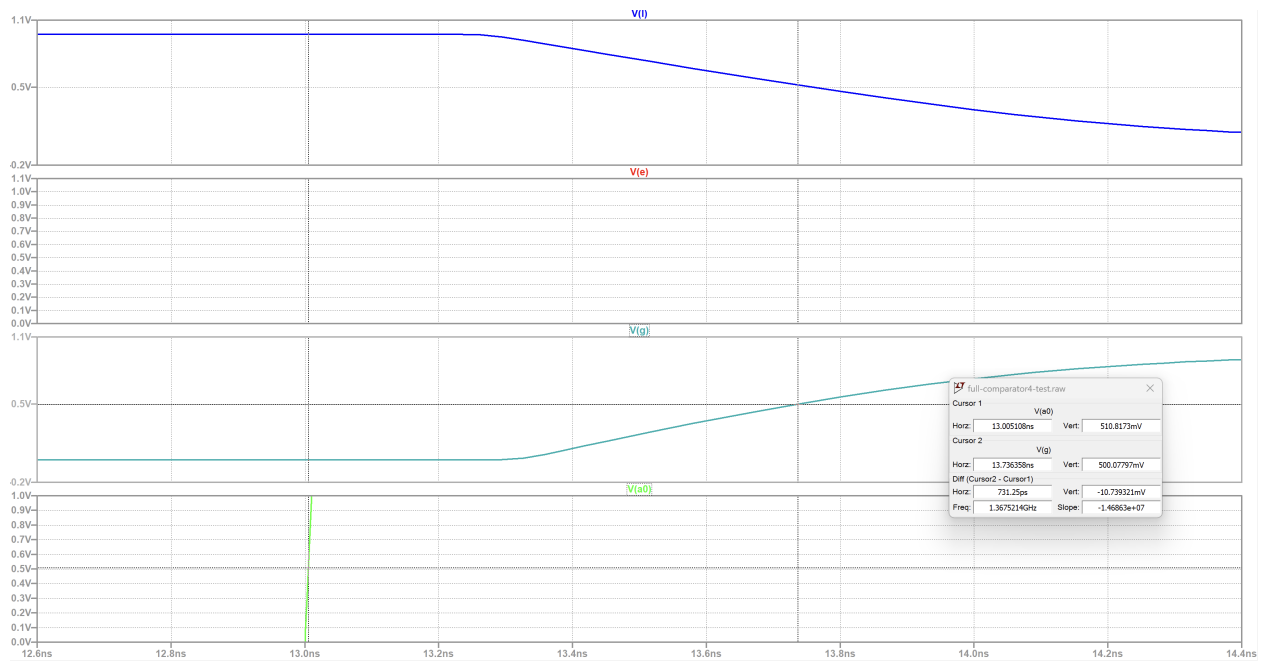


Рис. 24: Подсчет задержки распространения сигнала для 0-1 на выходе greater

$$t_{pd} = 13.736 - 13.005 = 0.731ns$$



Рис. 25: Подсчет задержки распространения сигнала для 1-0 на выходе greater

$$t_{pd} = 73.827 - 73.005 = 0.822ns$$

3.10 Максимальная частота работы БОЭ.

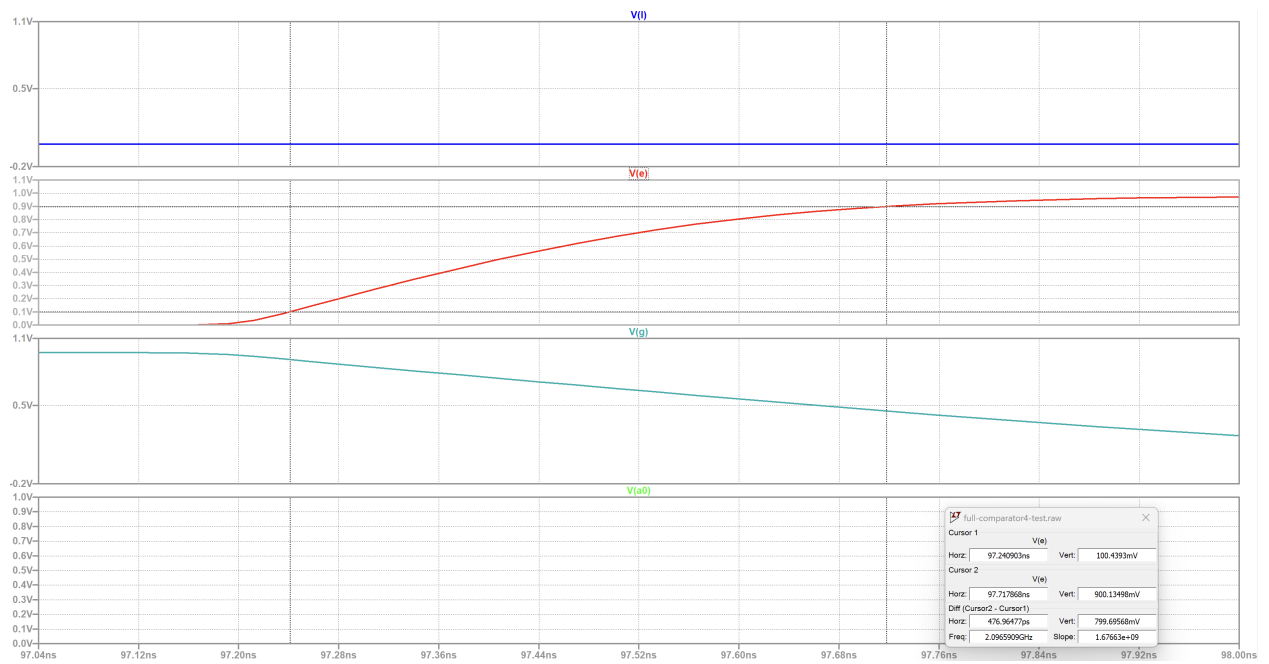


Рис. 26: Время фронта от 0.9 до 0.1 для equal

$$t_{\text{фронта}_{\text{eq}}} = 97.718 - 97.241 = 0.477 \text{ ns}$$

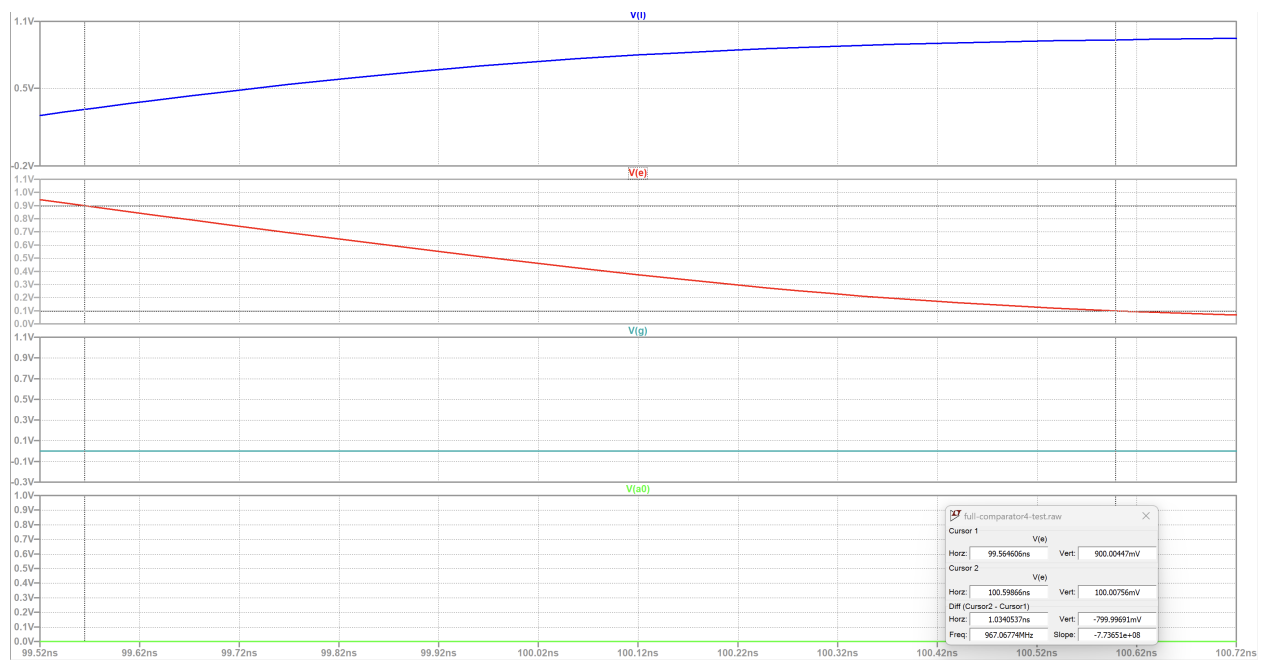


Рис. 27: Время спада от 0.1 до 0.9 для equal

$$t_{\text{спада}_{\text{eq}}} = 100.599 - 99.565 = 1.034 \text{ ns}$$

$$t_{\text{фронта}_{\text{gt}}} = 102.396 - 101.68 = 0.716 \text{ ns}$$

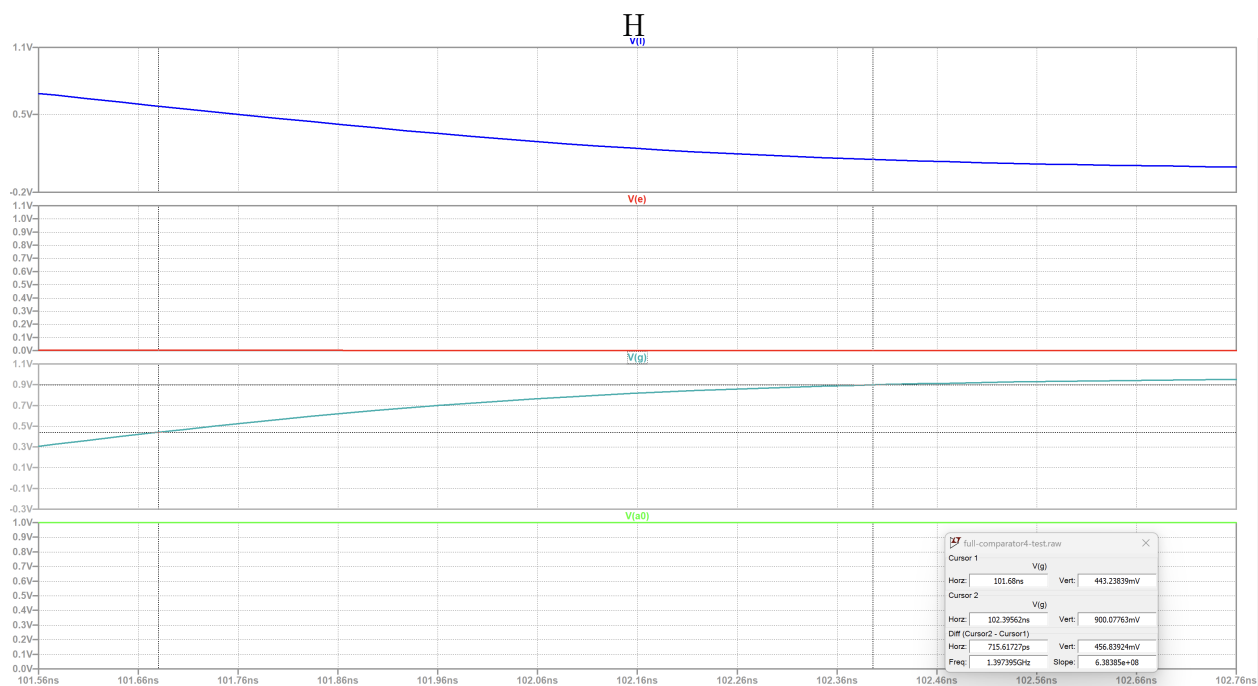


Рис. 28: Время фронта от 0.9 до 0.1 для greater

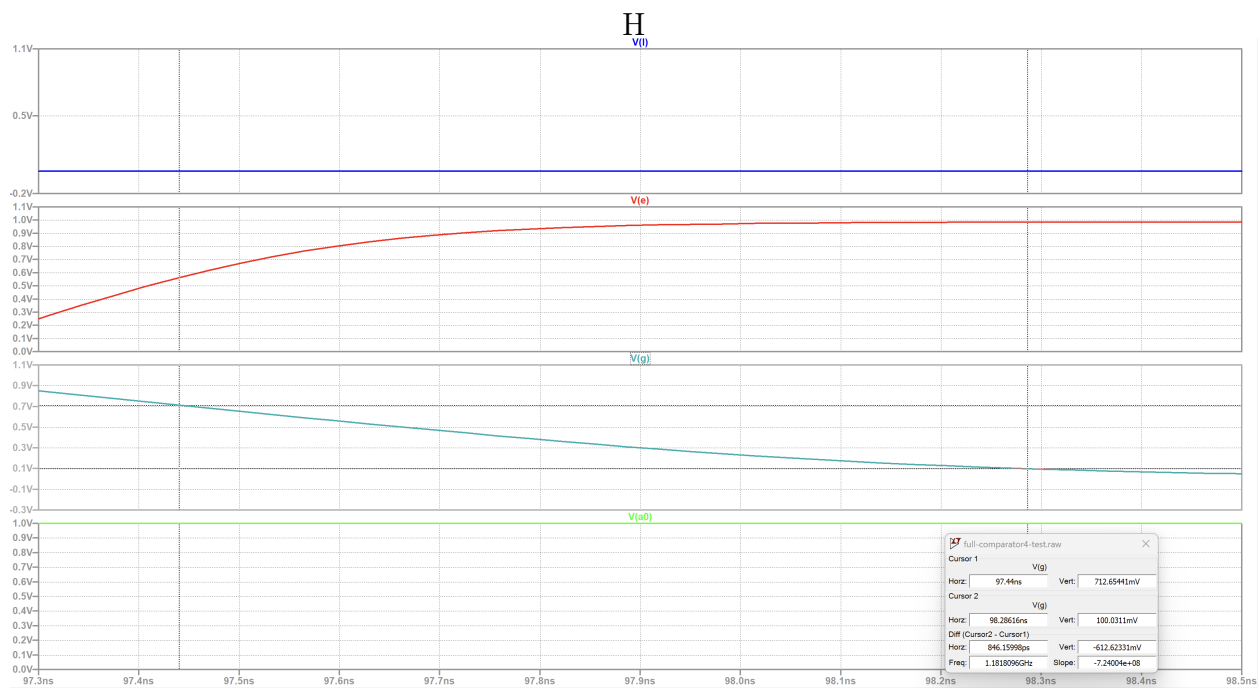


Рис. 29: Время спада от 0.1 до 0.9 для greater

$$t_{\text{спада}_{\text{gt}}} = 98.286 - 97.44 = 0.846 \text{ ns}$$

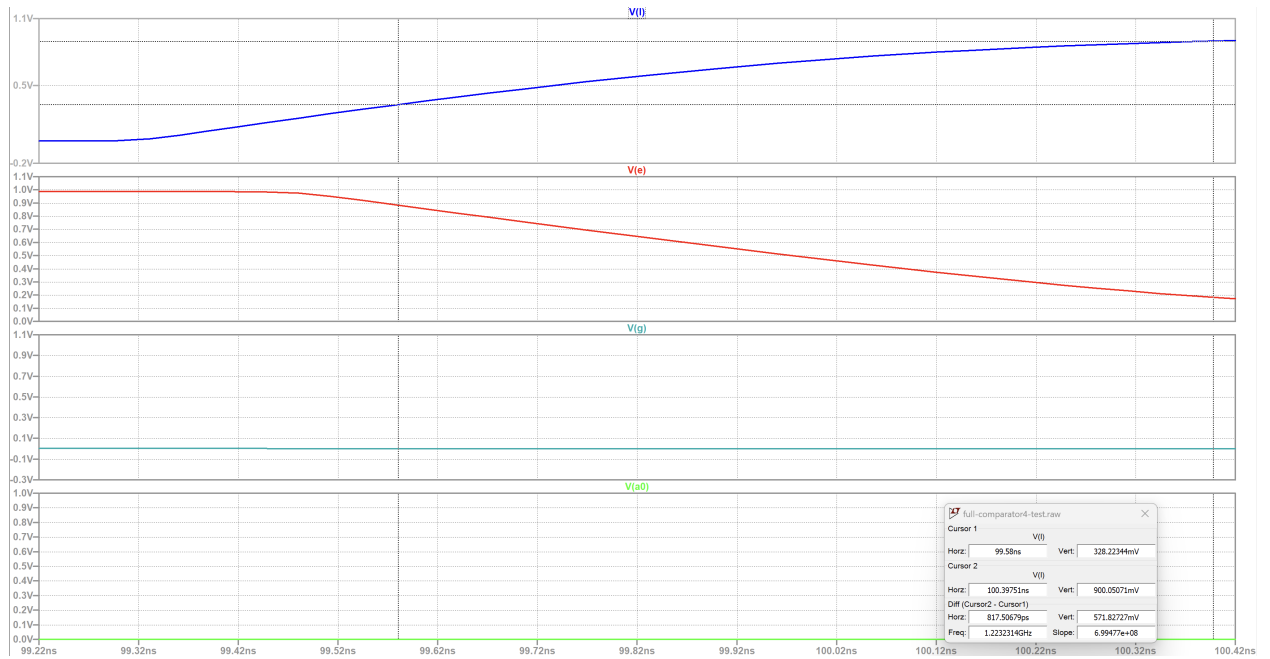


Рис. 30: Время фронта от 0.9 до 0.1 для less

$$t_{\text{фронта}_{\text{t}}} = 100.398 - 99.58 = 0.818 \text{ ns}$$

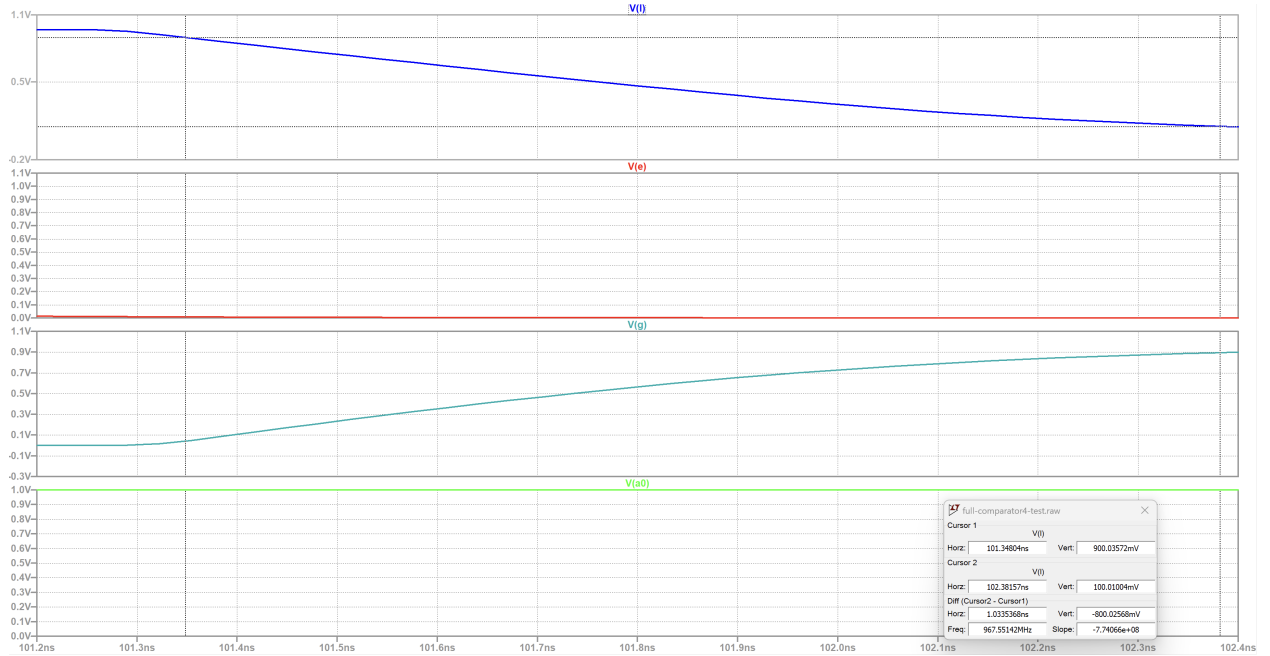


Рис. 31: Время спада от 0.1 до 0.9 для less

$$t_{\text{спада}_{\text{t}}} = 102.382 - 101.348 = 1.034 \text{ ns}$$

Тогда максимальная частота схемы:

$$\nu_{\text{max}} = \frac{1}{\max(t)} = \frac{1}{1.034} = 0.967 \text{ ГГц}$$

4 Отчет о выполнении заданий части 2:

4.1 Код разработанного модуля БОЭ