

Федеральное государственное автономное образовательное учреждение высшего
образования "Национальный Исследовательский Университет ИТМО"
Мегафакультет Компьютерных Технологий и Управления
Факультет Программной Инженерии и Компьютерной Техники



Вариант №2
Лабораторная работа 1
по дисциплине
‘Функциональная схемотехника’

Выполнил Студент группы Р33102
Лапин Алексей Александрович
Преподаватель:
Васильев С.Е.

г. Санкт-Петербург
2024г.

Содержание

1 Цели работы:	3
2 Задание	3
3 Отчет о выполнении заданий части 1:	4
3.1 Схема разработанного вентиля NAND	4
3.2 Символ вентиля и схема тестирования	4
3.3 Временная диаграмма процесса тестирования вентиля	5
3.4 Результат измерения задержки распространения сигнала через вентиль .	6
3.5 Максимальная частота работы вентиля	7
3.6 Постройте БОЭ на базе созданного вентиля согласно варианту задания.	9
3.7 Создайте символ для построенного БОЭ.	14
3.8 Проведите моделирование работы схемы и определите задержку распро- странения сигнала через БОЭ.	15
3.9 Результат измерения задержки распространения сигнала через БОЭ . . .	17
3.10 Максимальная частота работы БОЭ.	19
4 Отчет о выполнении заданий части 2:	20
4.1 Код разработанного модуля БОЭ	20
4.2 Код разработанного тестового окружения	22
4.3 Временная диаграмма процесса тестирования БОЭ	23
5 Выводы	27
5.1 LTspice	27
5.2 Vivado	27

1 Цели работы:

1. Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП.
2. Познакомиться с технологией SPICE-моделирования схем на транзисторах.
3. Получить навыки описания схем базовых операционных элементов (БОЭ) комбинационного типа на вентиляном уровне с использованием языка описания аппаратуры Verilog HDL.

2 Задание

Лабораторная работа состоит из двух частей.

Первая часть посвящена проектированию цифровых вентилях на полевых транзисторах, построению схем на базе вентилях и знакомству с технологией SPICE моделирования. Первая часть работы выполняется в программном пакете LTspice. При построении схем вентилях необходимо использовать КМОП-транзисторы с параметрами из файла, предоставленного преподавателем (см. раздел «Основы работы в среде LTspice»).

Вторая часть посвящена знакомству с языком описания аппаратуры Verilog HDL, изучению особенностей его использования для описания схем на вентиляном уровне и приобретению навыков тестирования таких схем. Вторая часть работы выполняется с использованием Vivado Simulator, входящего в пакет Vivado Design Suite (см. раздел «Основы работы в среде Vivado Design Suite»).

Вариант: 2

Логический базис: NAND

БОЭ: Полный четырехразрядный компаратор

3 Отчет о выполнении заданий части 1:

3.1 Схема разработанного вентиля NAND

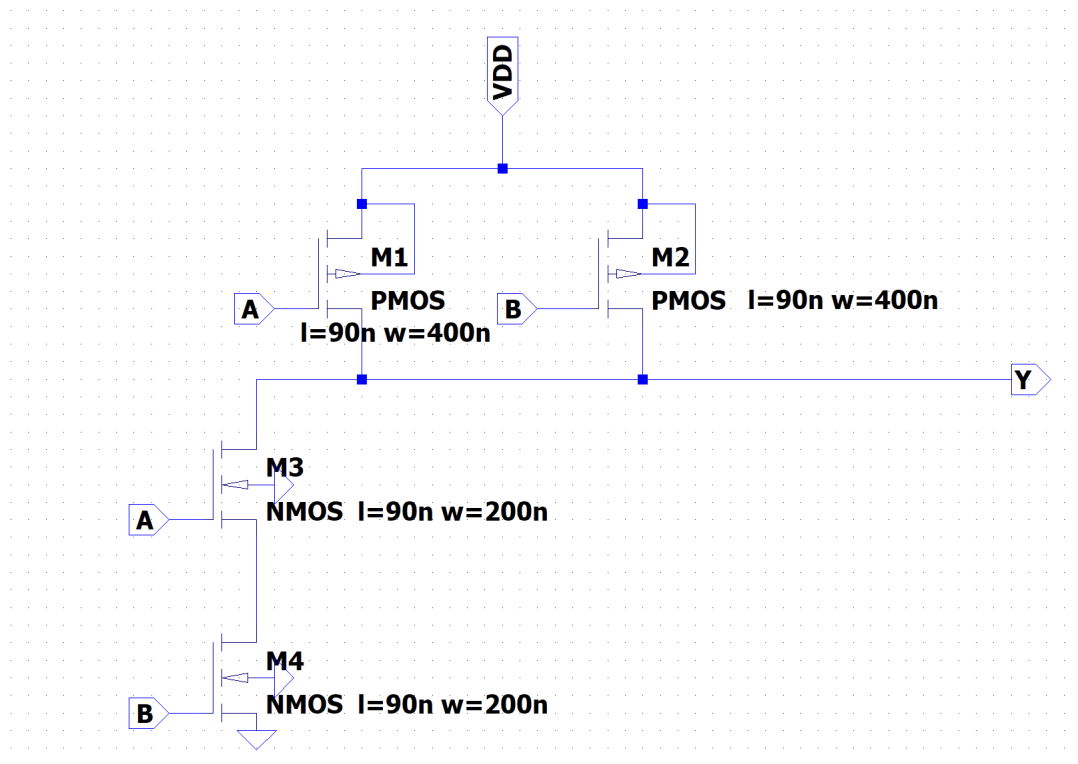


Рис. 1: Схема разработанного вентиля NAND

3.2 Символ вентиля и схема тестирования

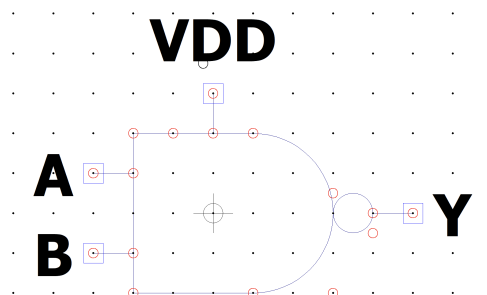


Рис. 2: Символ вентиля

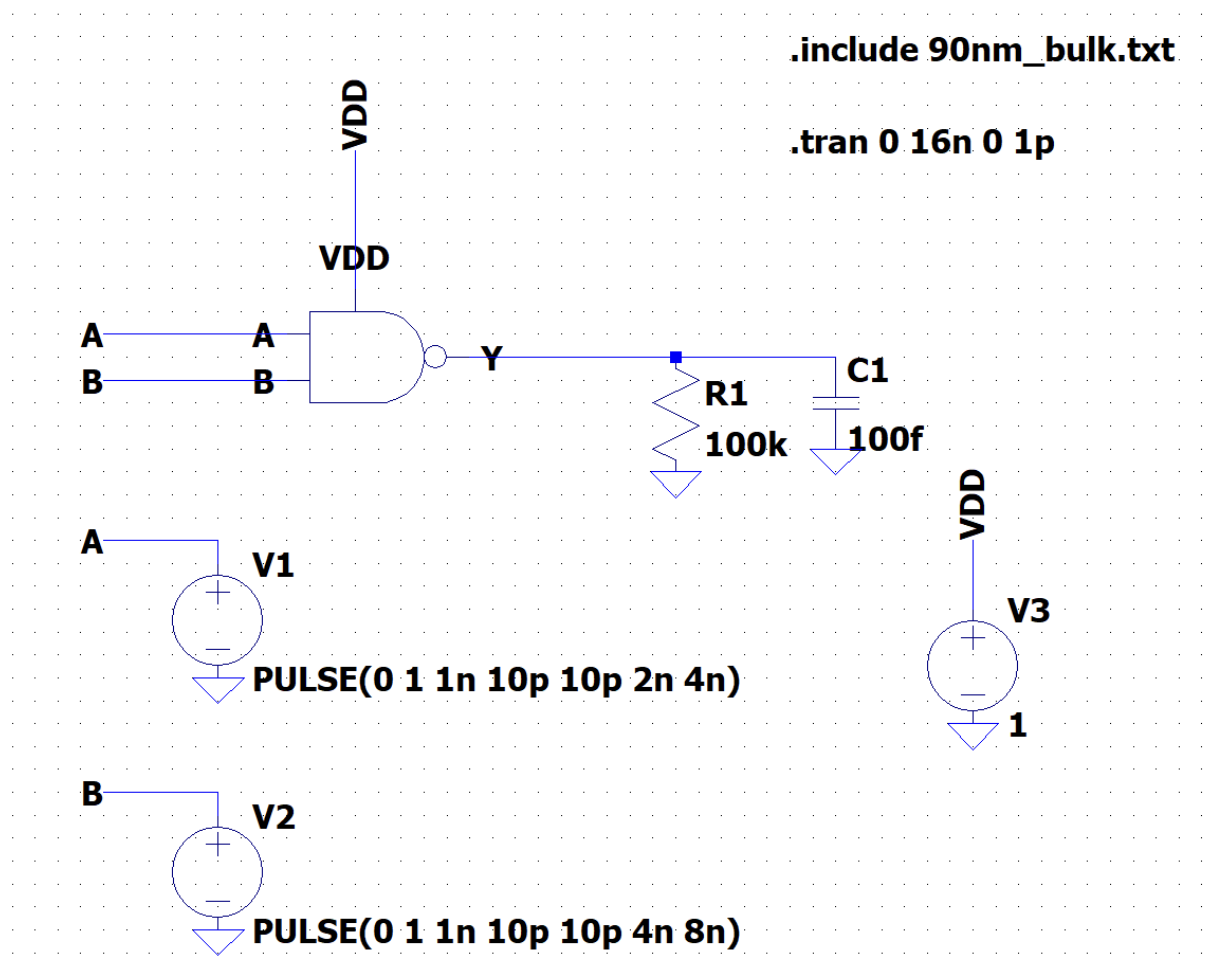


Рис. 3: Схема тестирования

3.3 Временная диаграмма процесса тестирования вентиля

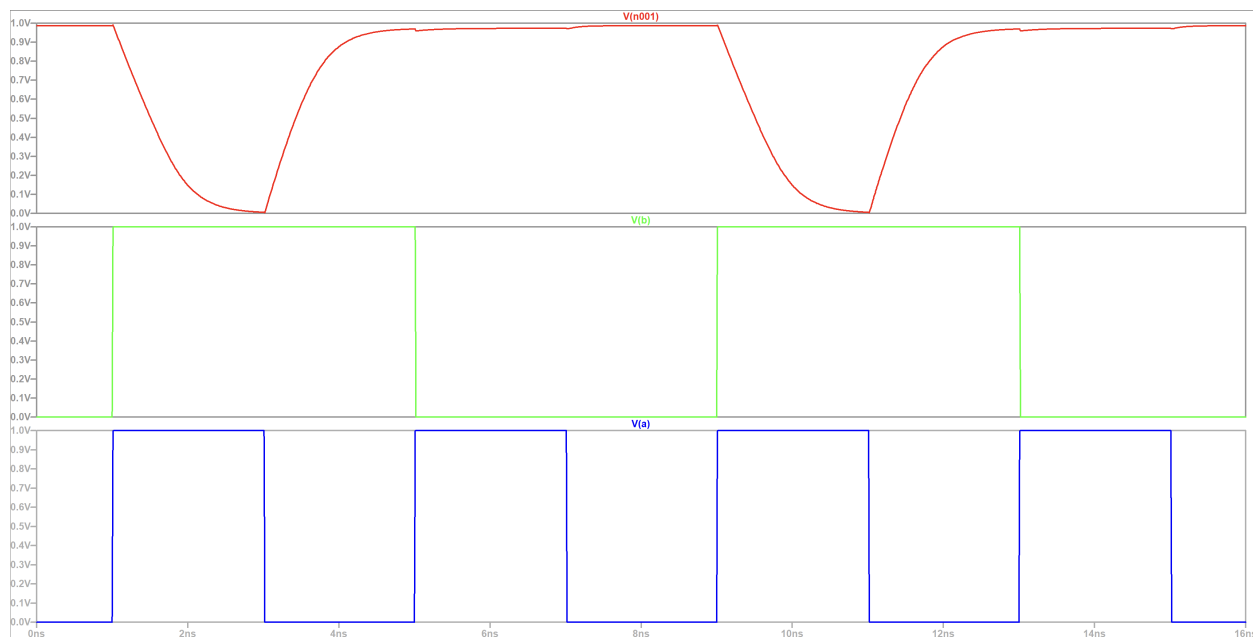


Рис. 4: Временная диаграмма процесса тестирования вентиля

3.4 Результат измерения задержки распространения сигнала через клапан

Задержка распространения - максимальное время от начала изменения входа до момента, когда все выходы достигнут установившихся значений. Измеряется она между точками перехода входным и выходным сигналом уровня 50%.

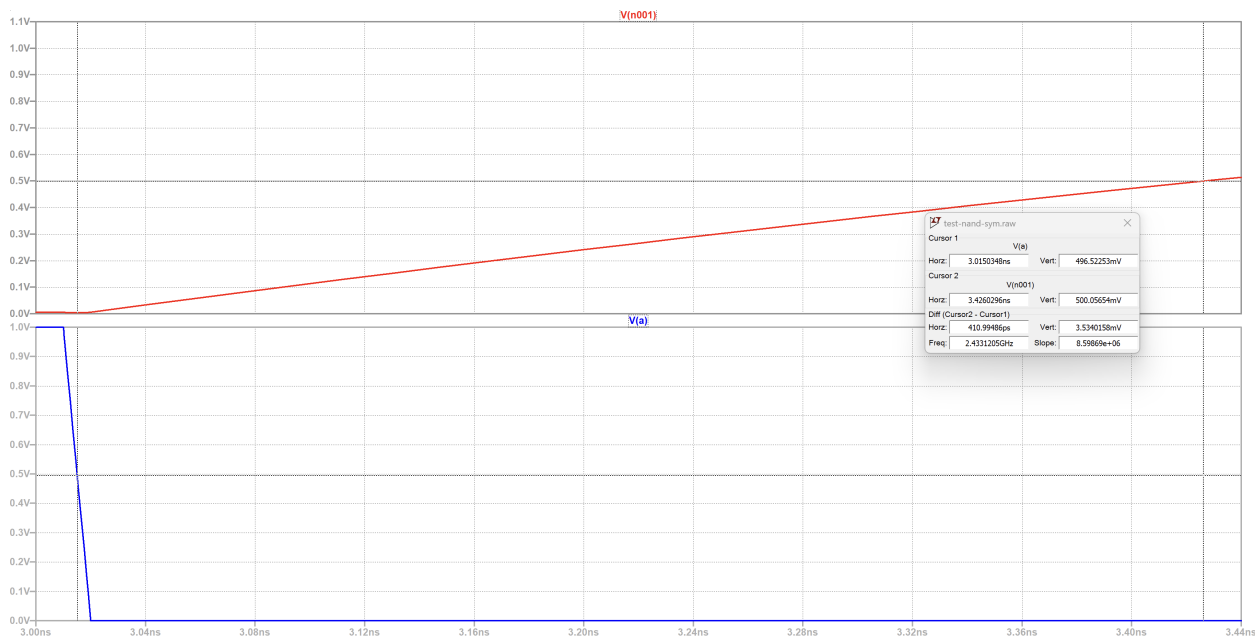


Рис. 5: Подсчет задержки распространения сигнала для 0-1 на выходе

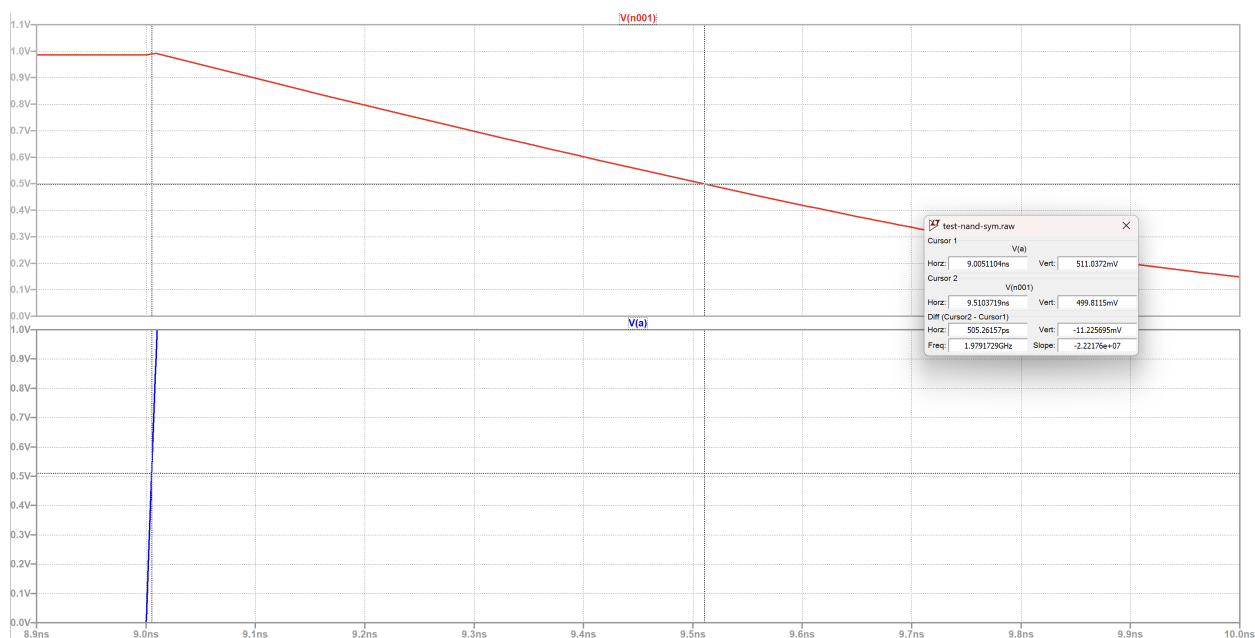


Рис. 6: Подсчет задержки распространения сигнала для 1-0 на выходе

$t_{pd} = t_2 - t_1 = 3.426 - 3.015 = 0.411 \text{ нс}$ — задержка распространения сигнала для 0-1 на выходе

$t_{pd} = t_2 - t_1 = 9.510 - 9.005 = 0.505 \text{ нс}$ — задержка распространения сигнала для 1-0 на выходе

3.5 Максимальная частота работы вентиля

$$\nu_{\text{спада}} = \frac{1}{t_{10}} = \frac{1}{0.411} = 2.267 \text{ ГГц}$$

$$\nu_{\text{фронта}} = \frac{1}{t_{01}} = \frac{1}{0.505} = 1.980 \text{ ГГц}$$

Тогда максимальная частота работы вентиля:

$$\nu_{\text{max}} = \min(\nu_{\text{спада}}, \nu_{\text{фронта}}) = \min(2.267, 1.980) = 1.980 \text{ ГГц}$$

Видим, что это на это влияют конденсатор и резистор. Если начем изменять значения резистора, то мы заметим, что чем меньше его емкость, тем меньше задержка.

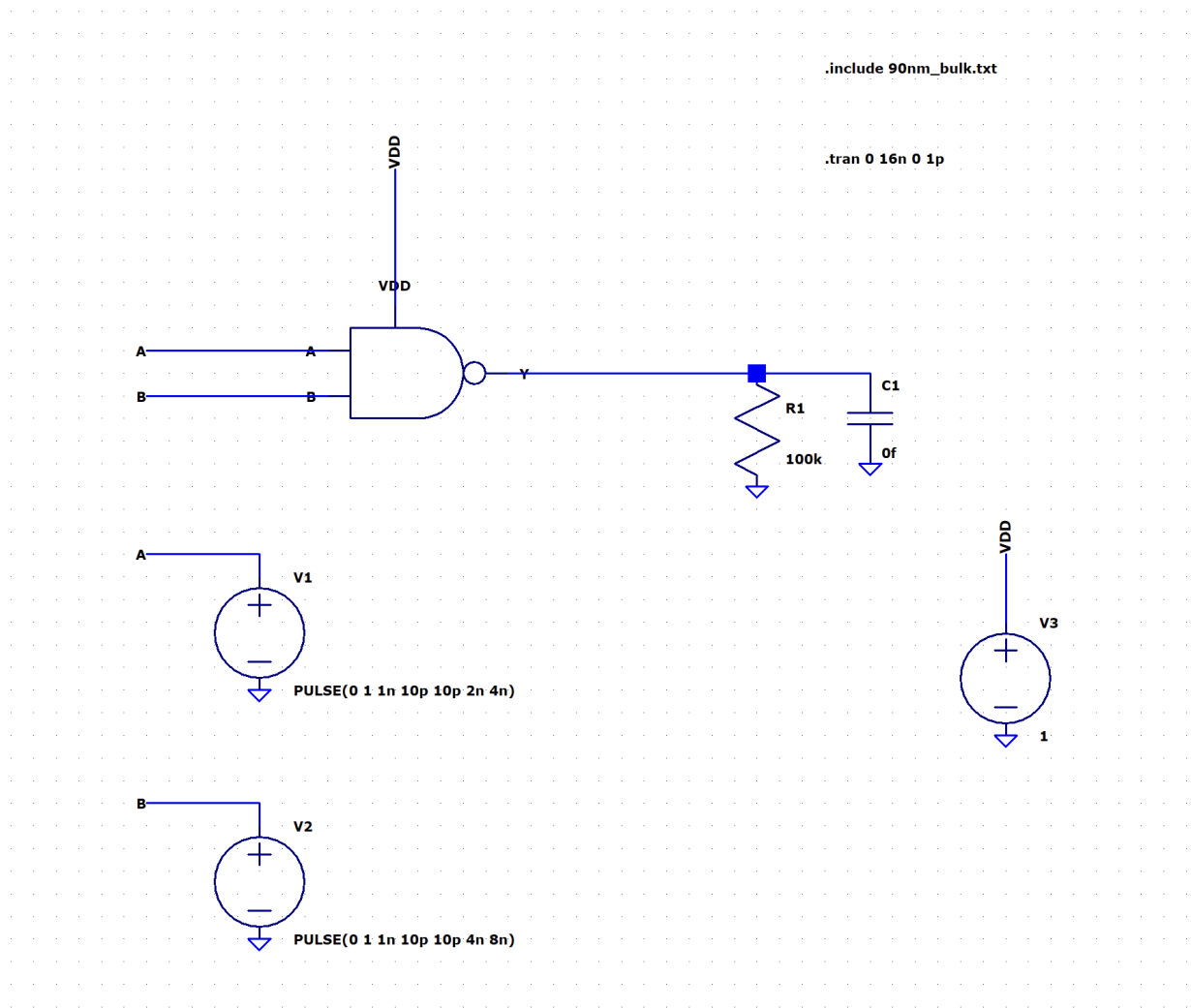


Рис. 7: Берем конденсатор равный 0 фемтофарад



Рис. 8: Подсчет задержки распространения сигнала для 0-1 на выходе



Рис. 9: Подсчет задержки распространения сигнала для 1-0 на выходе

$t_{pd} = t_2 - t_1 = 9\text{ps}$ – задержка распространения сигнала для 0-1 на выходе

$t_{pd} = t_2 - t_1 = 12\text{ps}$ – задержка распространения сигнала для 1-0 на выходе

$$\nu_{\text{спада}} = \frac{1}{t_{10}} = \frac{1}{9} = 110\text{ГГц}$$

$$\nu_{\text{фронта}} = \frac{1}{t_{01}} = \frac{1}{12} = 83\text{ГГц}$$

Тогда максимальная частота работы вентиля:

$$\nu_{\text{max}} = \min(\nu_{\text{спада}}, \nu_{\text{фронта}}) = \min(110, 83) = 83\text{ГГц}$$

3.6 Постройте БОЭ на базе созданного вентиля согласно варианту задания.

Полный четырех разрядный компаратор.

$$(A = B) - \overline{AB} \vee A\overline{B} = \overline{\overline{AB} \wedge \overline{A\overline{B}}} = \overline{(\overline{A} | B)(A | \overline{B})} = \overline{(\overline{A} | B) | (A | \overline{B})}$$

$$(A < B) - \overline{AB} = \overline{AB} = \overline{(\overline{A} | B)}$$

$$(A > B) - A\overline{B} = \overline{A\overline{B}} = \overline{(A | \overline{B})}$$

$$\overline{A} = (A | A)$$

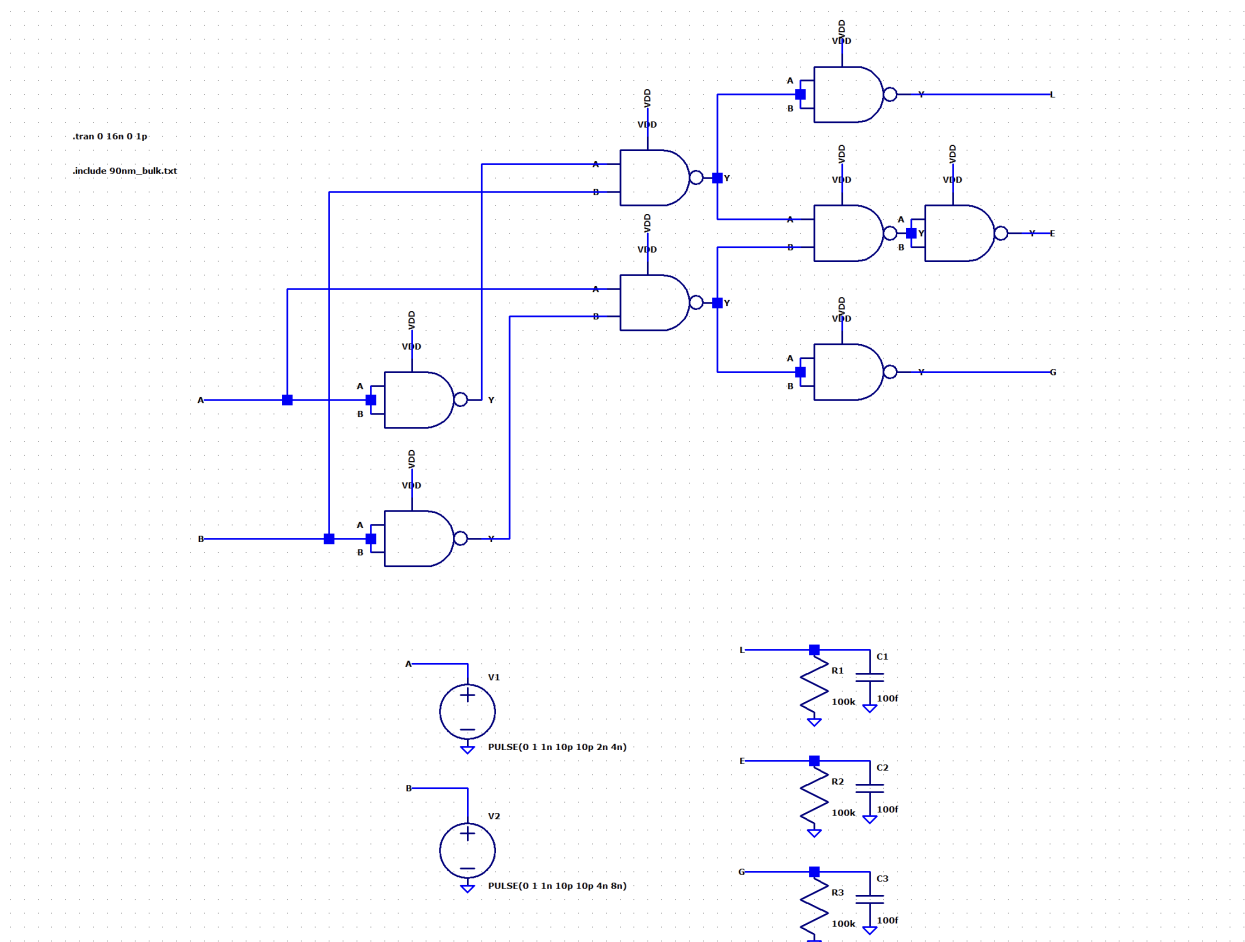


Рис. 10: Схема полного компаратора с двумя одноразрядными входами

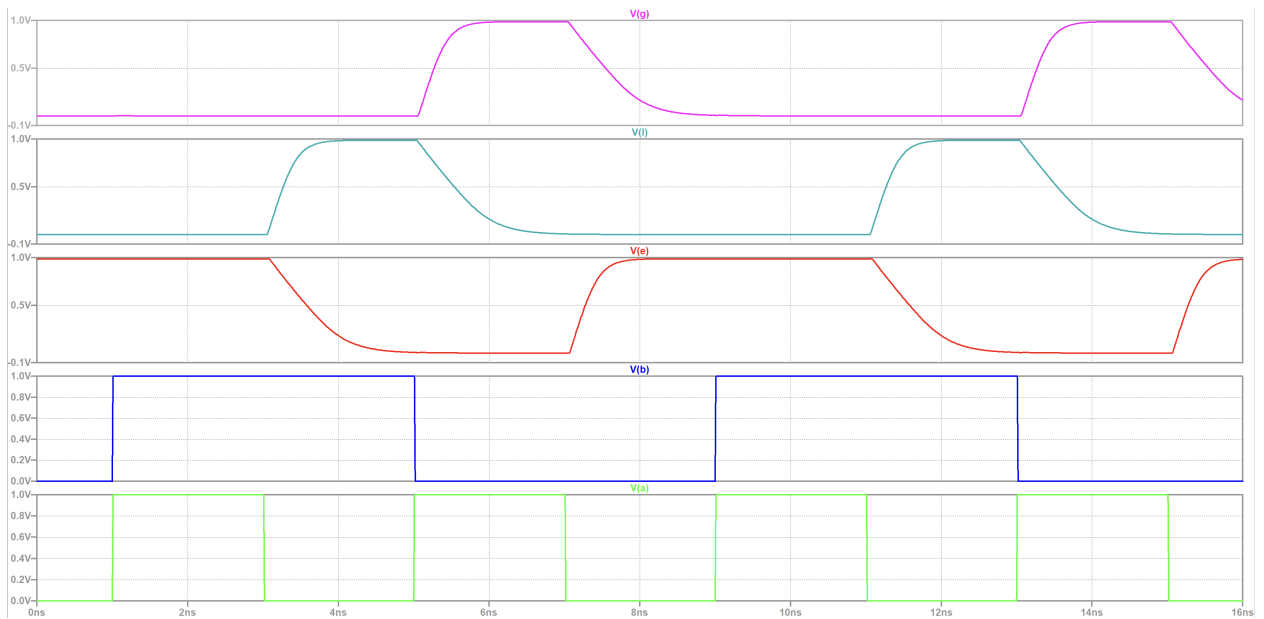


Рис. 11: Тестирование полного компаратора с двумя одноразрядными входами

Чтобы уменьшить количество обозначений на схеме, сделаем символ полного компаратора с двумя одноразрядными входами

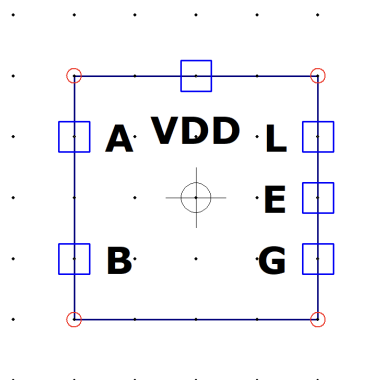


Рис. 12: Символ полного компаратора с двумя одноразрядными входами

Будем делать последовательный компаратор, поэтому добавим входы наращивания разрядности.

$$A \wedge B = (A \mid B) \mid (A \mid B)$$

$$A \vee B = (A \mid A) \mid (B \mid B)$$

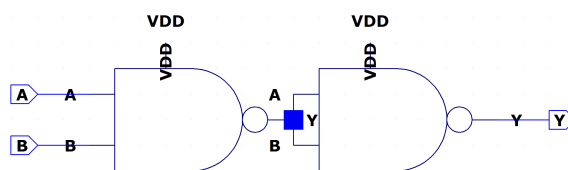


Рис. 13: Схема and

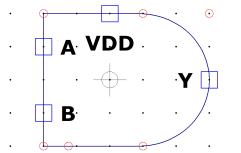


Рис. 14: Символ and

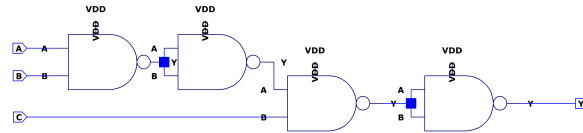


Рис. 15: Схема and3

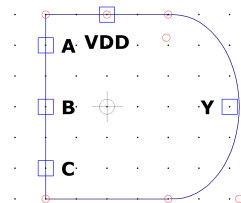


Рис. 16: Символ and3

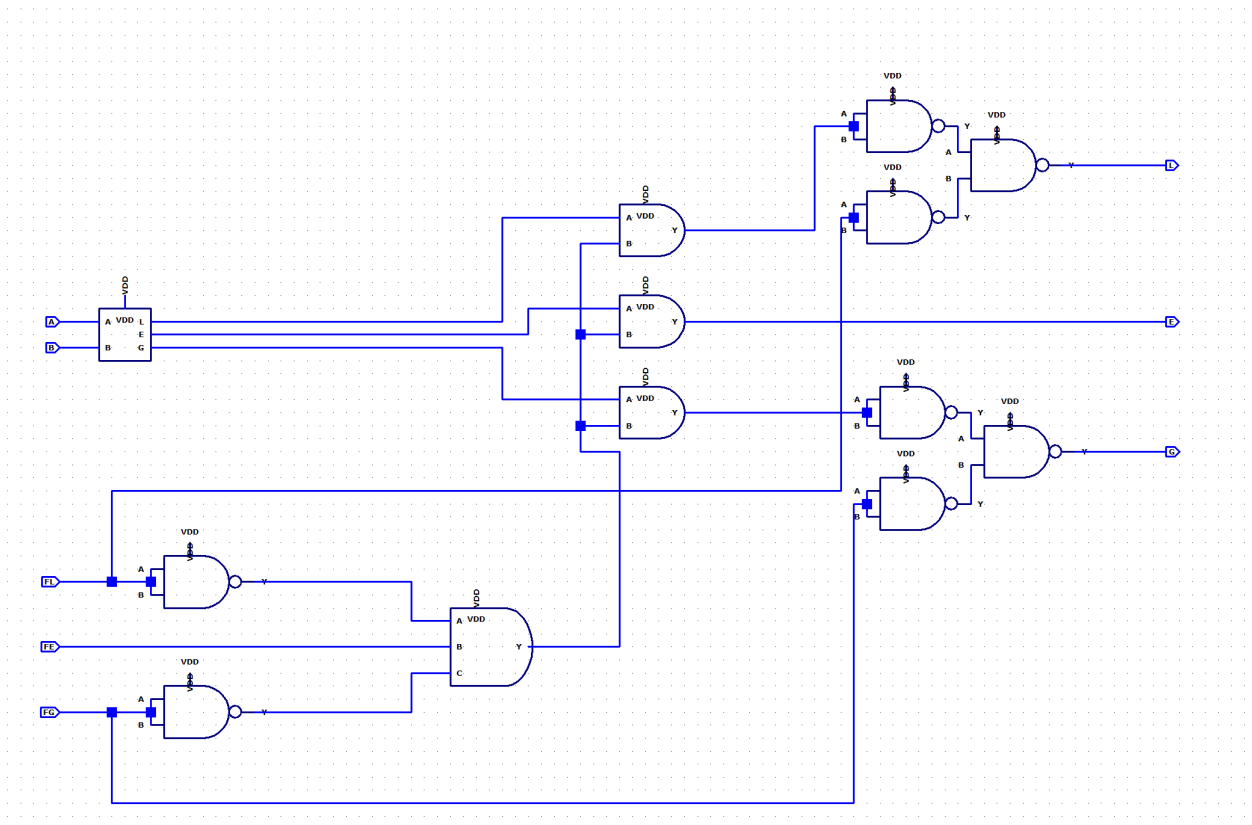


Рис. 17: Схема полного компаратора с двумя одноразрядными входами и входами наращивания разрядности

Чтобы не пугать людей, сделаем ещё символ для полного компаратора с двумя одноразрядными входами и входами наращивания разрядности:

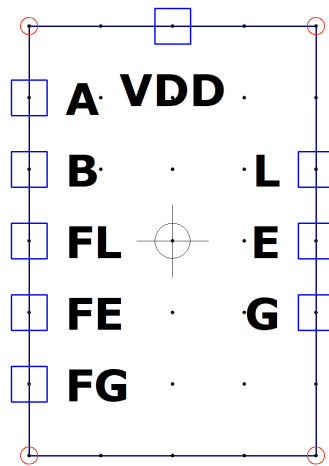


Рис. 18: Символ полного компаратора с двумя одноразрядными входами и входами наращивания разрядности

Подключим компараторы в последовательную цепочку, чтобы получить полный четырехразрядный компаратор. Насладимся красотой получившейся схемы, не забывая про тестирование на каждом из этапов.

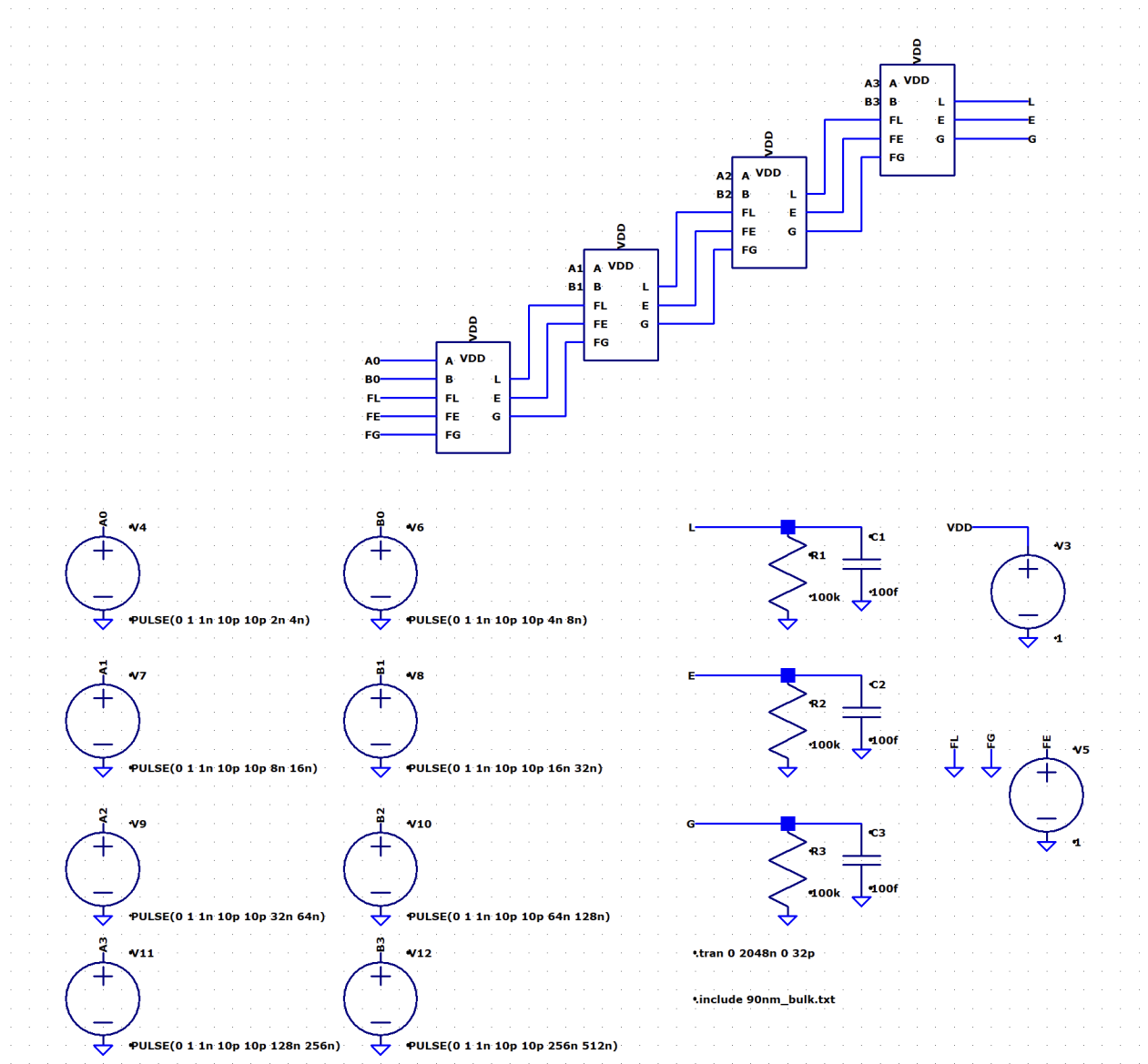


Рис. 19: Схема полного четырехразрядного компаратора

3.7 Создайте символ для построенного БОЭ.

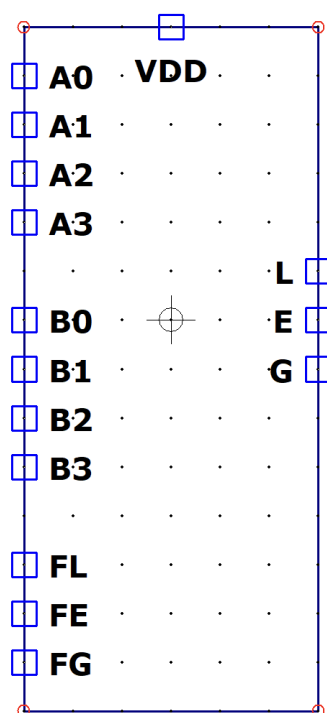


Рис. 20: Символ полного четырехразрядного компаратора

3.8 Проведите моделирование работы схемы и определите задержку распространения сигнала через БОЭ.

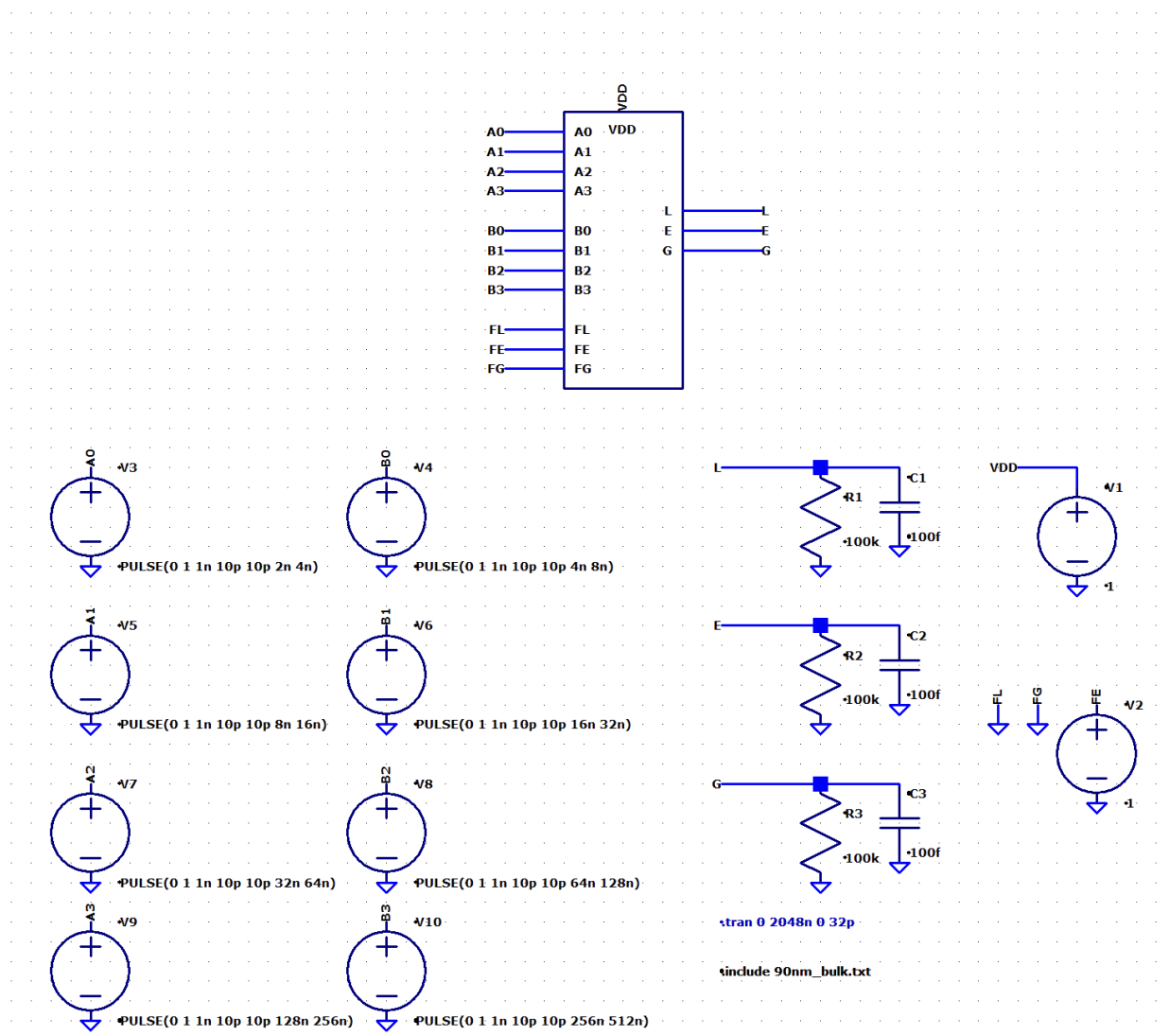


Рис. 21: Схема тестирования полного четырехразрядного компаратора

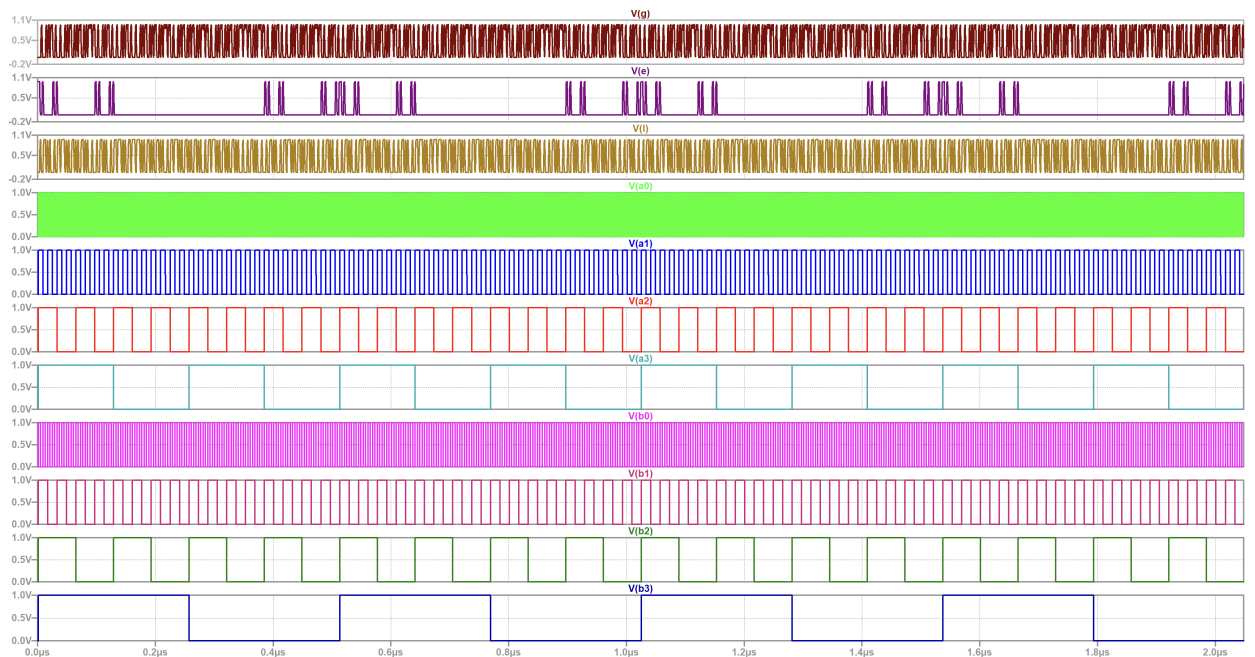


Рис. 22: Все возможные состояния.

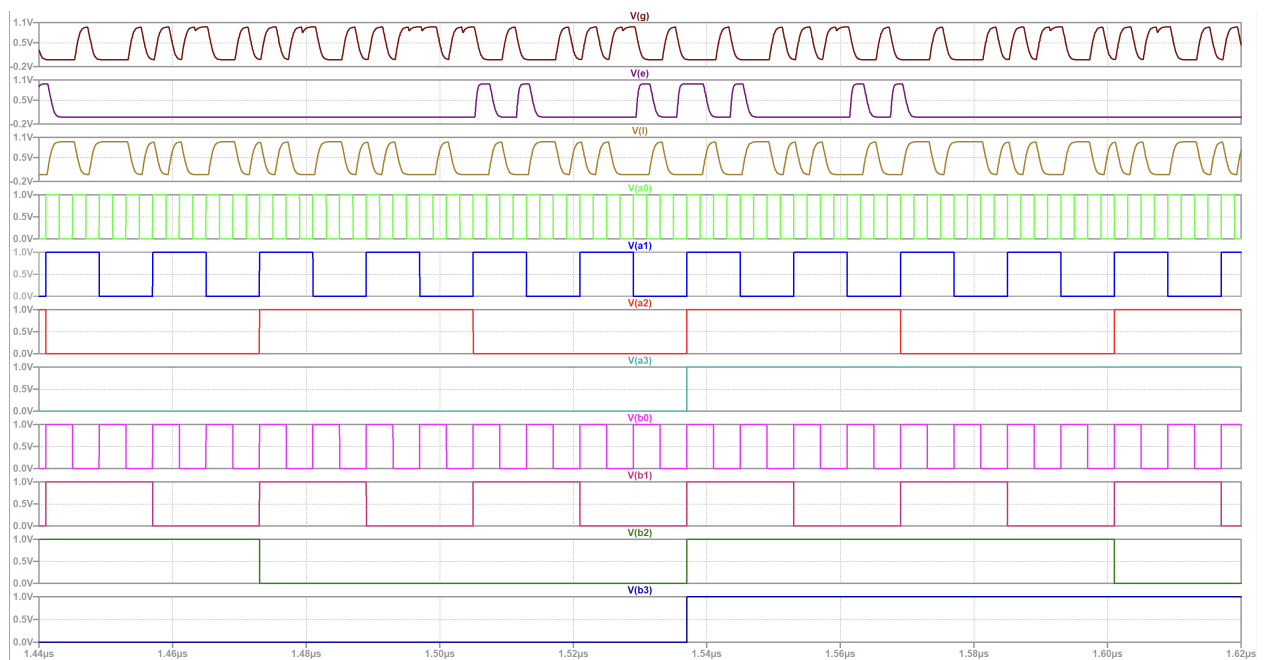


Рис. 23: Рассмотрим поближе. Видим, что компаратор выдает верные значения

3.9 Результат измерения задержки распространения сигнала через БОЭ

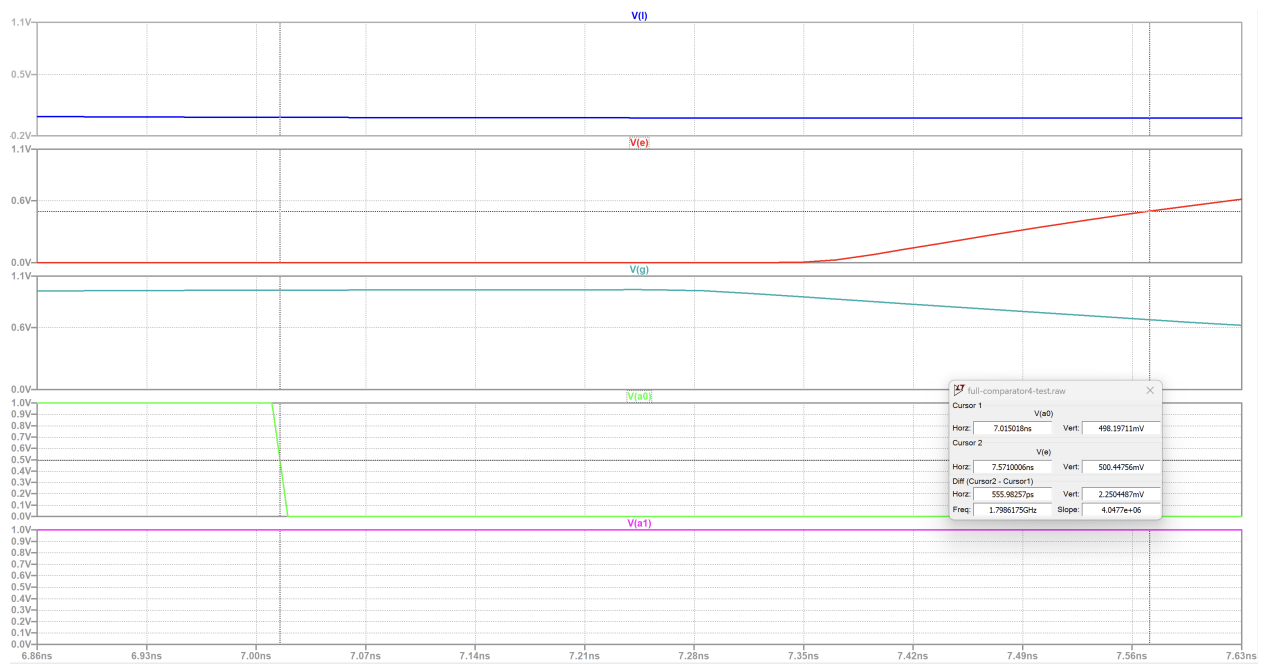


Рис. 24: Подсчет задержки распространения сигнала для 0-1 на выходе equal

$$t_{pd} = 7.571 - 7.015 = 0.556ns$$

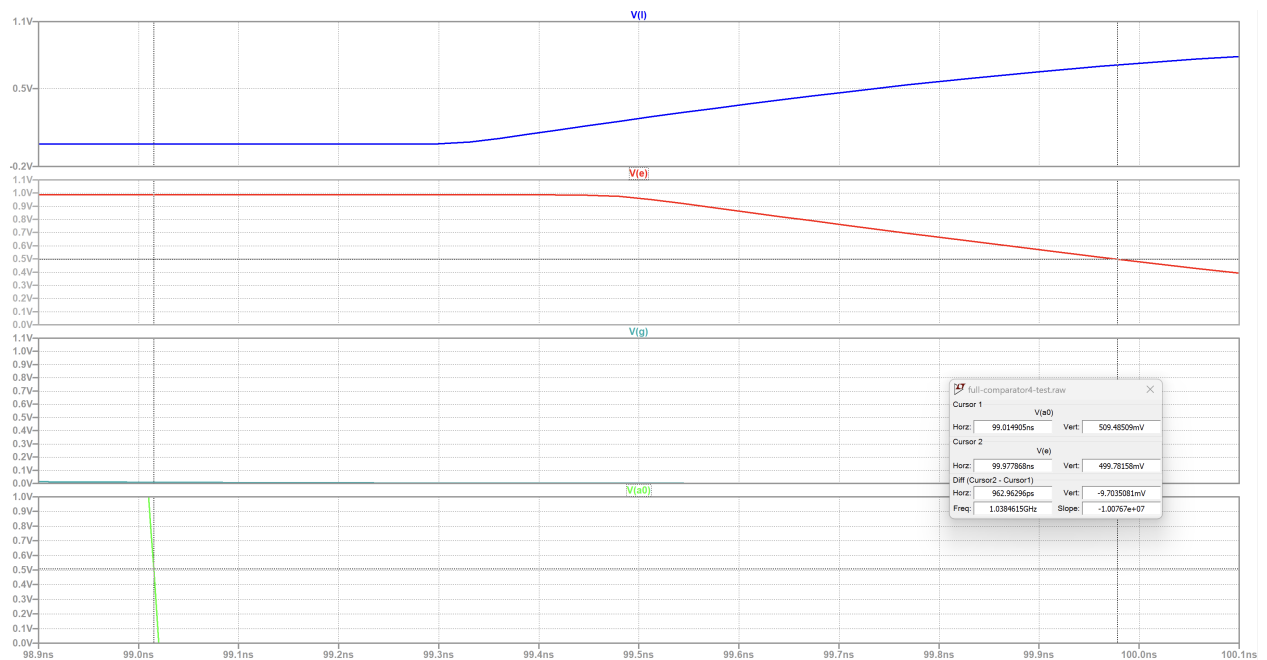


Рис. 25: Подсчет задержки распространения сигнала для 1-0 на выходе equal

$$t_{pd} = 99.977 - 99.015 = 0.963ns$$

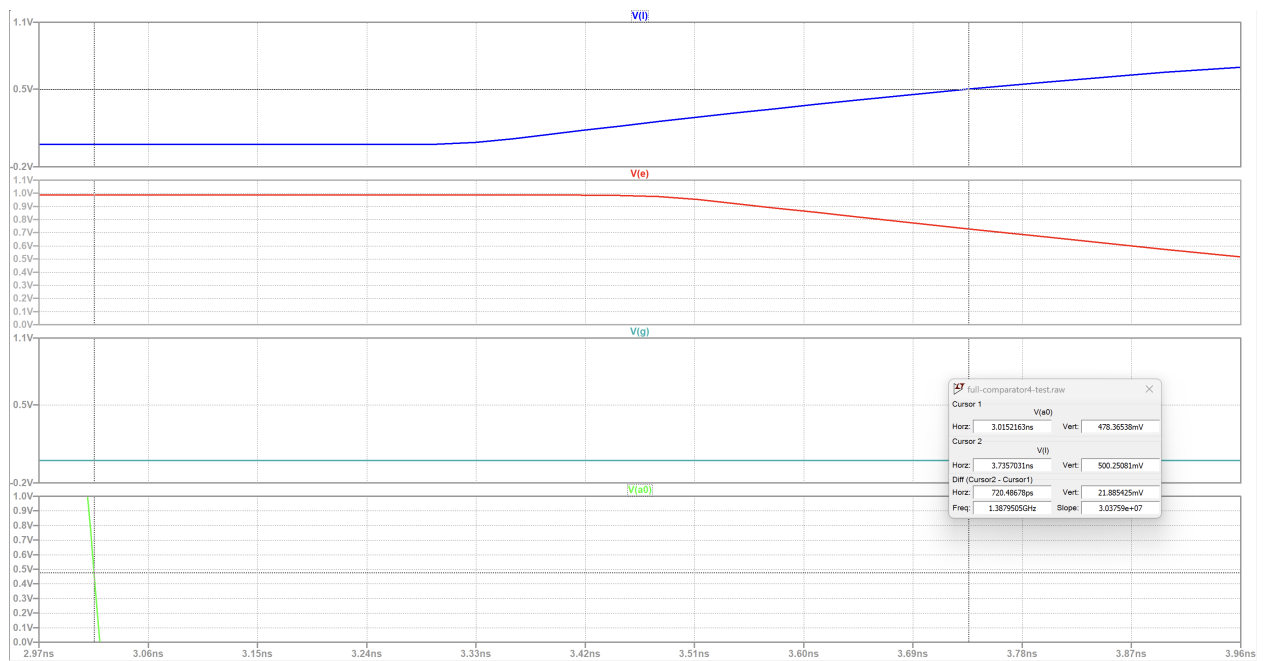


Рис. 26: Подсчет задержки распространения сигнала для 0-1 на выходе less

$$t_{pd} = 3.736 - 3.015 = 0.720ns$$

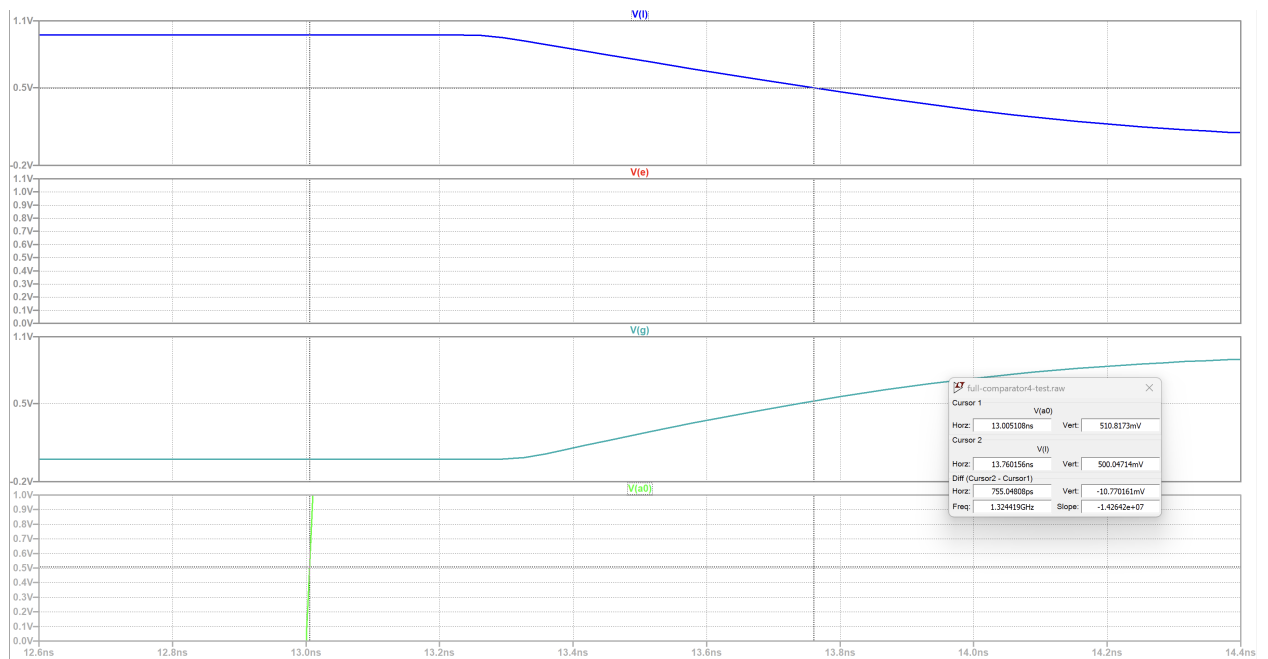


Рис. 27: Подсчет задержки распространения сигнала для 1-0 на выходе less

$$t_{pd} = 13.760 - 13.005 = 0.755ns$$

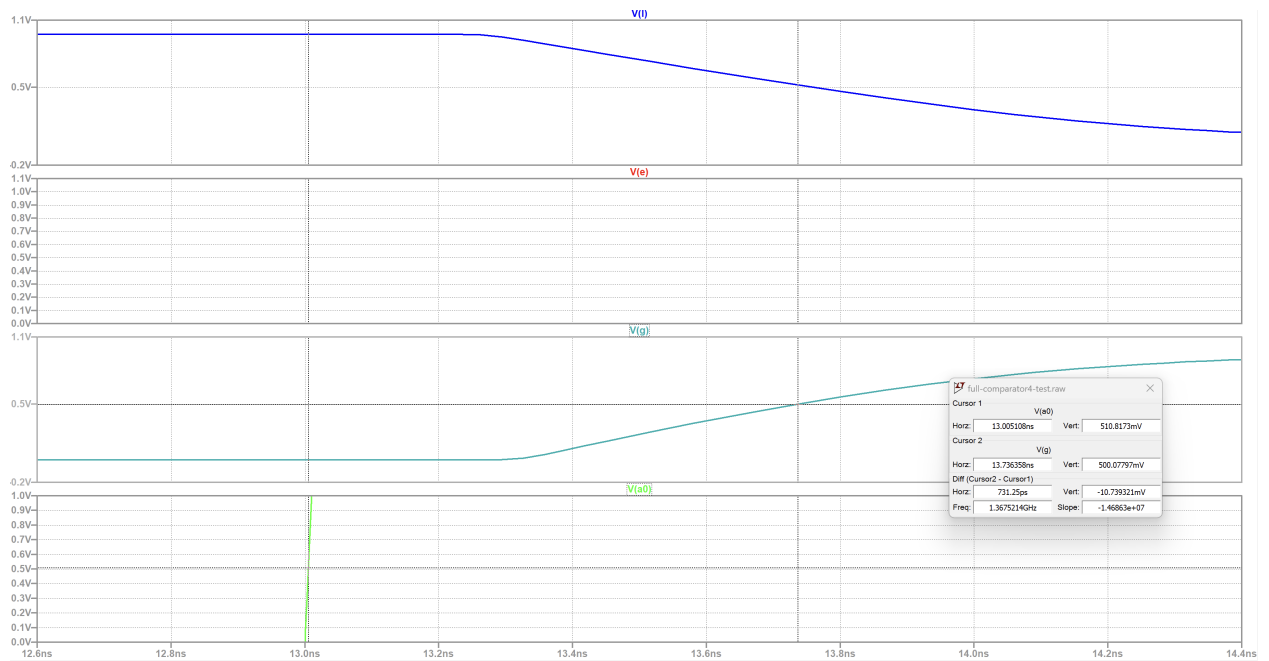


Рис. 28: Подсчет задержки распространения сигнала для 0-1 на выходе greater

$$t_{pd} = 13.736 - 13.005 = 0.731ns$$

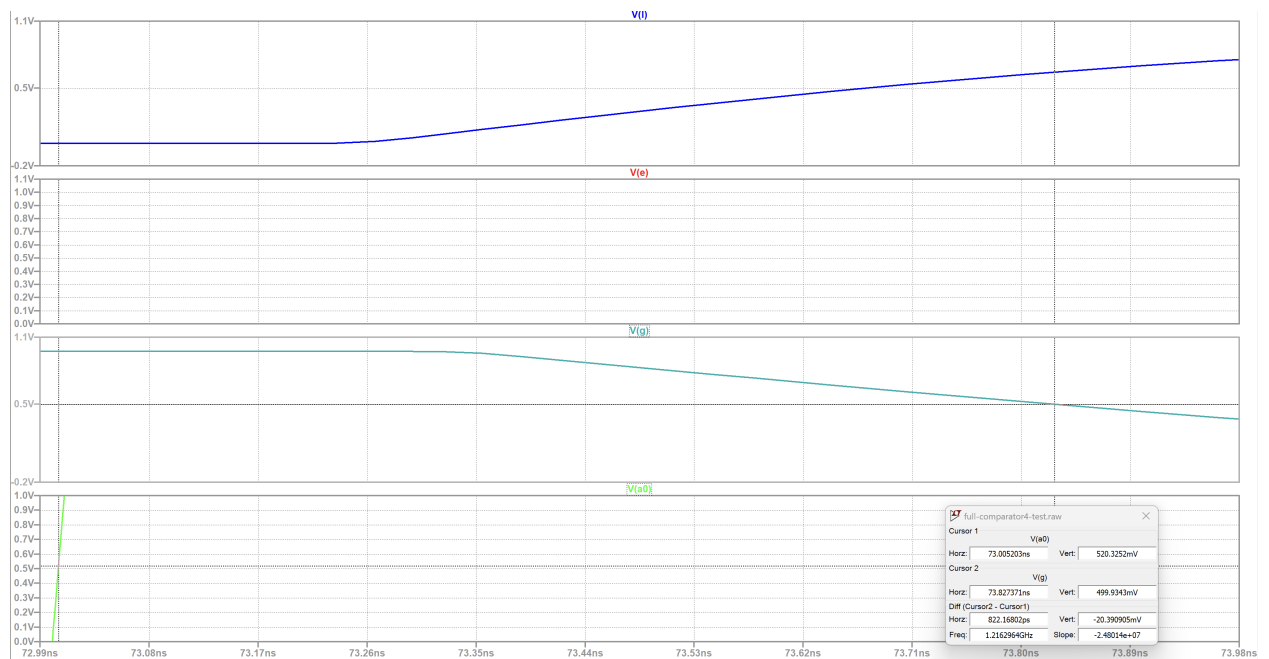


Рис. 29: Подсчет задержки распространения сигнала для 1-0 на выходе greater

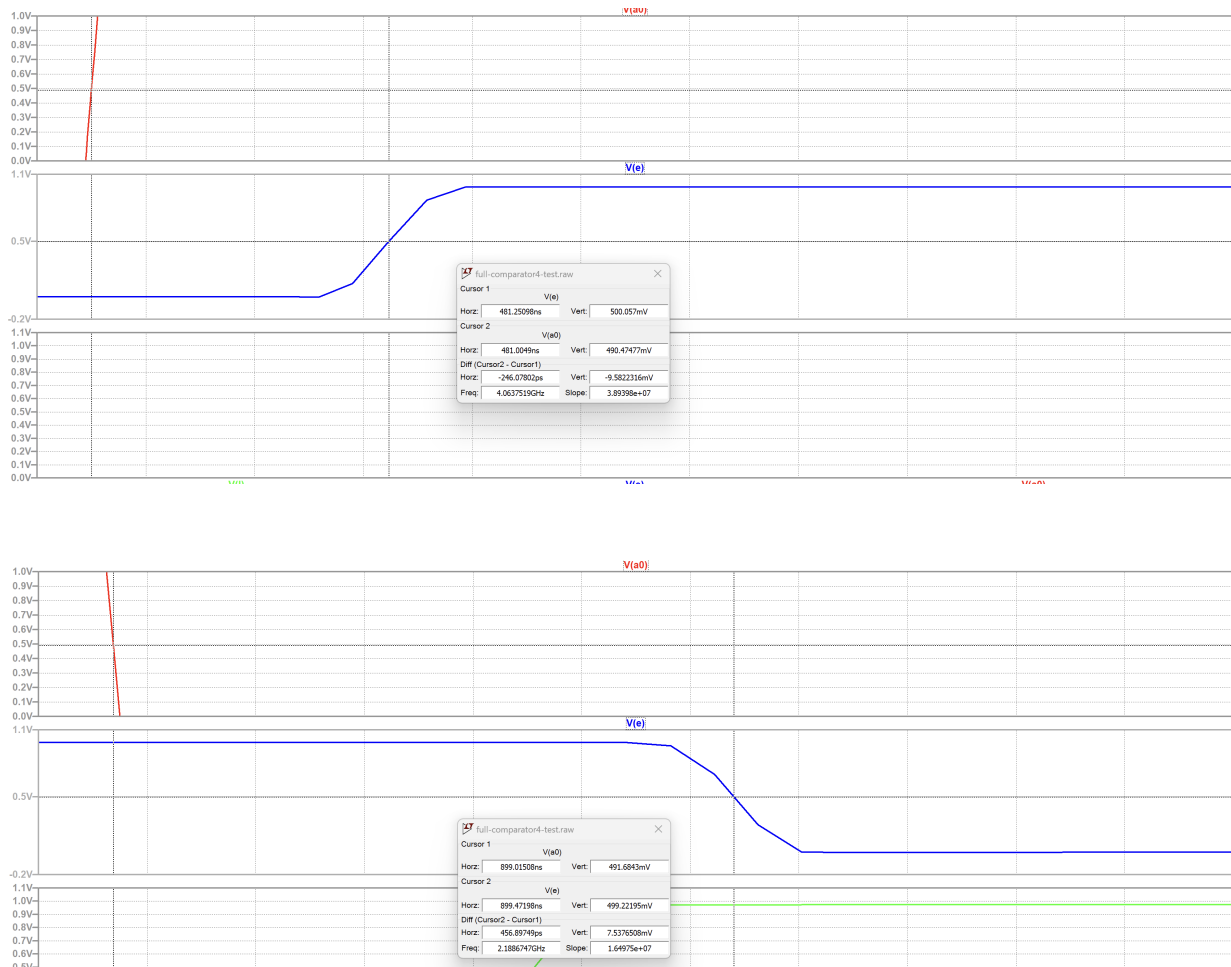
$$t_{pd} = 73.827 - 73.005 = 0.822ns$$

3.10 Максимальная частота работы БОЭ.

Тогда максимальная частота схемы:

$$\nu_{\max} = \frac{1}{\max(t)} = \frac{1}{0.963} = 1.038\text{ГГц}$$

Поступим также как для NAND возьмем конденсатор с емкостью 0 фарад.



$$t_{\text{rise}} = 246ps$$

$$t_{\text{fall}} = 456.89ps$$

Эти значения близки к теоритическим: Количество NAND · Задержка одного = $9 \cdot 4 \cdot 8 = 288ps$ для rise $9 \cdot 4 \cdot 12 = 432ps$ для fall Тогда максимальная частота схемы:

$$\nu_{\text{max}} = \frac{1}{\max(t)} = \frac{1}{0.432} = 2.31\text{ГГц}$$

4 Отчет о выполнении заданий части 2:

4.1 Код разработанного модуля БОЭ

```
1 `timescale 1ns / 1ps
2
3 module full_comparator(
4     input wire a, b,
5     output wire l, e, g
6 );
7 wire not_a, not_b;
8 wire v1_1, v1_2, v2_1;
```

```

9
10 nand(not_a, a, a);
11 nand(not_b, b, b);
12 nand(v1_1, not_a, b);
13 nand(v1_2, not_b, a);
14
15 nand(1, v1_1, v1_1);
16
17 nand(v2_1, v1_1, v1_2);
18 nand(e, v2_1, v2_1);
19
20 nand(g, v1_2, v1_2);
21
22 endmodule
23
24 module and2(
25     input wire a, b,
26     output wire out
27 );
28 wire ab;
29 nand(ab, a, b);
30 nand(out, ab, ab);
31
32 endmodule
33
34 module and3(
35     input wire a, b, c,
36     output wire out
37 );
38
39 wire ab, not_ab, abc;
40 nand(ab, a, b);
41 nand(not_ab, ab, ab);
42 nand(abc, not_ab, c);
43 nand(out, abc, abc);
44 endmodule
45
46 module or2(
47     input wire a, b,
48     output wire out
49 );
50 wire not_a, not_b;
51 nand(not_a, a, a);
52 nand(not_b, b, b);
53
54 nand(out, not_a, not_b);
55 endmodule
56
57 module full_comparator_seq(
58     input wire a, b, fl, fe, fg,
59     output wire l, e, g
60 );
61

```

```

62 wire not_fl, not_fg, fc_l, fc_e, fc_g, add3_out, andl_out, andg_out;
63 nand(not_fl, fl, fl);
64 nand(not_fg, fg, fg);
65
66 full_comparator fc_i(.a(a), .b(b), .l(fc_l), .e(fc_e), .g(fc_g));
67 and3 and3_i(.a(not_fl), .b(fe), .c(not_fg), .out(add3_out));
68
69 and2 and2_i1(.a(fc_l), .b(add3_out), .out(andl_out));
70 and2 and2_i2(.a(fc_e), .b(add3_out), .out(e));
71 and2 and2_i3(.a(fc_g), .b(add3_out), .out(andg_out));
72
73 or2 or_i1(.a(andl_out), .b(fl), .out(l));
74 or2 or_i2(.a(andg_out), .b(fg), .out(g));
75
76 endmodule
77
78
79
80 module full_comparator4(
81     input wire[0:3] a,
82     input wire[0:3] b,
83     input fl, fe, fg,
84     output l, e, g
85 );
86 wire[2:0] fcs1_out, fcse_out, fcsg_out;
87 full_comparator_seq
88     fcs1(a[0],b[0],fl,fe,fg,fcs1_out[0],fcse_out[0],fcsg_out[0]);
89 full_comparator_seq
90     fcs2(a[1],b[1],fcs1_out[0],fcse_out[0],fcsg_out[0],
91         fcs1_out[1],fcse_out[1],fcsg_out[1]);
92 full_comparator_seq
93     fcs3(a[2],b[2],fcs1_out[1],fcse_out[1],fcsg_out[1],
94         fcs1_out[2],fcse_out[2],fcsg_out[2]);
95 full_comparator_seq
96     fcs4(a[3],b[3],fcs1_out[2],fcse_out[2],fcsg_out[2],l,e,g);
97 endmodule

```

4.2 Код разработанного тестового окружения

```

1  'timescale 1ns / 1ps //reference time / precision
2
3
4  module full_comparator4_tb;
5  //inputs
6  reg[3:0] a, b;
7  reg fl, fe, fg;
8  //outputs
9  wire l;
10 wire e;
11 wire g;
12
13 // Unit under test (UUT)

```

```

14
15 full_comparator4 uut(a, b, fl, fe, fg, l, e, g);
16
17 //32 bit integer
18 integer i, j;
19
20 reg[3:0] expr_lt, expr_eq, expr_gt;
21
22 initial
23 begin
24 {fl, fe, fg} = 3'b010;
25   for (i = 0; i < 16; i = i + 1) begin
26     a = i;
27     for (j = 0; j < 16; j = j + 1) begin
28       b = j;
29       expr_lt = ( i < j );
30       expr_eq = ( i == j );
31       expr_gt = ( i > j );
32       #10;
33       if (l == expr_lt & e == expr_eq & g == expr_gt) begin
34         $display("[CORRECT]: a = %d, b = %d, l = %d, e = %d,
35           g = %d", a, b, l, e, g);
36       end else begin
37         $display("[INCORRECT]: a=%d, b=%d, expr_lt=%d,
38           expr_eq=%d, expr_gt=%d, l=%d, e=%d, g=%d",
39           a, b, expr_lt, expr_eq, expr_gt, l, e, g);
40       end
41     end
42   end
43 end
44 $stop;
45 endmodule

```

4.3 Временная диаграмма процесса тестирования БОЭ

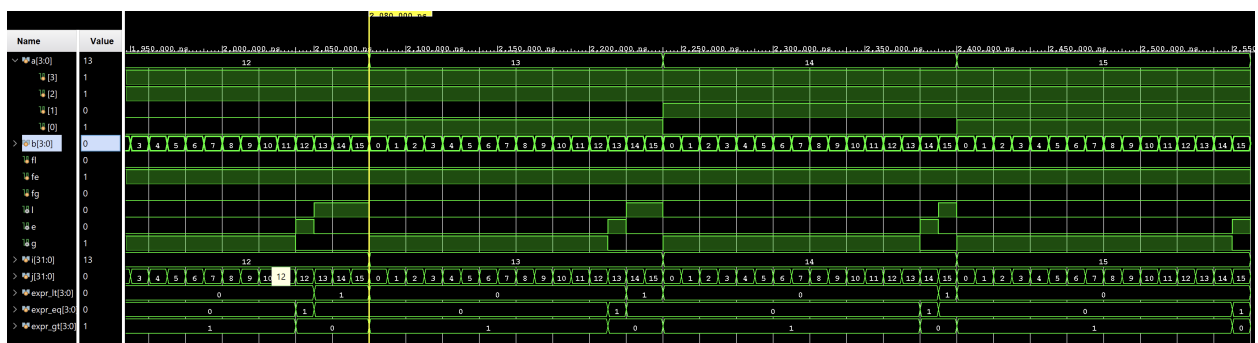


Рис. 30: Отрывок временная диаграммы процесса тестирования БОЭ

Логи

```

1 [CORRECT]: a = 6, b = 4, l = 0, e = 0, g = 1

```

2 [CORRECT]: a = 6, b = 5, l = 0, e = 0, g = 1
 3 [CORRECT]: a = 6, b = 6, l = 0, e = 1, g = 0
 4 [CORRECT]: a = 6, b = 7, l = 1, e = 0, g = 0
 5 [CORRECT]: a = 6, b = 8, l = 1, e = 0, g = 0
 6 [CORRECT]: a = 6, b = 9, l = 1, e = 0, g = 0
 7 [CORRECT]: a = 6, b = 10, l = 1, e = 0, g = 0
 8 [CORRECT]: a = 6, b = 11, l = 1, e = 0, g = 0
 9 [CORRECT]: a = 6, b = 12, l = 1, e = 0, g = 0
 10 [CORRECT]: a = 6, b = 13, l = 1, e = 0, g = 0
 11 [CORRECT]: a = 6, b = 14, l = 1, e = 0, g = 0
 12 [CORRECT]: a = 6, b = 15, l = 1, e = 0, g = 0
 13 [CORRECT]: a = 7, b = 0, l = 0, e = 0, g = 1
 14 [CORRECT]: a = 7, b = 1, l = 0, e = 0, g = 1
 15 [CORRECT]: a = 7, b = 2, l = 0, e = 0, g = 1
 16 [CORRECT]: a = 7, b = 3, l = 0, e = 0, g = 1
 17 [CORRECT]: a = 7, b = 4, l = 0, e = 0, g = 1
 18 [CORRECT]: a = 7, b = 5, l = 0, e = 0, g = 1
 19 [CORRECT]: a = 7, b = 6, l = 0, e = 0, g = 1
 20 [CORRECT]: a = 7, b = 7, l = 0, e = 1, g = 0
 21 [CORRECT]: a = 7, b = 8, l = 1, e = 0, g = 0
 22 [CORRECT]: a = 7, b = 9, l = 1, e = 0, g = 0
 23 [CORRECT]: a = 7, b = 10, l = 1, e = 0, g = 0
 24 [CORRECT]: a = 7, b = 11, l = 1, e = 0, g = 0
 25 [CORRECT]: a = 7, b = 12, l = 1, e = 0, g = 0
 26 [CORRECT]: a = 7, b = 13, l = 1, e = 0, g = 0
 27 [CORRECT]: a = 7, b = 14, l = 1, e = 0, g = 0
 28 [CORRECT]: a = 7, b = 15, l = 1, e = 0, g = 0
 29 [CORRECT]: a = 8, b = 0, l = 0, e = 0, g = 1
 30 [CORRECT]: a = 8, b = 1, l = 0, e = 0, g = 1
 31 [CORRECT]: a = 8, b = 2, l = 0, e = 0, g = 1
 32 [CORRECT]: a = 8, b = 3, l = 0, e = 0, g = 1
 33 [CORRECT]: a = 8, b = 4, l = 0, e = 0, g = 1
 34 [CORRECT]: a = 8, b = 5, l = 0, e = 0, g = 1
 35 [CORRECT]: a = 8, b = 6, l = 0, e = 0, g = 1
 36 [CORRECT]: a = 8, b = 7, l = 0, e = 0, g = 1
 37 [CORRECT]: a = 8, b = 8, l = 0, e = 1, g = 0
 38 [CORRECT]: a = 8, b = 9, l = 1, e = 0, g = 0
 39 [CORRECT]: a = 8, b = 10, l = 1, e = 0, g = 0
 40 [CORRECT]: a = 8, b = 11, l = 1, e = 0, g = 0
 41 [CORRECT]: a = 8, b = 12, l = 1, e = 0, g = 0
 42 [CORRECT]: a = 8, b = 13, l = 1, e = 0, g = 0
 43 [CORRECT]: a = 8, b = 14, l = 1, e = 0, g = 0
 44 [CORRECT]: a = 8, b = 15, l = 1, e = 0, g = 0
 45 [CORRECT]: a = 9, b = 0, l = 0, e = 0, g = 1
 46 [CORRECT]: a = 9, b = 1, l = 0, e = 0, g = 1
 47 [CORRECT]: a = 9, b = 2, l = 0, e = 0, g = 1
 48 [CORRECT]: a = 9, b = 3, l = 0, e = 0, g = 1
 49 [CORRECT]: a = 9, b = 4, l = 0, e = 0, g = 1
 50 [CORRECT]: a = 9, b = 5, l = 0, e = 0, g = 1
 51 [CORRECT]: a = 9, b = 6, l = 0, e = 0, g = 1
 52 [CORRECT]: a = 9, b = 7, l = 0, e = 0, g = 1
 53 [CORRECT]: a = 9, b = 8, l = 0, e = 0, g = 1
 54 [CORRECT]: a = 9, b = 9, l = 0, e = 1, g = 0

55 [CORRECT]: a = 9, b = 10, l = 1, e = 0, g = 0
56 [CORRECT]: a = 9, b = 11, l = 1, e = 0, g = 0
57 [CORRECT]: a = 9, b = 12, l = 1, e = 0, g = 0
58 [CORRECT]: a = 9, b = 13, l = 1, e = 0, g = 0
59 [CORRECT]: a = 9, b = 14, l = 1, e = 0, g = 0
60 [CORRECT]: a = 9, b = 15, l = 1, e = 0, g = 0
61 [CORRECT]: a = 10, b = 0, l = 0, e = 0, g = 1
62 [CORRECT]: a = 10, b = 1, l = 0, e = 0, g = 1
63 [CORRECT]: a = 10, b = 2, l = 0, e = 0, g = 1
64 [CORRECT]: a = 10, b = 3, l = 0, e = 0, g = 1
65 [CORRECT]: a = 10, b = 4, l = 0, e = 0, g = 1
66 [CORRECT]: a = 10, b = 5, l = 0, e = 0, g = 1
67 [CORRECT]: a = 10, b = 6, l = 0, e = 0, g = 1
68 [CORRECT]: a = 10, b = 7, l = 0, e = 0, g = 1
69 [CORRECT]: a = 10, b = 8, l = 0, e = 0, g = 1
70 [CORRECT]: a = 10, b = 9, l = 0, e = 0, g = 1
71 [CORRECT]: a = 10, b = 10, l = 0, e = 1, g = 0
72 [CORRECT]: a = 10, b = 11, l = 1, e = 0, g = 0
73 [CORRECT]: a = 10, b = 12, l = 1, e = 0, g = 0
74 [CORRECT]: a = 10, b = 13, l = 1, e = 0, g = 0
75 [CORRECT]: a = 10, b = 14, l = 1, e = 0, g = 0
76 [CORRECT]: a = 10, b = 15, l = 1, e = 0, g = 0
77 [CORRECT]: a = 11, b = 0, l = 0, e = 0, g = 1
78 [CORRECT]: a = 11, b = 1, l = 0, e = 0, g = 1
79 [CORRECT]: a = 11, b = 2, l = 0, e = 0, g = 1
80 [CORRECT]: a = 11, b = 3, l = 0, e = 0, g = 1
81 [CORRECT]: a = 11, b = 4, l = 0, e = 0, g = 1
82 [CORRECT]: a = 11, b = 5, l = 0, e = 0, g = 1
83 [CORRECT]: a = 11, b = 6, l = 0, e = 0, g = 1
84 [CORRECT]: a = 11, b = 7, l = 0, e = 0, g = 1
85 [CORRECT]: a = 11, b = 8, l = 0, e = 0, g = 1
86 [CORRECT]: a = 11, b = 9, l = 0, e = 0, g = 1
87 [CORRECT]: a = 11, b = 10, l = 0, e = 0, g = 1
88 [CORRECT]: a = 11, b = 11, l = 0, e = 1, g = 0
89 [CORRECT]: a = 11, b = 12, l = 1, e = 0, g = 0
90 [CORRECT]: a = 11, b = 13, l = 1, e = 0, g = 0
91 [CORRECT]: a = 11, b = 14, l = 1, e = 0, g = 0
92 [CORRECT]: a = 11, b = 15, l = 1, e = 0, g = 0
93 [CORRECT]: a = 12, b = 0, l = 0, e = 0, g = 1
94 [CORRECT]: a = 12, b = 1, l = 0, e = 0, g = 1
95 [CORRECT]: a = 12, b = 2, l = 0, e = 0, g = 1
96 [CORRECT]: a = 12, b = 3, l = 0, e = 0, g = 1
97 [CORRECT]: a = 12, b = 4, l = 0, e = 0, g = 1
98 [CORRECT]: a = 12, b = 5, l = 0, e = 0, g = 1
99 [CORRECT]: a = 12, b = 6, l = 0, e = 0, g = 1
100 [CORRECT]: a = 12, b = 7, l = 0, e = 0, g = 1
101 [CORRECT]: a = 12, b = 8, l = 0, e = 0, g = 1
102 [CORRECT]: a = 12, b = 9, l = 0, e = 0, g = 1
103 [CORRECT]: a = 12, b = 10, l = 0, e = 0, g = 1
104 [CORRECT]: a = 12, b = 11, l = 0, e = 0, g = 1
105 [CORRECT]: a = 12, b = 12, l = 0, e = 1, g = 0
106 [CORRECT]: a = 12, b = 13, l = 1, e = 0, g = 0
107 [CORRECT]: a = 12, b = 14, l = 1, e = 0, g = 0

```

108 [CORRECT]: a = 12, b = 15, l = 1, e = 0, g = 0
109 [CORRECT]: a = 13, b = 0, l = 0, e = 0, g = 1
110 [CORRECT]: a = 13, b = 1, l = 0, e = 0, g = 1
111 [CORRECT]: a = 13, b = 2, l = 0, e = 0, g = 1
112 [CORRECT]: a = 13, b = 3, l = 0, e = 0, g = 1
113 [CORRECT]: a = 13, b = 4, l = 0, e = 0, g = 1
114 [CORRECT]: a = 13, b = 5, l = 0, e = 0, g = 1
115 [CORRECT]: a = 13, b = 6, l = 0, e = 0, g = 1
116 [CORRECT]: a = 13, b = 7, l = 0, e = 0, g = 1
117 [CORRECT]: a = 13, b = 8, l = 0, e = 0, g = 1
118 [CORRECT]: a = 13, b = 9, l = 0, e = 0, g = 1
119 [CORRECT]: a = 13, b = 10, l = 0, e = 0, g = 1
120 [CORRECT]: a = 13, b = 11, l = 0, e = 0, g = 1
121 [CORRECT]: a = 13, b = 12, l = 0, e = 0, g = 1
122 [CORRECT]: a = 13, b = 13, l = 0, e = 1, g = 0
123 [CORRECT]: a = 13, b = 14, l = 1, e = 0, g = 0
124 [CORRECT]: a = 13, b = 15, l = 1, e = 0, g = 0
125 [CORRECT]: a = 14, b = 0, l = 0, e = 0, g = 1
126 [CORRECT]: a = 14, b = 1, l = 0, e = 0, g = 1
127 [CORRECT]: a = 14, b = 2, l = 0, e = 0, g = 1
128 [CORRECT]: a = 14, b = 3, l = 0, e = 0, g = 1
129 [CORRECT]: a = 14, b = 4, l = 0, e = 0, g = 1
130 [CORRECT]: a = 14, b = 5, l = 0, e = 0, g = 1
131 [CORRECT]: a = 14, b = 6, l = 0, e = 0, g = 1
132 [CORRECT]: a = 14, b = 7, l = 0, e = 0, g = 1
133 [CORRECT]: a = 14, b = 8, l = 0, e = 0, g = 1
134 [CORRECT]: a = 14, b = 9, l = 0, e = 0, g = 1
135 [CORRECT]: a = 14, b = 10, l = 0, e = 0, g = 1
136 [CORRECT]: a = 14, b = 11, l = 0, e = 0, g = 1
137 [CORRECT]: a = 14, b = 12, l = 0, e = 0, g = 1
138 [CORRECT]: a = 14, b = 13, l = 0, e = 0, g = 1
139 [CORRECT]: a = 14, b = 14, l = 0, e = 1, g = 0
140 [CORRECT]: a = 14, b = 15, l = 1, e = 0, g = 0
141 [CORRECT]: a = 15, b = 0, l = 0, e = 0, g = 1
142 [CORRECT]: a = 15, b = 1, l = 0, e = 0, g = 1
143 [CORRECT]: a = 15, b = 2, l = 0, e = 0, g = 1
144 [CORRECT]: a = 15, b = 3, l = 0, e = 0, g = 1
145 [CORRECT]: a = 15, b = 4, l = 0, e = 0, g = 1
146 [CORRECT]: a = 15, b = 5, l = 0, e = 0, g = 1
147 [CORRECT]: a = 15, b = 6, l = 0, e = 0, g = 1
148 [CORRECT]: a = 15, b = 7, l = 0, e = 0, g = 1
149 [CORRECT]: a = 15, b = 8, l = 0, e = 0, g = 1
150 [CORRECT]: a = 15, b = 9, l = 0, e = 0, g = 1
151 [CORRECT]: a = 15, b = 10, l = 0, e = 0, g = 1
152 [CORRECT]: a = 15, b = 11, l = 0, e = 0, g = 1
153 [CORRECT]: a = 15, b = 12, l = 0, e = 0, g = 1
154 [CORRECT]: a = 15, b = 13, l = 0, e = 0, g = 1
155 [CORRECT]: a = 15, b = 14, l = 0, e = 0, g = 1
156 [CORRECT]: a = 15, b = 15, l = 0, e = 1, g = 0

```

5 Выводы

5.1 LTspice

В ходе выполнения первой части лабораторной работы я получил фундаментальные знания о принципах построения цифровых интегральных схем с использованием КМОП-технологии. Это фундаментальное понимание включает в себя построение и реализацию логических функций с помощью КМОП-транзисторов, которые являются основными элементами современных цифровых интегральных схем. Кроме того, я познакомился с технологией SPICE-моделирования и симуляции, благодаря практическому использованию программы LTspice.

В ходе лабораторной работы я построил и проанализировал схему полного компаратора, а также провел симуляцию и анализ временных диаграмм. Научился высчитывать задержку распространения сигнала и максимальную частоту работы схемы. Это позволило мне понять какие ограничения на частоту работы схемы существуют. Также я увидел сложность проектирования цифровых интегральных схем, и то зачем нужны средства автоматизации электронного проектирования, такие как LTspice и Vivado.

5.2 Vivado

В ходе выполнения второй части лабораторной работы были получены навыки разработки цифровых интегральных схем на языке описания аппаратуры Verilog HDL. Также я познакомился с программным обеспечением Vivado, которое позволяет проектировать цифровые интегральные схемы, а также проводить их симуляцию и тестирование. В ходе выполнения лабораторной работы я разработал модуль БОЭ и тестовое окружение для него, а также провел тестирование разработанного модуля. Таким образом, я получил навыки разработки цифровых интегральных схем на языке описания аппаратуры Verilog HDL, а также навыки работы с программным обеспечением Vivado.