

集成电路

集成电路制造技术复习提纲

复习重点：

一、单晶硅：

1. 金刚石结构
2. 点缺陷：肖特基缺陷和福伦克尔缺陷
线缺陷：位错
面缺陷
体缺陷
3. 优点：
原料充分；
硅晶体表面易于生长稳定的氧化层；
重量轻，密度小；
热学特性好，线热膨胀系数小；
单晶圆片的缺陷少；
机械性能良好。
4. 杂质：
间隙式杂质；替位式杂质

二、硅片制备：

1. 单晶硅生长：
直拉法（CZ 法）；生长过程为引晶-缩晶-放肩-等径生长-收尾
区熔法
2. 籽晶，籽晶是作为复制样本，使拉制出的硅锭和籽晶有相同的晶向；

三、外延

1. 外延，在微电子工艺中，外延(epitaxy)是指在单晶衬底上，用物理的或化学的方法，按衬底晶向排列（生长）单晶膜的工艺过程。新排列的晶体称为外延层，有外延层的硅片称为（硅）外延片。
2. 外延种类
按材料划分：同质外延和异质外延
按工艺方法划分：气相外延（VPE），液相外延(LVP)，固相外延（SPE），分子束外延（MBE）
3. 用途：
在双极型电路中提高集电结击穿电压，降低集电极串联电阻，双极型集成电路电隔离；
CMOS 电路中避免了闩锁效应，避免了硅层中 SiO_x 的沉积，使硅表面更光滑减少损伤

四、热氧化

1. 氧化硅的性质：结晶型、非结晶型（无定形）
2. 用途：
掺杂掩膜，芯片钝化、保护层，绝缘介质，器件的组成部分

3. 氧化方法

干氧化：氧化膜致密性最好，针孔密度小，薄膜表面干燥，适合光刻，但是生长速率最慢；

湿氧化：氧化膜较干氧化膜疏松，针孔密度大，表面含水汽，光刻性能不如干氧，容易浮胶。湿氧与干氧比，水温越高，水汽就越多，二氧化硅生长速率也就越快；

水蒸汽氧化：在三种热氧化方法中氧化膜致密性最差，针孔密度最大，薄膜表面潮湿，光刻难，浮胶。但是，生长速率最快。

4. 氧化工艺

掩膜氧化（厚氧化层）：干氧-湿氧-干氧。注意氧化结果。

薄层氧化（MOS 栅）：干氧；掺氯氧化。

5. 热氧化机理

在热氧化的过程中，氧化反应将在 SiO₂-Si 界面处进行，而不发生在 SiO₂ 层的外表层；

热氧化是通过扩散与化学反应来完成的，氧化反应是由硅片表面向硅片纵深依次进行的，硅被消耗，所以硅片变薄，氧化层增厚

6. 氧化速率

$$x_{SiO_2}^2 + Ax_{SiO_2} = B(t + \tau)$$

7. 影响氧化速率的因素

温度；

气体分压；

硅晶向；

掺杂。

五、扩散

1. 扩散机构：

间隙式扩散

替位式扩散

间隙—替位式扩散

2. 扩散掺杂方式

恒定表面源扩散。恒定表面源是指在扩散过程中，硅片表面的杂质浓度始终是保持不变的。恒定表面源扩散指硅一直处于杂质氛围中，硅片表面达到了该扩散温度的固溶度 C_s。

$$x_j = 2 \left(\operatorname{erfc}^{-1} \frac{C_B}{C_s} \right) \sqrt{Dt} = A \sqrt{Dt}$$

限定表面源扩散。指杂质源在扩散前积累于硅片表面薄层 δ 内， Q 为单位面积杂质总量，

$$x_j = 2 \left(\ln \frac{C'_s}{C_B} \right)^{1/2} \sqrt{Dt} = A' \sqrt{Dt}$$

3. 扩散工艺：

两步工艺 分为预淀积（预扩散）、再分布（主扩散）两步

4. 扩散源的选择：

固态源扩散，液态源扩散，气态源扩散。

5.

六、离子注入

1. 概念：离化后的原子在强电场的加速作用下，注射进入靶材料的表层，以改变这种材料表层的物理或化学性质

2. 离子注入的基本过程：

将某种元素的原子或携带该元素的分子经离化变成带电的离子

在强电场中加速，获得较高的动能

注入材料表层（靶）以改变这种材料表层的物理或化学性质

3. 离子注入的特点：

各种杂质浓度分布与注入浓度可通过精确控制掺杂剂量（ 10^{11} - 10^{17} cm⁻²）和能量（5-500 keV）来达到

同一平面上杂质掺杂分布非常均匀（ $\pm 1\%$ variation across an 8" wafer）

非平衡过程，不受固溶度限制，可做到浅结低浓度 或深结高浓度

注入元素通过质量分析器选取，纯度高，能量单一

低温过程（因此可用多种材料作掩膜，如金属、光刻胶、介质）；避免了高温过程引起的热扩散；易于实现对化合物半导体的掺杂；

横向效应比气固相扩散小得多，有利于器件尺寸的缩小

可防止玷污，自由度大

会产生缺陷，甚至非晶化，必须经高温退火加以改进

设备相对复杂、相对昂贵（尤其是超低能量离子注入机）

有不安全因素，如高压、有毒气体

4. R ：射程（range） 离子在靶内的总路线长度

5. X_p ：投影射程（projected range） R 在入射方向上的投影

6. LSS 理论：

该理论认为，注入离子在靶内的能量损失分为两个彼此独立的过程

(1) 核碰撞（nuclear stopping），在低能量下起主要作用（注入分布的尾端）

(2) 电子碰撞（electronic stopping），在高能量下起主要作用

7. 损伤与退火

在某一高温下保持一段时间，使杂质通过扩散进入替位，有电活性；并使晶体损伤区域“外延生长”为晶体，恢复或部分恢复硅的迁移率，少子寿命

七、化学气相淀积

1. 概念：化学气相淀积(Chemical Vapor Deposition, CVD)是把构成薄膜元素的气态反应剂或液态反应剂的蒸气以合理的流速引入反应室，在衬底表面发生化学反应并在衬底上淀积薄膜的工艺方法。

2. 分类：

常压化学气相淀积（APCVD, Atmospheric pressure chemical vapor deposition）

低压化学气相淀积（LPCVD, Low pressure chemical vapor deposition）

等离子增强化学气相淀积（PECVD, Plasma enhanced chemical vapor deposition）

3. 工艺原理：

(1)反应剂引入，在衬底表面附近形成“滞留层”

(2)反应剂被吸附在硅片表面，并进行化学反应

(3) 在硅片表面成核、生长成薄膜

(4)反应后的气相副产物排出反应室

4.

八、物理气相淀积

1. 概念

物理气相淀积（Physical vapor deposition, PVD）是利用某种物理过程实现物质转移，将原子或分子由（靶）源气相转移到衬底表面形成薄膜的过程。

2. 方法——真空蒸发

真空蒸发即利用蒸发材料在高温时所具有的饱和蒸汽压进行薄膜制备。

在真空条件下，加热蒸发源，使原子或分子从蒸发源表面逸出，形成蒸汽流并入射到硅片衬底表面凝结形成固态薄膜。

优点：设备简单，操作容易

所制备的薄膜纯度较高，厚度控制较精确，成膜速率快

生长机理简单

缺点：所形成的薄膜与衬底附着力较小

工艺重复性不够理想

台阶覆盖能力差

3. 方法——溅射

微电子工艺中的溅射，是指利用气体辉光放电时，离子对阴极轰击，使阴极物质飞溅出来淀积到基片上形成薄膜的工艺方法

4. 溅射方式

直流溅射

射频溅射

磁控溅射

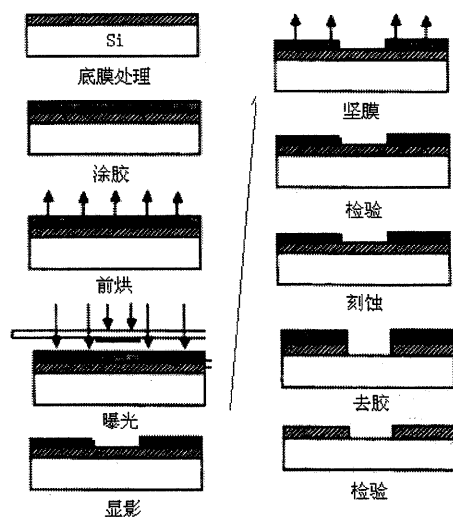
九、光刻工艺

1. 概念

光刻(photolithography)就是将掩模版(光刻版)上的几何图形转移到覆盖在半导体衬底表面的对光辐照敏感薄膜材料(光刻胶)上去的工艺过程。

2. 基本流程

一般的光刻工艺要经历底膜处理、涂胶、前烘、曝光、显影、坚膜、刻蚀、去胶、检验工序。



十、光刻技术

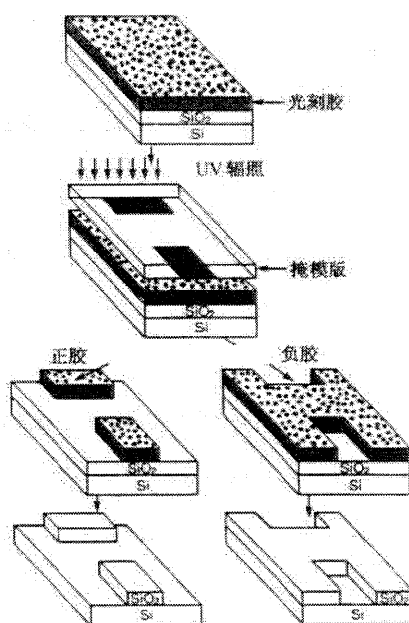
1. 光刻胶

按曝光区在显影中被去除或保留来划分:

正(性)胶

负(性)胶

正胶, 显影容易, 图形边缘齐, 无溶胀现象, 负胶显影后保留区的胶膜是交联高分子, 在显影是局部的, 边界不齐, 所以图形分辨率下降低于正胶相抗蚀性强。



2. 光学分辨率增强技术

光学分辨率增强技术包括移相掩模技术 (phase shift mask)、离轴照明技术(off-axis illumination)、光学邻近效应校正技术(optical proximity correction)、光瞳滤波技术 (pupil filtering technology) 等。

3. 光刻设备

接触式光刻机;

接近式光刻机;

扫描投影光刻机;

分步重复投影光刻机;

步进扫描光刻机

十一、刻蚀

1. 理想的刻蚀工艺必须具有以下特点:

①各向异性刻蚀, 即只有垂直刻蚀, 没有横向钻蚀。

②良好的刻蚀选择性, 即对作为掩模的抗蚀剂和处于其下的另一层薄膜或材料的刻蚀速率都比被刻蚀薄膜的刻蚀速率小得多, 以保证刻蚀过程中抗蚀剂掩蔽的有效性, 不致发生因为过刻蚀而损坏薄膜下面的其他材料;

③加工批量大, 控制容易, 成本低, 对环境污染少, 适用于工业生产。

2. 湿法刻蚀

湿法腐蚀是化学腐蚀, 晶片放在腐蚀液中 (或喷淋), 通过化学反应去除窗口薄膜, 得到晶片表面的薄膜图形。

特点:

湿法腐蚀工艺简单, 无需复杂设备

保真度差, 腐蚀为各向同性, $A=0$, 图形分辨率低。

选择比高

均匀性好

清洁性较差。

3. 干法刻蚀

干法腐蚀是应用等离子技术的腐蚀方法, 刻蚀气体在反应器中等离子化, 与被刻蚀材料反应 (或溅射), 生成物是气态物质, 从反应器中被抽出。

干法刻蚀是 ULSI 的标准腐蚀工艺。

特点:

与湿法腐蚀比较, 优点:

保真度好, 图形分辨率高;

湿法腐蚀难的薄膜如氮化硅等可以进行干法刻蚀。

清洁性好, 气态生成物被抽出; 无湿法腐蚀的大量酸碱废液。

缺点

设备复杂

选择比不如湿法

4. 选择比

在同一刻蚀条件下一种材料与另一种材料相比刻蚀速率快多少,它被定义为被刻蚀材料的刻蚀速率与另一种材料的刻蚀速率的比;

十二、 工艺集成

1. 金属化材料

金属化材料可分为三类:

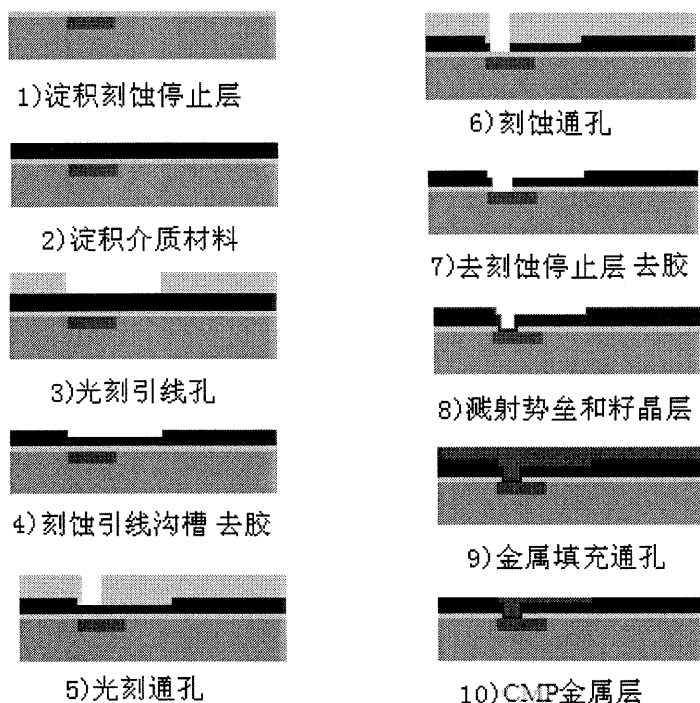
互连材料;互连材料指将同一芯片内的各个独立的元器件连接成为具有一定功能的电路模块;

接触材料;接触材料是指直接与半导体材料接触的材料,以及提供与外部相连的连接点; MOSFET 栅电极材料。MOSFET 栅电极材料是作为 MOSFET 器件的一个组成部分,对器件的性能起着重要作用。

2. 电迁移现象

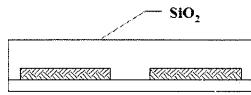
在大电流密度作用下金属化引线的质量输运现象。质量输运沿电子流方向,结果在一方形成空洞,另一方形成小丘。

3. 铜多层互连系统工艺流程



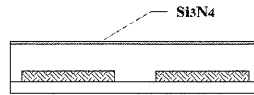
注意,我认为给图有错,所以,给出另一流程如下。两个流程任选其一答题,都算对。

1: SiO₂ 淀积



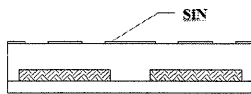
说明：用 PECVD 淀积内层氧化硅到希望的厚度，这里没有关键的间隙填充，因此 PECVD 是可以接受的。

2: Si₃N₄ 刻蚀阻挡层淀积



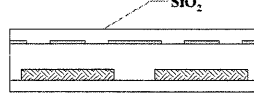
说明：厚 250 Å 的 Si₃N₄ 刻蚀阻挡层被淀积在内层氧化硅上。SiN 需要致密，没有针孔，因此使用 HDPCVD。

3: 确定通孔图形和阻挡层



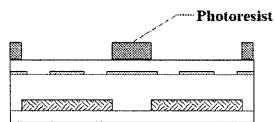
说明：光刻确定图形、干法刻蚀通孔窗口进入 SiN 中，刻蚀完成后去掉光刻胶。

4: 淀积保留介质的 SiO₂



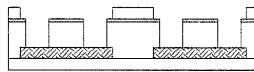
说明：为保留层间介质，PECVD 氧化硅淀积。

5: 确定互连图形



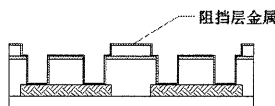
说明：光刻确定氧化硅槽图形，带胶。在确定图形之前将通孔窗口放在槽里。

6: 刻蚀互连槽和通孔



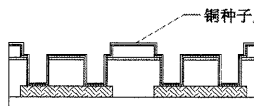
说明：在层间介质氧化硅中干法刻蚀沟道，停止在 SiN 层。穿过 SiN 层中的开口继续刻蚀形成通孔窗口。

7: 淀积阻挡金属层



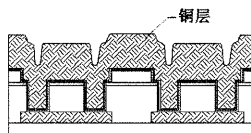
说明：在槽和通孔的底部及侧壁用离子化的 PVD 淀积钽 (TaN) 和氮化钽扩散层。

8: 淀积铜种子层



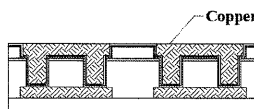
说明：用 CVD 淀积连续的铜种子层，种子层必须是均匀的并且没有针孔。

9: 淀积铜填充



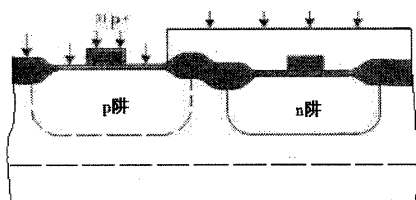
说明：用电化学淀积 (ECD) 淀积铜填充，即填充通孔窗口也填充槽。

10: 用 CMP 清除额外的铜

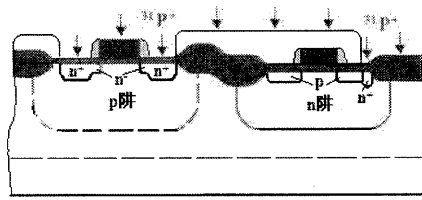


说明：用 CMP 清除额外的铜，这一过程平坦化了表面并为下道工序做了准备。最后的表面是一个金属镶嵌在介质内，形成电路的平面结构。

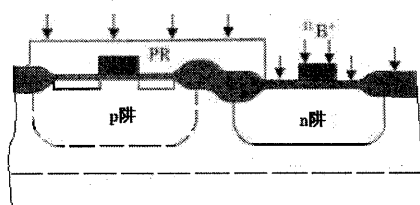
4. CMOS 电路工艺流程



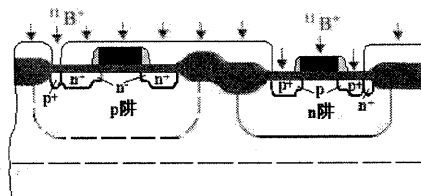
7) nMOS LDD的形成



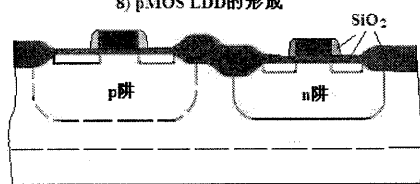
10) n+源漏形成



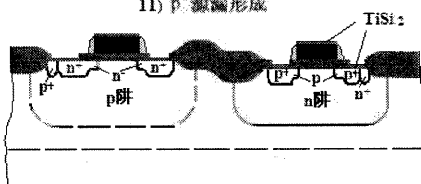
8) pMOS LDD的形成



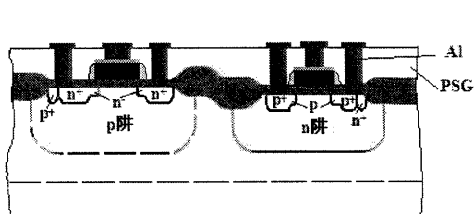
11) p+源漏形成



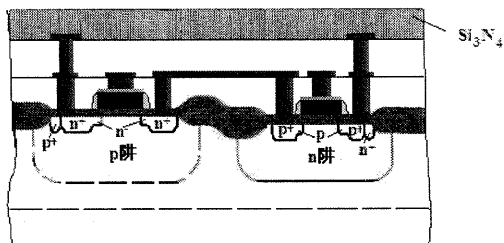
9) 形成侧墙



12) 硅化物形成



13) 形成铝线



14) 钝化

集成电路考题

一、填空题

- 1、世界上第一个自动计算器是 1832 年。
- 2、Jack Kilby 提出 IC 设想——集成电路，由此获得诺贝尔奖，标志着数字时代的来临。
- 3、集成电路的发展按摩尔定律发展变化。
- 4、数字电路噪声进入的途径有电感耦合、电容耦合、电源和地的干扰。
- 5、N 型半导体的多子是自由电子，少子是空穴。
- 6、P 型半导体的多子是空穴，少子是自由电子。

7、二极管电流 I_D 与电压 V_D 的关系表达式为 $I_D = I_S(e^{V_D/\Phi_T} - 1)$ 。

8、二极管的反向击穿类型有齐纳击穿和雪崩击穿。

9、互连线电容模型可用平行板电容模型等效，导线总电容的公式为

$$C_{int} = \frac{\epsilon_d}{t_d} WL$$

10、互连线电容模型可用微带线模型等效，由平面电容和边缘电容构成。

11、导体为均匀的绝缘介质包围，可知一条导线的电容 C 与电感 L 的关系为

$$CL = \epsilon u$$

12、CMOS 反相器噪声容限的定义有 NM_L 低电平噪声容限和 NM_H 高电平噪声容限。

13、CMOS 反相器电路总功耗分为三部分，分别为 P_{dyn} 由充放电电容引起的动态功耗、 P_{dp} 直流通路电容引起的功耗、 P_{stat} 静态功耗。

14、静态 CMOS 门由上拉网络 PUN和下拉网络 PDN构成。

15、CMOS 互补逻辑实现一个 N 输入逻辑门所需 MOS 管的个数为 2N 个。

16、伪 NMOS 逻辑实现一个 N 输入逻辑门所需 MOS 管的个数为 N+1 个。

17、动态逻辑实现一个 N 输入逻辑门所需 MOS 管的个数为 N+2 个。

18、动态逻辑电路工作过程分为预充电和求值两个阶段。

19、时序电路中与寄存器有关的参数分别为建立时间、维持时间、传播时间。

20、对于时钟偏差不敏感的触发器为 Clocked CMOS (或为时钟控制 CMOS)。

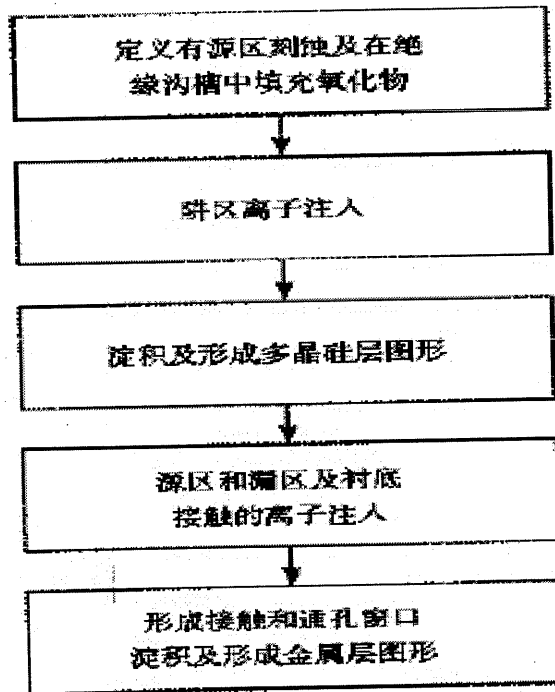
21、 C^2 CMOS 实现一个 N 输入逻辑门所需 MOS 管的个数为 N+2 个。

22、施密特触发器两个开关阈值分别为： V_{M-} 和 V_{M+} 。

23、半定制的设计方法分别是以单元为基础的设计方法和以阵列为基础的设计方法。

二、简答题

1、画出双阱 CMOS 电路工艺顺序简化图。(P31)



2.6 制造双阱 CMOS 电路工艺顺序的简化图

2、二极管的电流受工作温度的双重影响。(P60)

- (1) 出现在电流方程的 ΦT 与温度呈线性关系, ΦT 的增加会使电流下降。
- (2) 饱和电流 I_S 也与温度有关, 热平衡时载流子浓度会随温度增加。理论上, 每上升 5°C 饱和电流增加一倍, 实测是反向电流每 8°C 增加一倍。

3、如果考虑导线的寄生电容和电感, 写出简化规则和步骤 (P99)

- (1) 如果电阻很大——例如界面很小的长铝导线情形或者外加信号的上升和下降沿很慢, 电感可以忽略
- (2) 当导线很短, 截面积很大或者互连材料电阻率很低时, 可以用只含电容的模型。
- (3) 若导线间距很大, 或者导线只在一段很短的距离上靠近一起的时候, 导线相互间电容可以忽略, 并且所有的寄生电容都可以模拟成接地电容。

4、简述理想导线和集总模型。(P109)

- (1) 理想导线: 一般电路上, 导线是没有任何附加参数和寄生参数的简单连线。这样的导线对电路的特性没有任何影响。
- (2) 集总模型: 导线的电路寄生参数一般是沿着它的长度分布的, 不能集中在一点。当然, 当只有一个寄生元件支配时, 把其它寄生参数影响小的元件的各个不同部分集总成单个电路元件, 这就是集总模型。

5、简述集总 RC 模型 (P110)

把每段导线的总导线电阻集总成一个电阻 R ，把电容集总成一个电容 C ，这个简单模型就是集总 RC 模型。

6、简述静态 CMOS 反相器的特性。(130)

- (1) 输出高低电平分别为 V_{DD} 和 GND ;
- (2) 逻辑电平与器件的相对尺寸无关，所以晶体管可以采用最小尺寸。
- (3) 稳态时在输出和 V_{DD} 和 GND 总存在一条具有有电阻的通路。
- (4) CMOS 反相器输入阻抗高，MOS 管栅极实际上是一个绝缘体。
- (5) 稳态工作下，电源和地线之间没有通路。

7、简述 CMOS 反相器噪声容限的定义。(P136)

所谓噪声容限，是指电路在噪声干扰下，逻辑关系发生偏离(误动作)的最大允许值。若输入信号中混入了干扰，当干扰大过反相器输入电压阈值时，则使原本应该是高电平的输出信号翻转为低电平，或使原本应该是低电平的输出信号翻转为高电平。

8、密勒效应的定义。(P141)

一个在其两端大小相同相位相反的电压摆幅的电容可以用一个两倍于该电容值的接地电容代替。

9、互补 CMOS 是一种实现逻辑门的有效电路，但复杂的逻辑电路存

在两个问题，原因有两点。(P180)

问题：(1) 实现 N 输入逻辑门，需要 $2N$ 个 MOS 管，加大实现面积。

(2) 互补 CMOS 门传播延时随扇入数迅速增加。

原因：(1) MOS 管数目多 ($2N$)，增加了门的总电容；

(2) 门的 PUN 或 PDN 中，MOS 串联会使门的速度进一步减慢。

10、降低大扇入延时的方法。(P181-182)

(1) 调整 MOS 管尺寸：加大 MOS 管尺寸，能降低串联期间的电阻，减小时间常数。

(2) 逐级增大 MOS 管尺寸：即 MOS 管尺寸， $M_1 > M_2 > M_3 > M_4$ ，可以使 $R_1 < R_2 < R_3 < R_4$ ，这样降低了其主要作用的电阻。

(3) 重新安排输入：找到关键信号，决定关键路径

(4) 重组逻辑结构

11、简述传输管逻辑的特性。(P196)

基本概念

通过允许原始输入驱动栅端和漏-源端来减少实现逻辑功能所需 MOS 管数目的方法，称为传输管逻辑。

功能分析

若 B 输入高， M_1 导通， A 直接到输出 F ，若 B 为低 M_2 导通，并使 0 直接输

出到 F。这一方法可以减少四个 MOS 管，降低电容。

12、简述动态逻辑门的特性（P208-209）

- (1) 逻辑门由 NMOS 下拉网络实现，PDN 的构成过程与静态 CMOS 完全一样。
- (2) MOS 管数目比静态减少，数目为 $N+2$ ，非 $2N$ 。
- (3) 是无比逻辑门。
- (4) 动态逻辑门只有动态功耗，理想情况 VDD 和 GND 之间从不存在任何静态电流路径。
- (5) 动态逻辑门具有较快的开关速度。

13、简述时序逻辑电路中与寄存器有关的参数。（P237）

- (1) 建立时间 t_{su} ：在时钟翻转（正沿触发为 0-1 翻转）之前数据输入(D)必须有效的时间。
- (2) 维持时间 t_{hold} ：在时钟边沿之后输入数据必须仍然有效的时间。
- (3) 传播延时 t_{c-q} ：相对于时钟最坏情况的延时。指的是输入数据(D)送到输出端 Q 的时间。

14、简述施密特触发器的特性。（P208-209）

- (1) 对于一个输入变化很慢的信号，输出端可以有一个快速翻转的响应。（可用于脉冲整形）
- (2) 有两个不同方向的开关阈值 V_{M+} 、 V_{M-} 。

15、简述数字处理器的构成（四个模块）（P277）

- (1) 数据通路：处理器核心部分，完成所有处理运算工作的场所。
- (2) 控制模块：协调各个部分正常工作的关键部分，让处理器等在指定时间完成相应的工作，可以看成是一个有限状态机(FSM)。
- (3) 存储模块：整个处理器中用来存储数据的区域，可以有只读、读写等多个种类。
- (4) 输入输出(互连)：处理器与外界连接的主要媒介，可以用来连接外接信号，也可以连接多个处理器。

16、简述半定制的设计流程。（289）

- (1) 设计获取，使设计进入到 ASIC 设计系统中。
- (2) 逻辑综合，把 HDL 语言描述模块转换成网表(netlist)。
- (3) 版图前模拟和验证，检查设计是否正确。
- (4) 版图规划，对芯片面积总体规划。
- (5) 布局，确定各单元精确位置。
- (6) 布线，完成各单元和功能块之间连线。
- (7) 提取模型参数，完成芯片模型的创建。
- (8) 版图后模拟和验证，检验性能，发现不足改进和优化。
- (9) 记带。

17、简述克服串扰的方法。(P327)

- (1) 尽量避免浮空节点。
- (2) 敏感节点应当很好地与全摆幅信号隔离。
- (3) 在满足时序约束的范围内尽可能加大上升(下降)时间。
- (4) 在敏感的低摆幅布线网络中采用差分信号传输方法。
- (5) 不要使两条信号线之间的电容太大。
- (6) 必要时可在两个信号之间增加一条屏蔽线--GND 或 V_{DD} 。
- (7) 不同层上信号之间的线间电容可以通过增加额外的布线层来进一步减少。

三、计算题

1、设计计算题 (P64 例 3.5 公式 3.19)

例 3.5: PMOS 晶体管的阈值电压

一个 PMOS 晶体管的阈值电压 V_{T0} 为 $-0.4V$, 而体效应系数等于 -0.4 。试计算 $V_{SB}=-2.5V$, $2\Phi_F=0.6V$ 时的阈值电压。

解: 由阈值公式

$$V_T = V_{T0} + \gamma(\sqrt{|(-2)\phi_F + V_{SB}|} - \sqrt{|2\phi_F|})$$

$$\begin{aligned}\text{得 } V_T(-2.5V) &= -0.4 - 0.4 \times ((2.5 + 0.6)^{0.5} - 0.6^{0.5}) \\ &= -0.79V\end{aligned}$$

可以看到, $-0.4V$ 是零偏置条件下阈值的 2 倍。

2、(P104) 例 4.1 金属导线电容

总电容=平面电容+边缘电容

平面电容计算公式: $c_{pp} = \text{导线面积} \times \text{场氧}$

电容计算公式: $c_{fringe} = 2 \times \text{导线面积} \times \text{场氧}$

$$\text{平面电容: } c_{pp} = (0.1 \times 10^6 \mu m^2) \times 30 aF / \mu m^2 = 3 pF$$

$$\text{边缘电容 } c_{fringe} = 2 \times (0.1 \times 10^6 \mu m) \times 40 aF / \mu m = 8 pF$$

$$\text{总电容: } C_{wire} = C_{pp} + C_{fringe} = 3 pF + 8 pF = 11 pF$$

拓展: 假设两条导线, 第二条在第一条旁边, 间距只相隔最小允许距离 10cm, 与第一条耦合电容为

$$c_{inter} = (0.1 \times 10^6 \mu m) \times 95 aF / \mu m = 9.5 pF$$

几乎与总的对地电容一样大。

3、RC 的树形网络。(P111)

写出网络的性质，路径电阻的计算，共享电阻的计算

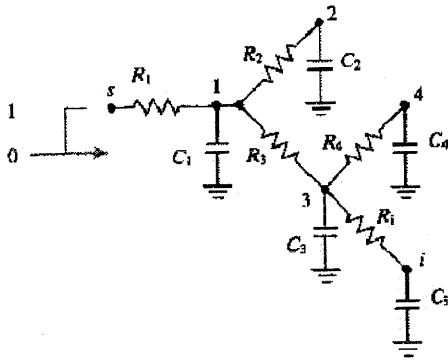


图 4.12 树结构的 RC 网络

- 性质：(1) 电路仅有一个输入节点。
 (2) 所有电容都在每个节点和地之间。
 (3) 电路没有任何电阻回路。

路径电阻：源节点 s 和电路内任何节点 i 之间存在一条惟一电阻路径，用 R_{ii} 表示。

上图，源节点 s 和节点 4 之间的路径电阻为 R_{44} ： $R_{44} = R_1 + R_3 + R_4$

共享电阻： R_{ik} 代表的路径电阻为源节点 s 至节点 k 和节点 i 这两条路径的电阻

$$R_{ik} = \sum R_j \Rightarrow \{R_j \in [\text{path}(s \rightarrow i) \cap \text{path}(s \rightarrow k)]\}$$

上图所示电路 $R_{i4} = R_1 + R_3$ $R_{i2} = R_1$

4、(P136) 例 5.2 CMOS 反相器的电压传输特性和噪声容限

设计一个通用 0.25um CMOS 工艺反相器，PMOS 对 NMOS 的比为 3.4，其中 NMOS 的最小尺寸 ($W=0.375\mu\text{m}$, $L=0.25\mu\text{m}$, $W/L=1.5$)，计算 $V_M=1.25$ 处的增益。

解：首先应用公式

$$I_D(V_M) = \frac{W}{L} \times k'_n V_{DSATn} (V_M - V_{Tn} - V_{DSATn} / 2) \times (1 + \lambda_n V_M)$$

求得

$$\begin{aligned} I_D(V_M) &= 1.5 \times 115 \times 10^{-6} \times 0.63 \times \\ &\quad (1.25 - 0.43 - 0.63 / 2) \times (1 + 0.06 \times 1.25) \\ &= 59 \times 10^{-6} \text{ A} \end{aligned}$$

再应用

$$\begin{aligned} g &= - \frac{1}{I_D(V_M) L} \frac{W k'_n V_{DSATn} + \left(\frac{W/L}{W/L_n} \right) k'_p V_{DSATp}}{\lambda_n - \lambda_p} \\ &= - \frac{1}{59 \times 10^{-6}} \frac{1.5 \times 115 \times 10^{-6} \times 0.63 + 1.5 \times 3.4 \times 30 \times 10^{-6} \times 1.0}{0.06 + 0.1} \\ &= -27.5 \end{aligned}$$

由此得到如下

$$V_{IH} = V_M - \frac{V_M}{g} = 1.25 - \frac{1.25}{-27.5} = 1.3V$$

$$V_{IL} = V_M + \frac{V_{DD} - V_M}{g} = 1.25 + \frac{2.5 - 1.25}{-27.5} = 1.2V$$

$$NM_H = V_{DD} - V_{IH} = 2.5 - 1.3 = 1.2V$$

$$NM_L = V_{IL} = 1.2V$$

5、(P146) 例 5.5 一个 0.25um CMOS 反相器延时

利用前面推导公式，计算 t_{pHL} 和 t_{pLH}

表 3.3 0.25 μm CMOS 工艺 (设计沟长 $L = L_{min}$) 的 NMOS 和 PMOS 晶体管 ($W/L = 1$) 的等效电阻 R_{eq} 。对于较大的器件，将 R_{eq} 除以 W/L

V_{DD} (V)	1	1.5	2	2.5
NMOS(k Ω)	35	19	15	13
PMOS(k Ω)	115	55	38	31

根据表 3.3, $V_{DD}=2.5V$ 时, 可得 $R_{eqn}=13K$, $R_{eqp}=31K$, $CL(H \rightarrow L)=6.1$, $CL(L \rightarrow H)=6.0$,

NMOS 的 $W/L=1.5$, PMOS 的 $W/L=4.5$, 代入两个公式可得:

$$t_{pHL} = \ln(2) R_{eqn} C_L = 0.69 R_{eqn} C_L$$

$$= 0.69 \left(\frac{R_{eq}}{(W/L)_n} \right) C_L$$

$$= 0.69 \times \left(\frac{13K}{1.5} \right) \times 6.1 fF = 36 ps$$

$$t_{pLH} = \ln(2) R_{eqp} C_L = 0.69 R_{eqp} C_L$$

$$= 0.69 \frac{R_{eq}}{(W/L)_p} C_L$$

$$= 0.69 \times \left(\frac{31K}{4.5} \right) \times 6.0 fF = 29 ps$$

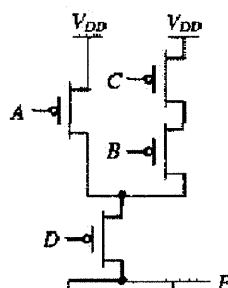
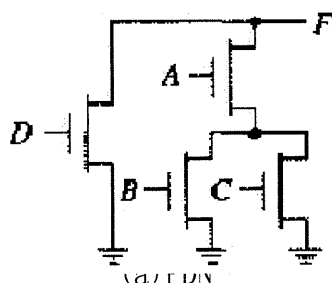
$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = \frac{36 + 29}{2} = 32.5 ps$$

6、(P174) 对 PDN、PUN 以及综合的进行详细的分析。

例 6.2 CMOS 复合门的综合

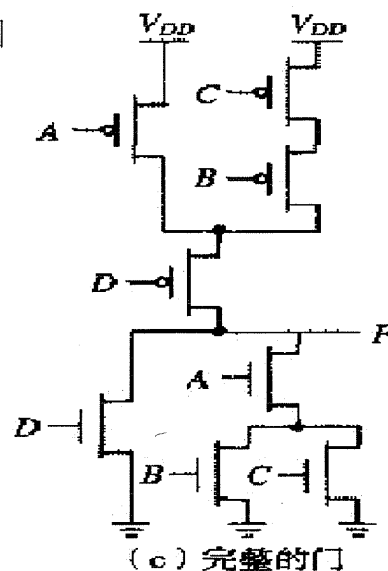
利用互补 CMOS 逻辑合成功能为的逻辑门电路。

(1) 实现 PDN: 根据 NMOS “串与并或”, PMOS “串或并与”, 将 PDN 网络拆成子电路较小的网络 (称为 PDN 的子集)。首先, 括号内 $B+C$ 的 PDN 表示为两个 NMOS 管并联, 其次 $A(B+C)$ 的 PDN 可以用一个 NMOS 管和 $(B+C)$ 的 PDN 串联构成, 最后, $D+A(B+C)$ 的 PDN 可以由一个 NMOS 管和一个 $A(B+C)$ 的 PDN 构成。如图 a 所示:



由于 PUN 为 PDN 的对偶网络括号内 $B+C$ 的 PUN 表示为两个 PMOS 管串联, 其次 $A(B+C)$ 的 PUN 可以用一个 PMOS 管和 $(B+C)$ 的 PUN 并联构成, 最后 $D+A(B+C)$ 的

PUN 可以由一个 PMOS 管和 $A(B+C)$ 的 PUN 串联构成。如图综合一起, 可以得到 $F = \overline{D + A(B+C)}$ 的逻辑电路如右图:



7、(P178) 画出两输入 NAND 门的等效 RC 模型

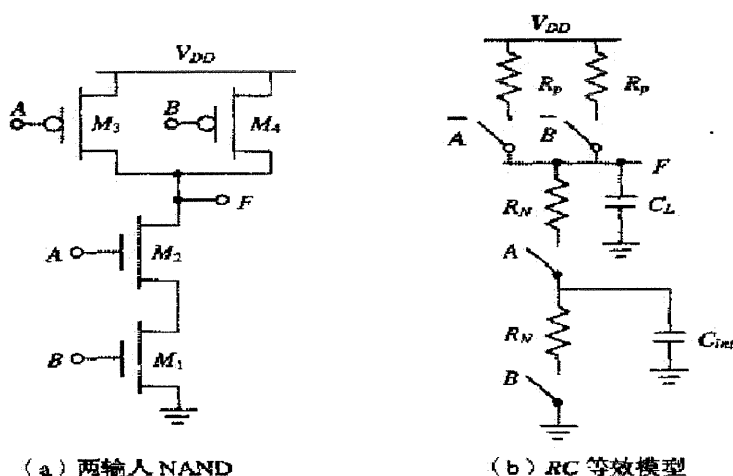


图 6.8 两输入 NAND 门的等效 RC 模型

8、(P186) 例 6.6 确定组合逻辑延时最小的尺寸。

如图 6.19 所示, 它代表一个复杂逻辑电路的关键路径, 输出负载是一个电容, 为第一级输入电容的 5 倍, 所以路径等效扇出 $F = C_L / C_{g1} = 5$

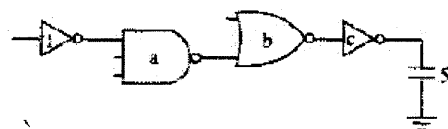


图 6.19 组合电路中的关键路径

门的类型	输入的数目			
	1	2	3	n
NAND		$4/3$	$5/3$	$(n+2)/3$
NOR		$5/3$	$7/3$	$(2n+1)/3$
多路开关		2	2	2
XOR		4	12	

路径逻辑努力 G 为:
$$G = \prod_{i=1}^4 g_i = g_1 \times g_2 \times g_3 \times g_4 = 1 \times \frac{5}{3} \times \frac{5}{3} \times 1 = \frac{25}{9}$$

路径没有分支，路径分支努力 $B=1$ ，总路径努力 $H=GFB=125/9$ 。最优的每个门努力为

由门努力 $h=fg$ ，可得每个门的扇出系数为

$$\begin{aligned} f_1 &= \frac{h_1}{g_1} = \frac{1.93}{1} = 1.93 & f_2 &= \frac{h_2}{g_2} = \frac{1.93}{5/3} = 1.16 \\ f_3 &= \frac{h_3}{g_3} = \frac{1.93}{5/3} = 1.16 & f_4 &= \frac{h_4}{g_4} = \frac{1.93}{1} = 1.93 \end{aligned}$$

这样的设计是使两个反相器比两个复杂逻辑门分配了较大的值，使他们能够更好的驱动负载。

由尺寸公式 $a = \frac{g_1}{g_i} \prod_{i=1}^{N-1} f_i$

$$a = \frac{g_1}{g_2} f_1 = \frac{1}{5/3} \times 1.93 = 1.16 \quad b = \frac{g_1}{g_3} f_1 f_2 = \frac{1}{5/3} \times 1.93 \times 1.16 = 1.34$$

$$c = \frac{g_1}{g_4} f_1 f_2 f_3 = \frac{1}{5/3} \times 1.93 \times 1.16 \times 1.16 = 2.60$$

9、(P195) DCVSL 逻辑门的详细工作过程分析。

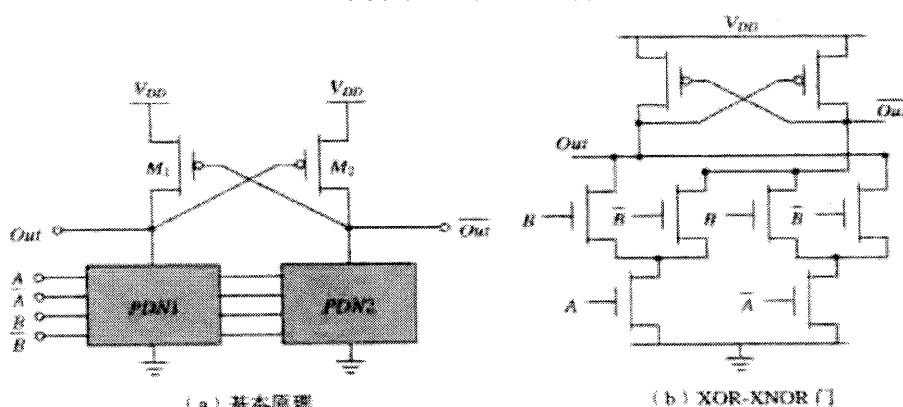


图 6.30 DCVSL 逻辑门

利用差分逻辑和正反馈概念，设计一个完全消除静态功耗的有比逻辑电路，称为差分串联电压开关逻辑—DCVSL。

两个 PMOS 管 M_1 、 M_2 和两组 PDN 网络 PDN_1 、 PDN_2 构成差分形式， PDN_1 导通， PDN_2 截止。

对于一组输入， OUT 和 \overline{OUT} 最初分别为高和低 PDN_1 通， PDN_2 止。 PDN_1 通， OUT 下拉， M_1 和 PDN_1 之间虽然仍有竞争，但 M_2 和 PDN_2 均关断， \overline{OUT} 处于高阻状态。如果 PDN_1 足够强，可使 OUT 低于 $V_{DD}-|V_{Tp}|$ ，此时 M_2 通， \overline{OUT} 充电至 V_{DD} ， M_1 关断，又使 OUT 放电至 GND 。

10、(P208) 应用动态逻辑基本原理

动态逻辑基本原理

右图 6.52a 是 n 型动态逻辑门基本结构 PDN 网络与互补 CMOS 的 PDN 一样。电路工作分为预充电和求值两个阶段。

(1) 预充电

当 CLK=0, 输出端 out 被 PMOS 管 Mp 预充电到 VDD, 此期间, 求值管 NMOS Me 关断, 下拉路径不工作。

(2) 求值

当 CLK=1 时预充电管 Mp 关断, 求值管 Me 导通输出根据输入值和下拉拓扑结构有条件地放电。如果输入使 PDN 导通, 在 out 和 GND 之间存在低阻通路, out 放电至 GND。若 PDN 关断, 预充电值维持存放于 CL 上。

在求值阶段, 输出节点和电源线之间唯一可能的路径是连接到 GND。实际电路例如图 6.52b 所示, 预充电 (CLK=0) 阶段, 求值器件关断无论输入为何值, 输出都会充电

至 VDD, 在求值期间 (CLK=1), 若 $AB+C$ 为真, 则在 out 和 GND 之间建立起一条导电通路。可实现以下功能: $Out = \overline{CLK} + (A \cdot B + C) \cdot CLK$

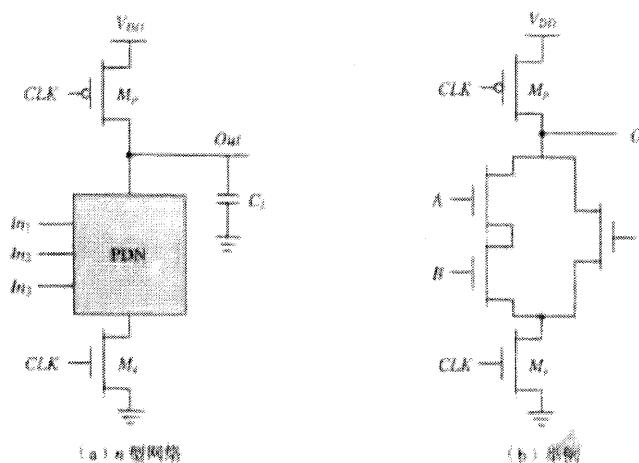


图 6.52 动态门的基本原理

11、(P243) 分析电路的形式以及电路的工作原理。

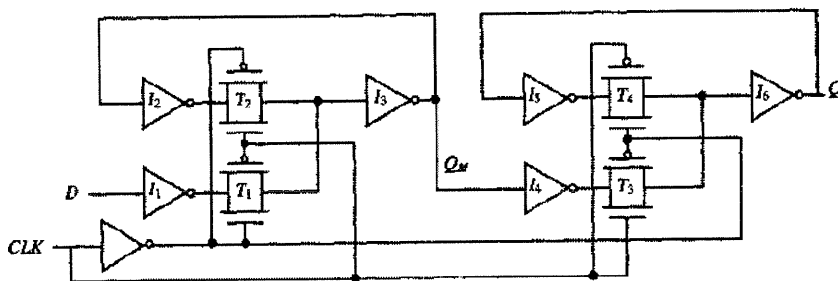


图 7.10 利用多路开关构成的主从型正沿触发寄存器

(1) 该电路是利用多路开关构成的主从型正沿触发寄存器。

(2) 工作原理:

CLK=0, 传输门 T1 通, T2 断, 输入 D 被采样 (传输) 到 QM 点 (主级输出), T3 断, T4 通, CLK↑ 到来, 主级 T1 断、T2 通, 交叉耦合门 I3、I2 使采样停止, 进入锁存状态, 维持采样得到的 QMT3 通, T4 断, 从级输入 QM 被复制 (输出) 到 Q 端。交叉耦合的 I5、I6 维持从级锁存状态, 维持从级输出 Q。

12、(P251) 画出动态传输门边沿触发寄存器的电路图, 分析工作原理

理

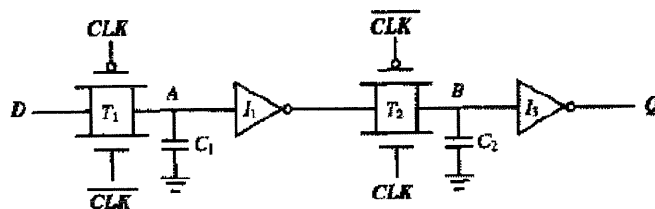


图 7.23 动态边沿触发寄存器

原理分析:

CLK=0 时, 输入数据存储在 A 点, A 点有一个对地电容 C1, C1 的组成 I1 的栅电容、T1 的结电容和 T1 的栅重叠电容构成。CLK=0 期间, 从级处于维持模式, B 点处于高阻抗状态; CLK 上升沿, T2 导通, 于是 A 点采样的值传送到输出端 Q。CLK=1 期间, T1 关断, A 点稳定, B 点为 A 点的反, Q 点即为 A 点的值。这一正沿触发寄存器非常有效, 用了 8 个 MOS 管, 如果采样开关用纯 NMOS 传输管实现, 可以用 6 个 MOS 管实现。

13、(P252、253) 设计 C^2MOS 电路, 分析工作原理

工作原理:

(1) $CLK = 0 (\overline{CLK} = 1)$ 第一个三态驱动器导通, 主级反相采集输入信号 D, X 点得到输入信号 D 的反相信号 \overline{D} 。从级 M7、M8 关断切断输入与输出的联系, 从级处于高阻模式即维持模式, 输出 Q 维持原来存储在 CL1 上 X 点的数据。

(2) CLK=1 时正好相反, 主级 M3、M4 关断, 主级处于高阻(维持)模式, 而从级 M7、M8 导通, 处于求值模式, 存在 CL1 上(X 点)的数据反相后传到 Q 端

(3) 整个电路是一个正沿触发的主从寄存器, 类似于前面传输门型寄存器, 但也存在差别:

只要时钟边沿的上升和下降时间足够小, 具有

CLK 和 \overline{CLK} 时钟控制的 C^2MOS 寄存器对时钟重叠不敏感。

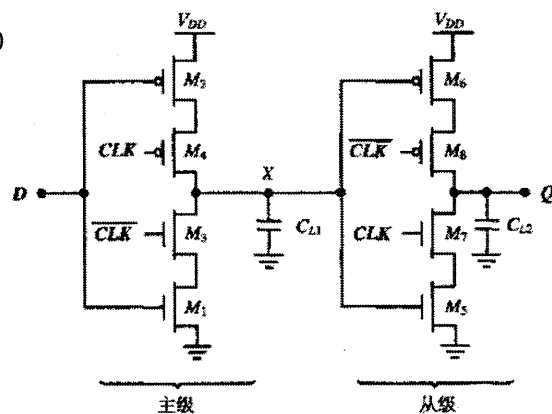


图 7.26 C^2MOS 主从正沿触发寄存器

第一单元:

3. 比较硅单晶锭 CZ, MCZ 和 FZ 三种生长方法的优缺点。

答:

CZ 直拉法工艺成熟, 可拉出大直径硅棒, 是目前采用最多的硅棒生产方法。但直拉法中会使用到坩埚, 而坩埚的使用会带来污染。同时在坩埚中, 会有自然对流存在, 导致生长条纹和氧的引入。直拉法生长多是采用液相掺杂, 受杂质分凝、杂质蒸发, 以及坩埚污染影响大, 因此, 直拉法生长的单晶硅掺杂浓度的均匀性较差。

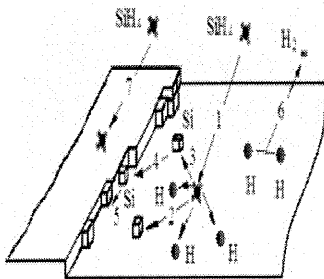
MCZ 磁控直拉法, 在 CZ 法单晶炉上加一强磁场, 高传导熔体硅的流动因切割磁力线而产生洛伦兹力, 这相当于增强了熔体的粘性, 熔体对流受阻。能生长无氧、均匀好的大直径单晶硅棒。设备较直拉法设备复杂得多, 造价也高得多, 强磁场的存在使得生产成本也大幅提高。

FZ 悬浮区熔法, 多晶与单晶均由夹具夹着, 由高频加热器产生一悬浮的溶区, 多晶硅连续通过熔区熔融, 在熔区与单晶接触的界面处生长单晶。与直拉法相比, 去掉了坩埚, 没有坩埚的污染, 因此能生长出无氧的, 纯度更高的单晶硅棒。

6. 硅气相外延工艺采用的衬底不是准确的晶向, 通常偏离[100]或[111]等晶向一个小角度, 为什么?

答: 在外延生长过程中, 外延气体进入反应器, 气体中的反应剂气相输运到衬底, 在高温衬底上发生化学反应, 生成的外延物质沿着衬底晶向规则地排列, 生长出外延层。

气相外延是由外延气体的气相质量传递和表面外延两个过程完成的。表面外延过程实质上包含了吸附、分解、迁移、解吸这几个环节, 表面过程表明外延生长是横向进行的, 是在衬底台阶的结点位置发生的。因此, 在将硅锭切片制备外延衬底时, 一般硅片都应偏离主晶面一个小角度。目的是为了得到原子层台阶和结点位置, 以利于表面外延生长。



7. 外延层杂质的分布主要受哪几种因素影响？

答：杂质掺杂效率不仅依赖于外延温度、生长速率、气流中掺杂剂的摩尔分数、反应室的几何形状等因素，还依赖于掺杂剂自身的特性。另外，影响掺杂效率的因素还有衬底的取向和外延层结晶质量。硅的气相外延工艺中，在外延过程中，衬底和外延层之间存在杂质交换现象，即会出现杂质的再分布现象，主要有自掺杂效应和互扩散效应两种现象引起。

8. 异质外延对衬底和外延层有什么要求？

答：1. 衬底与外延层不发生化学反应，不发生大量的相互溶解现象；

2. 衬底与外延层热力学参数相匹配，即热膨胀系数接近。以避免外延层由生长温度冷却至室温时，产生残余热应力，界面位错，甚至外延层破裂。

3. 衬底与外延层晶格参数相匹配，即晶体结构，晶格常数接近，以避免晶格参数不匹配引起的外延层与衬底接触的界面晶格缺陷多和应力大的现象。

10. 比较分子束外延（MBE）生长硅与气相外延（VPE）生长硅的优缺点。

答：MBE 的特点：

超高真空度达 $10^{-9}\sim 10^{-11}$ Torr，外延过程污染少，外延层洁净。

温度低，(100)Si 最低外延温度 470K，所以无杂质的再分布现象。

外延分子由喷射炉喷出，速率可调，易于控制，可瞬间开/停，能生长极薄外延层，厚度可薄至 Å 量级。

设备上有多组喷射口，可生长多层、杂质分布复杂的外延层，最多层数可达 104 层。

在整个外延过程中全程监控，外延层质量高。

MBE 多用于外延结构复杂、外延层薄的异质外延。

设备复杂、价格昂贵

分子束外延与气相外延相比：

1. 衬底温度低，没有自掺杂效应，因而扩散效应带来的杂质再分布现象也很弱。

2. 外延生长室真空度超高，非有意掺入的杂质浓度也非常低。

3. 外延生长杂质的掺入与停止是由喷射炉控制的，在外延界面没有过渡区。

第二单元

3. 欲对扩散杂质起有效的屏蔽作用, 对 SiO₂ 膜有何要求?

答: 硅衬底上的 SiO₂ 要能够当做掩膜来实现定域扩散, 需要 x_{SiO_2} 满足下列条件: 预生长的 SiO₂ 膜具有一定的厚度, 同时杂质在衬底硅中的扩散系数 D_{Si} 要远远大于其在 SiO₂ 中的扩散系数 D_{SiO_2} , 而且 SiO₂ 表面杂质浓度与 Si/SiO₂ 界面杂质浓度之比达到一定数值, 可保证 SiO₂ 膜起到有效的掩膜作用。

8. 硅芯片为避免芯片沾污, 可否最后热氧化一层 SiO₂ 作为保护膜?
为什么?

答: 不可以。Si 的热氧化是高温工艺, 硅器件芯片完成后再进行高温工艺会因金属电极的氧化、杂质再分布等原因损害器件性能、甚至使其彻底失效。另外, 热氧化需要消耗衬底硅, 器件表面无硅位置生长不出氧化层。

16. 在 1050° C 湿氧气氛生长 1μm 厚氧化层, 计算所需要时间。若抛物线型速率系数与氧化气压成正比, 分别计算 5 个、20 个大气压下的氧化时间。

P81

$$[100] \quad A = 0.295 \mu\text{m}, \quad B = 0.413 \mu\text{m}^2/h$$

$$[111] \quad A = 0.18 \mu\text{m}, \quad B = 0.415 \mu\text{m}^2/h$$

解: 氧化层生长厚度与生长时间之间的关系式为

$$x_{\text{SiO}_2}^2 + Ax_{\text{SiO}_2} = B(t + \tau)$$

已知 $\tau = 0$, $A = 0.18 \mu m$, $B = 0.415 \mu m^2/h$, $x_{SiO_2} = 1 \mu m$

所以 $t \approx 2.84 h$

抛物线型速率B

$T1=t/5$, $T2=t/20$

第三单元

1. 比较 APCVD、LPCVD 和 PECVD 三种方法的主要异同和主要优缺点？

异同点：

APCVD，是最早出现的 CVD 工艺，其淀积过程在大气压力下进行，主要用于二氧化硅薄膜的制备。由质量输运控制淀积速率。

LPCVD，与 APCVD 相比增加了真空系统，气压在 1-10-2Torr 之间进行的 CVD。可淀积多晶硅、氮化硅、二氧化硅、PSG、BPSG、W 等。淀积速率受表面反应控制，对温度非常敏感，气体分压，气流速对淀积速率也有影响。LPCVD 和 APCVD 一样都是以热激活方式淀积薄膜的 CVD 工艺方法。

PECVD，采用等离子体技术把电能耦合到气体中，激活并维持化学反应进行薄膜的一种工艺方法。等离子增强化学气相淀积就是利用等离子体来增强较低温度下化学反应速率的。淀积速率是表面反应控制，精确控制衬底温度：温度变化对薄膜厚度均匀性影响很大。

优缺点：

工艺	优点	缺点	应用
APCVD (常压 CVD)	反应简单 淀积速度快 低温	台阶覆盖能力差， 有颗粒沾污 低产出率	低温二氧化硅 (掺杂或不掺杂)。
LPCVD (低压 CVD)	高纯度和均匀性， 一致的台阶覆盖能力，大的硅片容量	高温，低的淀积速率，需要更多的维护，要求真空系统支持	高温二氧化硅 (掺杂或不掺杂),氮化硅、多晶硅等
等离子体辅助 CVD: ▪ 等离子体增强 CVD (PECVD) ▪ 高密度等离子体 CVD (HDPCVD)	低温，快速淀积，好的台阶覆盖能力，好的间隙填充能力	要求 RF 系统，高成本，压力远大于张力，化学物质（如 H_2 ）和颗粒沾污	高的深宽比间隙的填充，金属上的 SiO_2 ,ILD-1,ILD, 为了双镶嵌结构的铜籽晶层，钝化(Si_3N_4)。

5. 等离子体是如何产生的？

答：通常情况下，气体处于中性状态，只有极少的分子受到高能宇宙射线的激发而电离。在没有外加电场时，这些电离的带点粒子与气体分子一样，作杂乱无章的热运动。当有外加电场时，气体中的自然产生的离子和电子做定向移动，运动速度随着电压增加而加快，电流也就随着电压的增加而线性增大。当电压足够大到一定时，出现辉光放电现象，气体突然发生击穿现象，使得气体具有一定导电能力。此时的气体由正离子、电子、光子以及原子、原子团、分子及它们的激发态所组成的混合气体，宏观上呈现电中性。这种具有一定导电能力的混合气体就是等离子体。

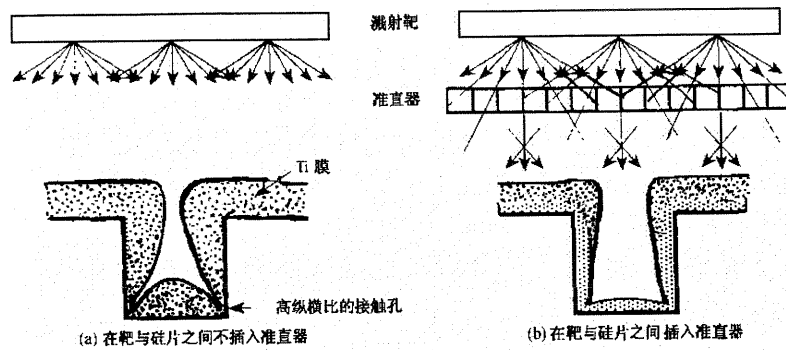
PECVD 是如何利用等离子体的？

等离子增强化学气相淀积是采用等离子体技术把电能耦合到气体中，激活并维持化学反应进行薄膜的一种工艺方法。衬底吸附等离子体内活泼的中性原子团与游离基，在表面发生化学反应生成薄膜物质，并不断受到离子和电子轰击，容易迁移、重排，使得淀积薄膜均匀性好，填充小尺寸结构能力强。

16. 以铝互连系统作为一种电路芯片的电连系统时，若分别采用真空蒸镀和磁控溅射工艺淀积铝膜，应分别从哪几个方面来提高其台阶覆盖特性？

真空蒸镀：通过衬底加热和衬底旋转能够改善真空蒸镀的台阶覆盖特性。P214

磁控溅射：充分升高衬底温度，在衬底上加射频电压，采用强迫填充技术，采用准直溅射技术。P224



接触孔中溅射膜的淀积情况

是在高真空溅射时，在衬底正上方插入一块高纵横比孔的平板，称为准直器。溅射原子的平均自由程足够长，则在准直器与衬底之间几乎不会发生碰撞。因此，。。。

第一章. 单晶硅的特性

1. 微电子中常用的硅是电子级硅或者半导体级硅。

2. 硅作为电子材料的优点：①原材料充分；②硅晶体表面易于生长稳定的氧化层，这对于保护硅表面器件或电路的结构、性质很重要；③重量轻；④热学特性好，热膨胀系数小，热导率高；⑤单晶圆片的缺陷少，直径大，工艺性能好；⑥机械性能良好。

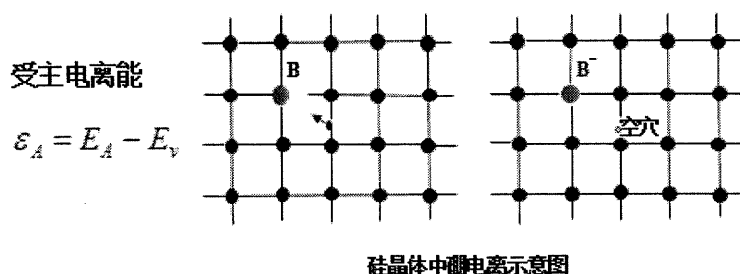
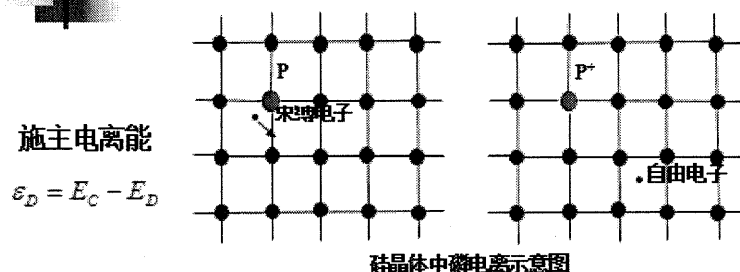
3. 固溶度和相图：①掺杂单晶硅，杂质作为溶质，硅作为溶剂，在热力学平衡的状态下，杂质溶质均匀的分布在单晶溶剂中形成固溶体。在一定温度下，杂质在晶体中具有最大的平衡浓度，这一溶度称为该杂质在晶体中的固溶度。固溶体主要可分为两类：替位式固溶体和间隙式固溶体。②相图是用来讨论混合物体体系性质的一种图示方法。

单晶体：如果某一固态物体是由单一的晶格连续组成的；

单晶硅片中缺陷：零维——点缺陷、一维——线缺陷、三维——面缺陷和体缺陷

各种缺陷看下书（p15—18）

1.3.1 杂质对Si电学特性的影响



- IIIA、VA族电活性杂质主要有：硼、磷、砷、锑等浅能级杂质
- 金等杂质在室温时难以电离，多数无电活性，是复合中心，具有降低硅中载流子寿命的作用，是深能级杂质

第二章. 硅片的制备

一. 多晶硅的制备

1. 制备多晶硅的原料是石英砂（硅石），通过冶炼获得冶金级硅（粗硅或硅铁）

2. 提纯：粗硅的提纯是一系列物理化学的过程，最初一般用酸洗，然后采用蒸馏方法得到电子级高纯度的多晶硅。①酸洗是一种化学提纯方法。②蒸馏提纯：利用物质的沸点不同，进行液态混合物的提纯方法—物理提纯。

二. 单晶硅的生长

1. 采用熔融体冷凝固结晶形成单晶材料。按有无使用坩埚又分为两类：有坩埚的：直拉法、磁控直拉法；无坩埚的：悬浮区熔法。

2. 直拉法（CZ）：

①单晶炉：炉体部分，加热控温系统，真空部分，控制部分。

②工艺流程：准备：腐蚀清洗多晶-籽晶准备-装炉—真空操作；开炉：升温—水冷—通气；生长：引晶—缩晶—放肩—等径生长—收尾；停炉：降温—停气—停止抽真空—开炉。

③生长部分：引晶——是将籽晶与熔体很好的接触。缩颈——在籽晶与生长的单晶棒之间缩颈，晶体最细部分直径只有 2-3mm。放肩——将晶体直径放大至需要的尺寸。等径生长——拉杆与坩埚反向匀速转动拉制出等径单晶。拉升速度、转速，以及温度决定晶体直径大小，缩晶与放肩处的直径也是由拉升速度、转速，以及温度控制。收尾——结束单晶生长。

④籽晶的作用：籽晶是作为复制样本，使拉制出的硅锭和籽晶有相同的晶向；籽晶是作为晶核，有较大晶核的存在可以减小熔体向晶体转化时必须克服的能垒（即界面势垒）。

⑤晶锭的质量控制：提拉速度合适；温度场的分布应适当；籽晶的质量，晶格完好，表面无划痕、无氧化物；缩颈，目的是终止籽晶位错和缺陷，可多次缩颈。

⑥CZ 法缺陷：直拉法生长单晶硅多是采用液相法掺杂，液相法掺杂受杂质分凝、杂质蒸发，以及坩埚污染影响大，因此，直拉法生长的单晶硅掺杂浓度的均匀性较差。

三. 晶体的掺杂：液相掺杂，气相掺杂，中子嬗变掺杂（可得到高均匀性的单晶硅）。

1. 杂质分凝效应：杂质在熔融体与晶体中平衡浓度有所不同的现象。

2. 杂质蒸发现象：坩埚中熔体内的杂质从熔体表面蒸发到气象中的现象。

3. 分凝对杂质分布均匀性影响：
$$C_s = k_p C_l^0 (1 - x)^{k_p - 1}$$

4. 例题：从含有 0.01% 磷的熔料中拉制硅棒，求：① 晶棒顶端磷浓度；② 如果晶棒长 1m，截面均匀，在何处磷浓度是晶棒顶端处的 2 倍 ($k_p=0.35$) (答：约 0.66)。

解：晶棒顶端杂质浓度为 C_0 ， x 处杂质浓度为 $C_x=2C_0$ 。

$$C_s = k_p C_l^0 (1 - x)^{k_p - 1}$$

$$C_0 = 0.35 \times 0.0001 (1 - 0)^{0.35 - 1} = 3.5 \times 10^{-5}$$

$$2 \times 3.5 \times 10^{-5} = 0.35 \times 0.0001 (1 - x)^{-0.65}$$

四. 磁控直拉法：在直拉法单晶炉上附加了一个稳定的强磁场，工艺与一般直拉法相同，能生长大直径的，无氧的，均匀的单晶硅。

五. 悬浮区熔法 (FZ 法)：多晶与单晶均由夹具夹着，由高频加热器产生一悬浮的熔区，多晶硅连续通过熔区熔融，在熔区与单晶接触的界面处生长单晶。熔区的存在是由于融体表面张力的缘故，悬浮区熔法没有坩埚的污染，因此能生长出无氧的，纯度更高的单晶硅棒。

六. 三种方法比较：1. 直拉法工艺成熟，可拉出大直径硅棒是目前采用最多的硅棒生产方法，但有氧。2. 磁控直拉法能拉出均匀性好，低氧的大直径单晶硅棒。设备较直拉法设备复杂得多，造价也高得多，强磁场的存在使得生产成本也大幅提高。3. 悬浮区熔法与直拉法相比，去掉了坩埚，能拉制出无氧高阻单晶，当前 FZ 硅的电阻率可达 $5000\Omega \cdot \text{cm}$ 以上。

七. 切片工艺：切断—研磨—一定晶向—切片—倒角—研磨—腐蚀—抛光—清洗—检验。

第三章. 外延

一. 概述

1. 外延是指在单晶衬底上，用物理的或化学的方法，按衬底晶向排列（生长）单晶膜的工艺过程。外延生长温度低于熔点许多，外延是在晶体上生长晶体，生长出的晶体的晶向与衬底晶向相同，掺杂类型、电阻率可不同。按工艺方法分为：气相外延，液相外延，固相外延和分子束外延。

2. 同质外延又称为均匀外延，是外延层与衬底材料相同的外延。异质外延也称为非均匀外延，外延层与衬底材料不相同（异质外延的兼容性：化学特性兼容，热力学参数匹配，晶格常数匹配）。

3. 外延特点：外延生长时掺入杂质的类型、浓度都可以与衬底不同，增加了微电子器件和电路工艺的灵活性。多次外延工艺得到多层不同掺杂类型、不同杂质含量、不同厚度，甚至不同材料的外延层。

4. 外延工艺用途：制作双极性晶体管（高的集电结击穿电压，低的集电结串联电阻），微波器件的制造，将 CMOS 电路制作在外延层上比制作在体硅抛光片上

有以下优点：①避免了门锁效应；②避免了硅层中沉积；③硅表面更光滑，损伤最小。

二．气相外延

1. 硅气相外延 (VPE)，指含 Si 外延层材料的物质以气相形式输运至衬底，在高温下分解或发生化学反应，在单晶衬底上生长出与衬底取向一致的单晶。

2. 步骤：①准备阶段：准备硅基片和进行基座去硅处理 (N_2 预冲洗 \rightarrow H_2 预冲洗 \rightarrow 升温至 $850^\circ C$ \rightarrow 升温至 $1170^\circ C$ \rightarrow HCl 排空 \rightarrow HCl 腐蚀 \rightarrow H_2 冲洗 \rightarrow 降温 \rightarrow N_2 冲洗)

②外延生长阶段： N_2 预冲洗 \rightarrow H_2 预冲洗 \rightarrow 升温至 $850^\circ C$ \rightarrow 升温至 $1170^\circ C$ \rightarrow HCl 排空 \rightarrow HCl 抛光 \rightarrow H_2 冲洗附面层 \rightarrow 外延生长 \rightarrow H_2 冲洗—降温— N_2 冲洗。

3. 外延原理：由气象质量传递和表面外延 2 个过程完成。

①边界层指基座表面垂直于气流方向上，气流速度、反应剂浓度、温度受到扰动的薄气体层。基座表面做成斜坡状，和气流方向呈一定角度， α 角一般在 $3^\circ-10^\circ$ (使到达衬底表面的外延剂流密度不变)。

②表面外延过程—化学分解和规则排列两个过程， SiH_4 表面外延过程实质上包含了吸附、分解、迁移、解吸这几个环节；表面外延过程表明外延生长是横向进行。

4. 外延速率的影响因素：温度；硅源；反应剂浓度；其它因素：衬底晶向 (110) > (111)，反应室形气体流速。①：低温—表面外延反应过程控制；高温—气象质量传递过程控制。

5. 外延层中的杂质分布：掺杂采用原位气相掺杂。杂质掺入效率依赖于：生长温度、生长速率、气流中掺杂剂相对于硅源的摩尔数、反应室几何形状，掺杂剂自身特点。有杂质再分布现象—自掺杂效应与扩散效应。影响：改变外延层和衬底杂质浓度及分布对 p/n 或 n/p 硅外延，改变 pn 结位置。

6. ①自掺杂效应：自掺杂效应是指高温外延时，高掺杂衬底的杂质反扩散进入气相边界层，又从边界层扩散掺入外延层的现象。自掺杂效应是气相外延的本征效应，不可能完全避免。②互扩散效应：互扩散效应，指在衬底中的杂质与外延层中的杂质在外延生长时互相扩散，引起衬底与外延层界面附近的杂质浓度缓慢变化的现象。不是本征效应，是杂质的固相扩散带来。

7. 减小杂质再分布效应措施：降低外延温度，重掺杂的衬底，用轻掺杂的硅来密封其底面和侧面，减少杂质外逸；低压外延可减小自掺杂，这对砷，磷的效果显著，对硼的作用不明显；用离子注入的埋层来降低衬底表面的杂质浓度。

三．分子束外延

1. 分子束外延 (MBE) 是一种物理气相外延工艺，多用于外延层薄、杂质分布复杂的多层硅外延，也用于 III-V 族、II-VI 族化合物半导体及合金、多种金属和氧化物单晶薄膜的外延生长。

2. 特点：超高真空度，外延过程污染少，外延层洁净。温度低，无杂质的再分布现象。外延分子由喷射炉喷出，速率可调，易于控制，可瞬间开/停，能生长极薄外延层，厚度可薄至Å量级。

四．其他外延

1. 液相外延（LPE）是利用溶液的饱和溶解度随温度的变化而变化，使溶液结晶析出在衬底上进行外延的方法。

2. 固相外延（SPE）是将晶体衬底上的非晶（或多晶）薄膜（或区域）在高温下退火，使其转化为单晶。关键是工艺温度和保温时间。

第二单元——氧化与掺杂

第四章． 热氧化

一． 二氧化硅薄膜概述。

1. 二氧化硅按其结构可分为结晶性和非结晶性（无定形）。微电子工艺中采用的二氧化硅薄膜是非晶态（玻璃态）。

2. 二氧化硅在微电子工艺中主要是：作为掩膜，作为芯片的钝化和保护膜，作为电隔离膜，作为元器件的组成部分。

3. 二氧化硅的掩蔽作用：利用相同情况下，硼、磷等常用杂质在 SiO_2 中的扩散速度远小于在硅中扩散速度， SiO_2 层对这些杂质起到“掩蔽”作用，（镓和钠除外）。

4. 硅衬底上的 SiO_2 作掩膜要求杂质在 SiO_2 层中的扩散深度小于 SiO_2 本身的厚度。

二． 硅的热氧化。

1. 热氧化制备 SiO_2 工艺就是在高温和氧化物质（氧气或者水汽）存在条件下，在清洁的硅片表面上生长出所需厚度的二氧化硅。

2. 热氧化是在 Si/SiO_2 界面进行，通过扩散和化学反应实现。 O_2 或 H_2O ，在生成的二氧化硅内扩散，到达 Si/SiO_2 界面后再与 Si 反应。

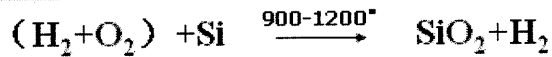
3. （1）干氧氧化：以干燥纯净的氧气作为氧化气氛。
$$\text{O}_2 + \text{Si} \xrightarrow{900-1200^\circ} \text{SiO}_2$$

特点：氧化膜致密性最好，针孔密度小，掩蔽能力强；薄膜表面干燥，适合光刻，但是生长速率最慢、易龟裂；

（2）湿氧氧化：让氧气在通入反应室之前先通过加热的高纯去离子水，使氧气中携带一定量的水汽。
$$\text{H}_2\text{O} (\text{O}_2) + \text{Si} \xrightarrow{900-1200^\circ} \text{SiO}_2 + \text{H}_2$$

特点：氧化膜较干氧氧化膜疏松，针孔密度大，表面含水汽，光刻性能不如干氧，容易浮胶。湿氧与干氧比，水温越高，水汽就越多，二氧化硅生长速率也就越快；

(3) 水蒸汽氧化：以高纯水蒸气或直接通入氢气或氧气为氧化气氛。



特点：在三种热氧化方法中氧化膜致密性最差，针孔密度最大，薄膜表面潮湿，光刻难，浮胶。但是，生长速率最快。

④实际热氧化多采用干湿氧交替进行：目的是为了获得表面致密，针孔密度小，表面干燥，适合光刻的氧化膜，同时又能提高氧化速率，缩短氧化时间。

4. 热氧化机理：

①在热氧化的过程中，氧化反应将在 SiO_2 -Si 界面处进行，而不发生在 SiO_2 层的外表层。

②热氧化是通过扩散与化学反应来完成的，氧化反应是由硅片表面向硅片纵深依次进行的，硅被消耗，所以硅片变薄，氧化层增厚。

5. 硅的 Deal - Grove 热氧化模型一线性和抛物线性（适用于：氧化温度 $700 \sim 1300^\circ C$ ；局部压强 $0.1 \sim 25$ 个大气压；氧化层厚度为 $20 \sim 2000$ nm 的水汽和干法氧化）。

① 具体为：氧化剂输运—固相扩散—化学反应—反应的副产物离开界面。

6. 热氧化生长速率：氧化层生长厚度与生长时间之间的关系式为：

$$x_{SiO_2}^2 + A x_{SiO_2} = B(t + \tau) ;$$

①生长 $1\mu m$ 的二氧化硅大约消耗 $0.44\mu m$ 厚的硅。

②氧化时间长，扩散控制阶段；氧化时间短，反应控制阶段。

7. 影响氧化速率因素：①温度：影响很大， H, h, D, k 都与温度有关。②气体分压：提高反应器内氧气或水汽的分压能提高线性氧化速率。有高压氧化和低压氧化技术。③硅晶向对氧化速率略有不同（由于表面悬挂键密度不同），（111）晶向速率最快，（100）晶向速率最慢。④掺杂：掺杂浓度越高氧化速率越快，将此现象称为增强氧化。磷在较低温度增强氧化明显，而硼在低温时增强氧化不明显，高温明显。钠、水汽、氯都能显著提高氧化速率。———实践中应用较多的卤族元素是氯，在 $Si-SiO_2$ 界面上或界面附近，氯能使杂质转变成容易挥发的氯化物从而起到吸杂的效果，另外也能看到氧化诱生旋涡缺陷减少。

三．初始氧化阶段及薄氧化层制备。

1. D-G 模型对 $30nm$ 以下的干氧化不准。

2. 自然氧化物不是连续生长而是阶段的生长。轻掺杂 0.8nm; 重掺杂 1.3nm。

四. 热氧化过程中杂质的再分布。

1. 由四方面因素决定：杂质的分凝现象；杂质在 SiO_2 表面逸出；杂质在 SiO_2 、 Si 中的扩散系数；界面移动（氧化速率）。

2. 杂质的分凝效应：分凝现象指杂质在 SiO_2 和 Si 中平衡浓度不同的现象。分凝系数 K 是衡量分凝效应强弱的参数。① $k < 1$ ，在 SiO_2/Si 界面杂质向 SiO_2 内扩散， Si 表面杂质浓度低，耗竭。② $k > 1$ ，在 SiO_2/Si 界面杂质向 Si 内扩散， Si 面杂质浓度高，堆积。

五. 氧化层的质量及检测：镜检：外观颜色均匀性，有无裂纹等；厚度：光学方法、探针轮廓仪等；针孔密度：腐蚀法、铜缀法；电荷面密度：C-V 法。

SiO_2 的结构：二氧化硅是自然界广泛存在的物质，按其结构特征可分为：结晶形和非结晶形。 SiO_2 的基本结构单元为 Si-O 四面体网状结构，四面体的中心是 Si 原子，四个顶角上为氧原子。非晶态二氧化硅薄膜的氧原子多数是非桥联氧原子，是长程无序结构。石英晶体是结晶态二氧化硅，氧原子都是桥联氧原子。

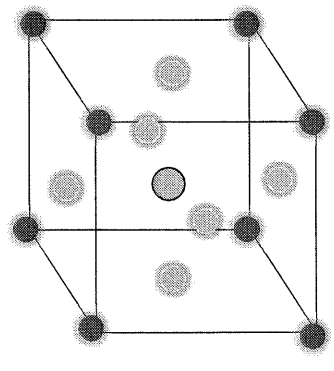
连接两个 Si-O 四面体的氧原子为称**桥键氧原子**，只与一个四面体相联的氧原子称**非桥联氧原子**。

SiO_2 的用途：1. 作为掩膜；2. 作为芯片的钝化和保护膜；3. 作为电隔离膜；4. 作为元器件的组成部分。

热氧化过程中为什么 Si 被消耗：热氧化是在 Si/SiO_2 界面进行，通过扩散和化学反应实现。 O_2 或 H_2O ，在生成的二氧化硅内扩散，到达 Si/SiO_2 界面后再与 Si 反应，
 $\text{O}_2 + \text{Si} \rightarrow \text{SiO}_2$ ， $\text{H}_2\text{O} + \text{Si} \rightarrow \text{SiO}_2 + \text{H}_2$ ， Si 被消耗，所以硅片变薄，氧化层增厚。

第二章 作业

- 什么是钙钛矿结构？典型的材料有哪些？配位多面体又如何？



所谓钙钛矿型结构如图所示，其中位于立方体顶角的为半径较大的 A^{2+} 离子，位于体心的是半径较小的 B^{4+} 离子，位于面心的是 O^{2-} 离子。典型的材料有 $BaTiO_4$ 。配位多面体是， $[BaO]$ 为面心立方配位， $[TiO]$ 为氧八面体配位。

- 螺位错是如何影响晶体生长的？

在晶体生长界面上螺旋位错露头点所出现的凹角及其延伸所形成的二面凹角可作为晶体生长的台阶源，促进光滑界面上的生长。

第二章 作业

- 为什么说金红石型的 TiO_2 是最稳定的？

根据泡利第三规则即多面体组联规则，要求“在离子晶体中，配位多面体之间共用棱边的数目愈多或者共用面愈多，则结构越不稳定”。而 TiO_2 具有3种同质异构体金红石、板钛矿、锐钛矿，其配位多面体结构皆为钛氧八面体，但共用的棱边数不同，分别为2、3、4。所以金红石型的 TiO_2 最为稳定。

第二章 作业

- Fe_3O_4 的晶体结构是什么？其中Fe离子的配位数如何？
 - 反尖晶石结构
 - Fe离子的配位数为 Fe^{3+} : $(Fe^{3+} Fe^{2+})=4: 6$

第三章 作业

• 制备单晶Si的主要工艺流程是什么？

- 硅石→工业硅（粗硅）→多晶硅→硅单晶。
- 其中硅石→工业硅（粗硅）主要采用电弧炉熔炼；
- 工业硅（粗硅）→多晶硅主要经过三氯氢硅氢还原法的化学提纯和蒸馏提纯或水平区熔法进行物理提纯；
- 多晶硅→硅单晶则主要采用提拉法制备。
- 需要说明的是提拉法中需要的籽晶主要采用坩埚下降法制备。

第三章 作业

• 什么是外延生长技术？现在的发展水平如何？

所谓外延指的是在一定的条件下，某种物质的原子（或分子）在衬底（单晶）表面进行定向生长，形成连续、平滑且与衬底的晶格结构有对应关系的单晶层，该单晶层称为外延层。生长外延层的过程称为外延生长。

大体上分为同质外延和异质外延。

主要的外延方法有分子束外延、化学气相外延等。

第三章 作业

• 半导体的能带结构如何影响压阻效应？

- 在外加应力的作用下，半导体的能带发生相应变化，从而能谷的能量移动，导致能谷内的载流子数目变化，最终电阻率变化。
- 这就是所谓的物理压阻效应。

第三章 作业

• 材料的几何形状如何影响磁阻效应？

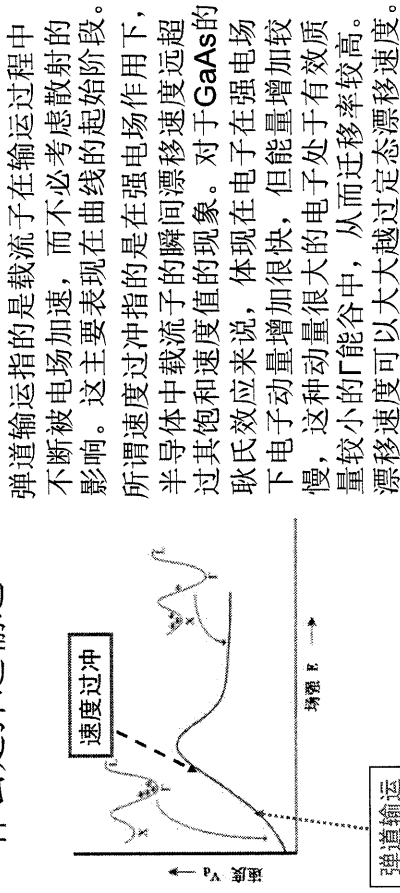
在磁场作用下，电流流通的路径越长，材料的电阻越大。

其中 l 的增加与样品的形状有关，对于长宽比大的长条形样品， l 的增大不明显，而长宽比远远小于 l 的扁条形样品，电流偏转很厉害，电阻增大明显。

这种由于材料的几何形状的不同，而出现电阻值不同变化的现象称为几何磁阻效应。

第四章 作业

- 以GaAs的耿氏效应为例，说明什么是速度过冲，什么是弹道输运？



弹道输运指的是载流子在输运过程中不断被电场加速，而不必考虑散射的影响。这主要表现在曲线的起始阶段。所谓速度过冲指的是在强电场作用下，半导体中载流子的瞬间漂移速度远超过其饱和速度值的现象。对于GaAs的耿氏效应来说，体现在电子在强电场下电子动量增加很快，但能量增加较慢，这种动量很大的电子处于有效质量较小的 Γ 能谷中，从而迁移率较高。漂移速度可以大大超过定态漂移速度。

第四章 作业

- I 类组分超晶格与 II 类组分超晶格的区別是什么？性能上又各自有何不同？
 - 第 I 类组分超晶格和 II 类组分超晶格的不同其实是组成超晶格的异质结能带突变的不同，前者为跨立型异质结，而后者为交叉型异质结。
 - 前者的电子和空穴都集中在窄带隙材料内；后者的电子和空穴在空间上是分开的，使得对应的非平衡少数复合寿命较长。

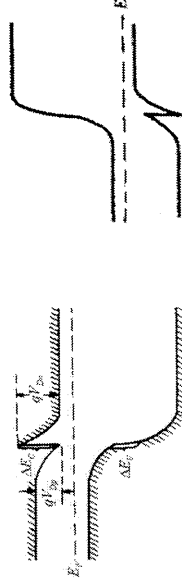
第四章 作业

- 什么是二维电子气？它主要存在于哪些结构中？

所谓二维电子气，即电子在某个维度上（垂直于界面或表面方向）的运动受到限制，而在另两个维度上是自由的。主要存在于异质结、超晶格以及半导体反型层中。

第四章 作业

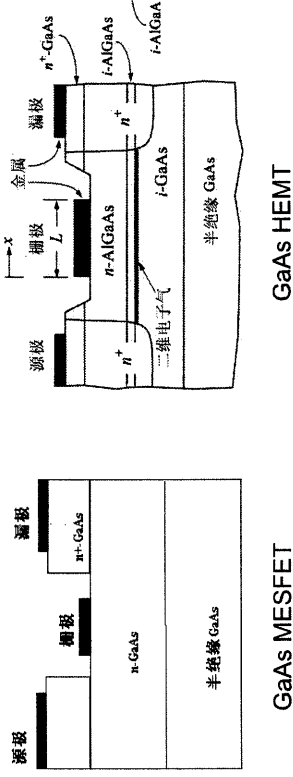
- 以p-GaAs/n-AlGaAs为例，示意画出平衡的能带图。若为n-GaAs/p-AlGaAs能带图又该如何？并以此说明异质结能带图与同质结能带图的不同？



异质结的能带与同质结相比有以下不同：（1）能带在界面处存在能带突变；（2）在界面附近可能有电子势垒（向上的尖峰）；（3）也可能存在电子势阱（向下的尖峰），即空穴势垒。

第五章 作业

- 请示意画出GaAs MESFET和GaAs HEMT的剖面图。并说明后者电子迁移率高的原因。



第五章 作业

- 请示意画出GaAs MESFET和GaAs HEMT的剖面图。并说明后者电子迁移率高的原因。

HEMT的独特性在于异质结构，在AlGaAs和GaAs界面形成二维电子气。2-DEG的散射几率比一般可在三维方向自由运动的电子小很多，因此2-DEG的有效迁移率较高。同时，AlGaAs掺杂，而GaAs不掺杂，使得电子与提供电子的杂质在空间上是分隔开的，2-DEG原则上将不遭受电离杂质散射的影响，从而迁移率很高。而且为了完全隔离，又在n+-AlGaAs和i-GaAs在两层间再制作一层i-AlGaAs，可大大提高2-DEG的迁移率。

第五章 作业

- 为什么实用的LD都采用双异质结的结构？

双异质结主要用于载流子和光的限制作用。

- 1) 由于AlGaAs和GaAs的禁带宽度不同，在正向偏压下使得载流子从n-AlGaAs注入到p-GaAs层，而p-GaAs层和p-AlGaAs之间的势垒使得所注入的电子限制在窄带隙的GaAs层。
- 2) 同时再很大的正向偏压下，简并掺杂的p+-GaAs层的价带顶有大量空穴，导带底有大量电子，很容易实现 $N_2 > N_1$ ，即粒子数反转，从而使得激光振荡的阈值电流下降。
- 3) 在该结构中，光的横向输出受到限制，更利于光波导（激光的方向性更好）。
- 4) 注入的电子和p层的空穴复合发射的光子，在逃逸有源区时不会被宽带隙的AlGaAs层吸收，从而能到达器件表面。

第五章 作业

- 为什么说红外LED可用于非常短距离光纤通信的光源？

对于石英玻璃光纤来讲，有三个低损耗的窗口：0.85μm、1.31μm、1.55μm。而基于GaAs和基于InP的红外LED，其对应的波长范围为0.8-0.9μm和1.3μm。所以可用作石英玻璃光纤的光源。但LED由于线宽较宽，在光纤中传播时引起的色散较大；且由于LED的发散角较大，与光纤耦合时造成的耦合损耗较大。这使得LED不能应用于长距离大容量的光纤通信领域，只能用于一些对损耗、色散要求不高，又需要降低成本的非常短距离的光纤通信中。

第五章 作业

- 结型半导体光电探测器的主要类型有哪些？

结型的半导体光电探测器主要有：pn结二极管、p-i-n结二极管、APD雪崩击穿二极管和MSM（金属-半导体-金属）型光电探测器。

其中p-i-n结光电二极管是pn结光电二极管的替代结构，其量子效率高，但都没有增益。

APD雪崩击穿二极管的增益很大，适用于微弱信号的探测，但噪声大，对外界敏感，且响应时间较慢。

MSM型光电探测器的响应速度很快，但量子效率较pin光电二极管略小。

第五章 作业

- 请描述缓变npn HBT的电流组成。并说明采用缓变发射结的优劣。

发射极电流 I_E 由三部分组成：越过势垒由发射区注入到基区导带中称为少子的电子电流 I_n ；通过界面缺陷进入基区价带和空穴复合的电流 I_r （包括复合电流和隧道电流）；基区空穴越过势垒进入发射极的空穴电流 I_p 。集电极电流 I_C 主要由发射极注入到基区的少子漂移到集电区形成，同时将在基区复合一部分，形成基区复合电流 I_r 。

$$\begin{cases} I_E = I_n + I_p + I_r \\ I_b = I_p + I_r + I_d \\ I_c = I_n - I_r \end{cases}$$

第六章 作业

- 光纤的损耗包括哪些？应从哪些方面着手使之最小。

光纤在传输过程中主要遭到两种损耗：一是吸收损耗，一是散射损耗。吸收损耗又包含材料固有吸收、原子缺陷吸收和杂质吸收，散射损耗也包含瑞利散射损耗、波导效应散射损耗和非线性效应散射损耗。

同时在与其它器件耦合时还需考虑耦合和连接损耗，比如与LD的耦合损耗，光纤接头处的连接损耗等。

第五章 作业

- 请描述缓变npn HBT的电流组成。并说明采用缓变发射结的优劣。

采用缓变发射结的不足之处在于：(1)在抑制由基区注入到发射区的空穴不是特别有效(所造成的 β 降低可以部分由基区电子速度增加来补偿)，(2)可能会有基区杂质的扩散。

优点有：(1)由于发射结缓变，存在自建电场，使得其空间电荷区的载流子复合减小；(2)同时提高了电子的注入；(3)异质结的选取上更方便。

第六章 作业

- 典型的液晶显示器件有哪几种？

液晶显示器件常用的是扭曲向列（TN）型液晶显示器件。基本原理如下：采用P型的向列相液晶放置在液晶盒中，其上下表面的液晶分子呈 90° 扭曲；同时上下放置偏振片，与液晶分子长轴同向，也呈 90° 扭曲；若无电场，则光经偏振片变为线偏光，由于液晶的旋光特性旋转 90° 射出，呈透光态；若外加电场，则液晶分子平行外电场排列，入射的线偏光不能射出，呈暗态。这就是白底黑字的正显示过程。

TN型液晶显示器件存在阈值特性差、响应特性和多路驱动能力不好的缺点，需改进。

主要的改进型器件有两种：一是超扭曲向列液晶显示器件，它的阈值特性更好，延迟得到改善；二是TFT型液晶显示器件，它的多路驱动能力更强，可用于大屏幕和视频显示。

第七章 作业

- 极化的主要机制有哪些？

极化的主要机制有：电子位移极化、离子位移极化、偶极子转向极化、离子松弛极化、空间电荷极化等。

电子位移极化：电子云和原子核的中心在外电场作用下分离形成的感应偶极矩，在任何点介质材料中都存在。

离子位移极化：正负离子对形成的偶极矩在外电场作用下不能抵消而呈现宏观电矩，在离子性材料中都存在。

电子位移极化和离子位移极化都属于快极化或瞬时极化，建立极化的时间很短，在极化过程中没有能量损耗，一般与温度无关。

第六章 作业

- 光纤的发展趋势是从短波到长波，从多模到单模，为什么？

传输光纤的工作原理是通过光在纤芯和包层之间形成全反射从而沿着轴向传播的过程，在此过程中存在损耗和色散现象。光纤的传输波长越长，在光纤中全反射的次数越少，光路越短，吸收损耗越小。

光纤的色散主要有模式色散、材料色散和波导色散。一般来说，模式色散最大。单模光纤不存在模式色散，其色散要比多模光纤小很多。

正是由于以上原因，光纤的发展趋势才是从短波向长波发展，从多模向单模发展。

第六章 作业

- 激光振荡的条件是什么？从这个方面来说，固体激光器与半导体激光二极管有何不同？

实现激光振荡的必要条件有三：1）粒子数分布反转，使受激辐射占优势；2）具有谐振腔，实现光子放大；3）至少达到阈值电流密度，光增益 $>$ 光损耗。

固体激光器与LD都需要具备以上三个条件才能形成稳定的激光输出。

不同的是，LD的粒子数反转是在导带底和价带顶之间（二能级体系）依靠很大的正向偏压实现的。而固体激光器是在激活离子形成的局域能级之间（三能级或四能级体系）依靠泵浦源实现粒子数反转的。

第七章 作业

- 何谓热释电效应？其发生的条件是什么？

温度变化造成离子键的键长和键角改变，从而自发极化强度也相应改变，使得晶体显示出带电状态或在闭合电路中产生电流的现象就是热释电效应。
它发生的条件是晶体存在自发极化，即晶体具有单一的对称轴，以及组成晶体的晶胞具有极性。

- 极化的主要机制有哪些？

偶极子转向极化：外电场的作用打破热运动的干扰，使得偶极子的排列由无序变为沿外场方向的趋势，只在极性材料中才存在。

离子松弛极化：弱联系的离子在外电场作用下发生移动产生的极化，在结构不太紧密的离子性材料中才存在。

空间电荷极化：介质中的自由载流子在缺陷及不同介质的界面上积累，在外电场作用下使电介质中的电荷分布不均匀，产生宏观电矩，在结构不均匀的陶瓷材料中存在。

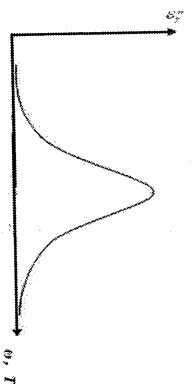
以上三种极化都属于缓慢极化或弛豫极化，建立极化的时间较长，在极化过程中存在能量损耗，且都与温度有关。

第七章 作业

第七章 作业

- 介电损耗包含哪些？请定性分析它与频率、与温度的关系。

介电损耗包括有电导损耗、松弛极化损耗和谐振损耗。它与频率、与温度的关系如图所示。



- 1) 当频率很低，介质的各种极化都能跟上外加电场的变化，此时不存在松弛极化损耗和谐振损耗，介电介电损耗主要由电导损耗引起。
- 2) 率逐渐升高，松弛极化在某一频率开始跟不上外加电场的变化，松弛极化凸显，谐振损耗也出现，介电损耗增大且出现极大值。
- 3) 当 ω 很高时，极化仅仅位移极化决定，介电损耗又降到最小。

第七章 作业

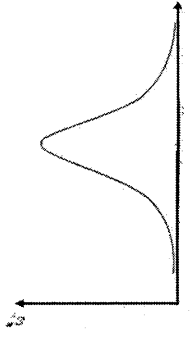
- 何谓压电效应？它与电致伸缩效应有何不同？

在没有对称中心的晶体上施加机械作用时，发生与机械应力成比例的介质极化；或在晶体上施加电场时，产生与电场强度成比例的变形或机械应力，称为压电效应。

它与电致伸缩效应都属于机电耦合效应，但压电效应是线性效应，电致伸缩效应是二阶非线性效应；压电效应只存在于那些没有对称中心的晶体中，电致伸缩效应存在于任何电介质中，只是在有对称中心的晶体中表现的较为明显。

第七章 作业

- 介电损耗包含哪些？请定性分析它与频率、与温度的关系。



- 1) 在一定频率下，当温度很低时，极化粒子热运动能量很小，几乎处于“冻结”的状态，因此弛豫极化来不及随外加电场发生变化，难以建立，这时只有瞬时极化，所以介电损耗很小；

- 2) 当温度升高时，极化粒子的热运动能量加大，弛豫时间减少到可与外加电场的周期相比拟，弛豫极化逐渐建立，同时伴随着能量损耗，并出现损耗极值。

- 3) 随着温度继续升高，弛豫时间很快降低，弛豫极化完全来得及建立，介电损耗又恢复很小。

第七章 作业

- BaTiO_3 的铁电性有何特点？

BaTiO_3 是典型的铁电晶体。其特点如下：

- 1) 结构上属于双氧化物晶体，具有氧八面体结构，属于硬铁电体；
- 2) 不同的温度下具有不同的晶相，从而有不同的极化轴。在 130°C 以下为四方晶相，沿C轴为极化轴；在 0°C 左右为正交晶相，沿a轴和c轴为极化轴；在 -80°C 以下为三方晶相，沿a轴、b轴和c轴极化。所以 BaTiO_3 属于可以沿多个晶轴方向极化的铁电体。

重庆邮电大学 2009~2010 学年第 2 学期
集成电路设计与制造 考试题 (A 卷)

题号	一	二	三	四	五	总分
分数						
评卷人						

一 名词解释 (18 分, 每题 3 分)

1. 什么是热退火?

在一定的温度下, 经过适当时间的热处理, 则晶片中的损伤就可能部分或全部得到消除, 少数载流子寿命以及迁移率也会不同程度的得到恢复, 掺入的杂质也得到一定比例的电激活, 这样的处理过程称为热退火。

2 数值孔径及其计算公式。

透镜收集衍射光的能力被称做透镜的数值孔径。

$$NA = (n) \sin \theta_m \approx (n) \frac{\text{透镜的半径}}{\text{透镜的焦距}}$$

其中, n —图形介质的折射率 (对于空气 $n \approx 1$);

θ_m —主光轴和透镜边缘线的夹角。

3 钝化。

钝化就是通过一些特定的工艺环节, 在半导体表面淀积生长绝缘薄膜, 以尽可能减少外界对半导体表面的影响, 使集成电路芯片对加工工艺过程中的有害杂质沾污和外界气氛影响变得不敏感, 从而使集成电路性能稳定, 经过封装以后可以在恶劣环境下长期可靠地工作。

4 什么是亚波长光刻技术?

亚波长光刻技术即图形的关键尺寸显著地小于光源波长的光刻技术。

5 解释浅槽隔离。

浅槽隔离是在衬底上制作的晶体管有源区之间隔离区的一种可选工艺, 这一方法在制作 $0.25 \mu\text{m}$ 器件时尤其有效, 分为三个步骤: 槽刻蚀、氧化物填充和氧化物平坦化。

6 鸟嘴效应。

在局部氧化工艺过程中, 由于氧化层比消耗的硅更厚, 所以在氮化物掩膜下的氧化生长将抬高氮化物的边缘, 我们称这种现象为鸟嘴效应。

二 填空 (22 分, 每空 1 分)

1 列出 436nm 和 157nm 之间所用的紫外光的波长和名字: 436 nm, G 线、405 nm, H 线、365 nm, I 线、248nm, 深紫外、193nm, 深紫外、157nm, 真空紫外;

2 下一代光刻技术有哪 4 个: 极紫外 (EUV) 光刻技术、角度限制投影电子束光刻技术 (SCALPEL)、离子束投影光刻技术、X 射线光刻技术;

3 在高温设备中进行的 5 步工艺
氧化、扩散、淀积、退火、合金;

4 PSG、BPSG、FSG 各是 磷硅玻璃、硼磷硅玻璃、氟硅玻璃 的缩写;

5 光学增强技术有哪四个: 相移掩膜技术、光学临近修正、离轴照明、偏差;

三 简答 (24 分)

1 驻波现象是什么, 及如何消除? (5 分)

光刻中一个光波反射和干涉的例子是驻波现象。驻波表征入射光波和反射光波之间的干涉, 这种干涉引起了随光刻胶厚度变化的不均匀曝光。我们把一种抗反射涂层 (ARC) 直接用于反射材料的表面来减少光刻胶的驻波效应。另外, 曝光和显影之间的曝光后烘焙能够减小传统 I 线胶驻波条纹宽度。

2 光刻工艺的 8 个步骤, 并简要分析原因? (8 分)

1) 气相成底膜处理。目的是增强硅片和光刻胶之间的粘附性。

2) 旋转涂胶。

3) 软烘。目的是除去光刻胶中的溶剂, 提高粘附性, 提升硅片上光刻胶的均匀性, 在刻蚀中得到更好的线宽控制。

4) 对准和曝光

5) 曝光后烘焙。为了使曝光的光刻胶能够在显影液中溶解, 后烘加热光刻胶, 引起酸催化的去保护反应。

6) 显影。在硅片表面光刻胶中产生图形的关键步骤。

7) 坚膜烘焙。烘焙要求挥发掉存留的光刻胶溶液, 提高光刻胶对硅片表面的粘附性。

8) 显影后检查。检查的目的有两个: 找出光刻胶有质量问题的硅片, 描述光刻胶的性能以满足规范要求。

3 对铜阻挡层金属的特殊要求? (6分)

- 1) 阻止铜扩散;
- 2) 低薄膜电阻;
- 3) 对介质材料和铜都有很好的附着;
- 4) 与化学机械平坦化过程兼容;
- 5) 既有很好的台阶覆盖;
- 6) 允许铜有最小厚度, 占据最大的横截面。

4 简述后烘对常规 I 线胶的好处。(5分)

对于常规 I 线胶, 曝光后烘焙是常规的作业。曝光后烘有一些与曝光前烘相同的好处。曝光后烘减少了光刻胶中剩余的溶剂, 从曝光前的 7%~4% 减少到了 5%~2%。曝光后烘焙最大的益处是减少了曝光过程中的驻波缺陷

四 问答题 (24 分)

1 氧化分为那些, 并比较其优缺点。(7分)

1) 干氧化: 是指在高温下氧气与硅反应能够生成二氧化硅的氧化方法。采用这种方法制备的氧化层具有结构致密、均匀性和重复性好、对杂质扩散的掩膜能力强、钝化效果好、与光刻胶的附着性好等优点; 它的缺点是氧化速度慢、氧化温度高。

2) 湿氧化: 在该方法中, 氧化首先通过盛有 95% 左右去离子水的石英瓶, 将水汽带入氧化炉内, 再在高温下与硅反应。这时, 与硅反应的氧化剂同时包括氧气和水汽。与干氧二氧化硅膜相比, 湿氧氧化的二氧化硅膜质量略差, 但远好于水蒸气氧化的效果, 而且生长速度较快, 其缺点是与光刻胶的附着性不是很好。

2 简述大马士革法铜金属化基本工艺流程 (10 分)

大马士革工艺: 通过在层间介质刻蚀孔和槽, 即为每一金属层产生通孔又产生引线, 然后淀积铜进入刻蚀好的图形, 应用化学机械平坦化去掉额外的铜。(避免铜的刻蚀)

运用大马士革工艺, 不需要金属刻蚀确定线宽和间隔, 而需要介质刻蚀, 其步骤如下:

1) SiO_2 的沉积, 用 PECVD 沉积内层氧化硅到希望的厚度, 这里没有关键的间隙填充, 因此 PECVD 是可接受的

2) SIN 刻蚀阻挡层沉积, 厚 250Å 的 SIN 刻蚀阻挡层被沉积在内层氧化硅上, SIN 需要致密, 没有针孔, 因此使用 HDPCVD

3) 确定通孔图形和刻蚀, 光刻确定图形、干法刻蚀通孔窗口进入 SIN 中, 刻蚀完成后去掉光刻胶

4) 沉积保留介质的 SiO_2 , 为保留层间介质, PECVD 氧化硅沉积

5) 确定互连图形, 光刻确定氧化硅槽图形, 带胶: 在确定图形之前将通孔窗口放在槽里

- 6) 刻蚀互连槽和通孔，在层间介质氧化硅中干法刻蚀沟道，停止在 SIN 层中的开口继续刻蚀形成通孔窗口
- 7) 沉积阻挡层金属，在槽和通孔的底部及侧壁用原子化的 PVD 沉积钼和氮化钼扩散层
- 8) 沉积铜种子层，用 CVD 沉积连续的铜种子层，种子层必须是均匀的并且没有针孔
- 9) 沉积铜填充，用电化学沉积沉积铜填充，即填充通孔窗口也填充槽
- 10) 用 CMP 清除额外的铜，用化学机械平坦清除额外的铜这一过程平坦化了表面并为下道工序做了准备，最后的表面是一个金属镶嵌在介质内、形成电路的平面结构

3 列举并且描述金属用于硅片制造的 7 种要求。(7 分)

- 1) 导电率：为维持电性能的完整性，必须具有高导电率，能够传导高电流密度。
- 2) 粘附性：能够粘附下层衬底，容易与外电路实现电连接。与半导体和金属表面连接时接触电阻低。
- 3) 淀积：易于淀积并经相对的低温处理后具有均匀的结构和组分（对于合金）。能够为大马士革金属化淀积具有高深宽比的间隙。
- 4) 刻印图形/平坦化：为刻蚀过程中不刻蚀下层介质的传统铝金属化工艺提供具有高分辨率的光刻图形；大马士革金属化易于平坦化。
- 5) 可靠性：为了在处理和应用过程中经受住温度循环变化，金属应相对柔软且有较好的延展性。
- 6) 抗腐蚀性：很好的抗腐蚀性，在层与层之间以及下层期间区具有最小的化学反应。
- 7) 应力：很好的抗机械应力特性以便减少硅片的扭曲和材料失效，比如断裂、空洞的形成和应力诱导腐蚀。

五 简述亚 0.25 微米 CMOS 制作步骤。(12 分)

1. 双阱工艺：

外延生长； 原氧化生长； 第一层掩膜，n 阱注入；退火

2. 浅槽隔离

隔离氧化层；氮化物淀积；第三层掩膜，浅槽隔离；STI 刻蚀；

3. 多晶硅栅结构工艺

栅氧化层的生长；多晶硅淀积；第四层掩膜，多晶硅栅；多晶硅栅刻蚀

4. 轻掺杂漏注入工艺

第五层掩膜，n-LDD 注入；n+LDD 注入（低能量，浅结）

5. 侧墙的形成

淀积二氧化硅；二氧化硅反刻

6. 源漏注入工艺

第七层掩膜，n+源漏注入；n+源漏注入；第八层掩膜，p+源漏注入；退火

7. 接触孔的形成

钛的淀积；退火；刻蚀金属钛

8. 局部互连工艺

Si₃N₄ 化学气相淀积；掺杂氧化物的气相淀积；氧化层抛光（CMP）；第九层掩膜，局部互连刻蚀

9.通孔 1 和金属塞 1 形成

第一层层间介质氧化物淀积；氧化物抛光；第十层掩膜，第一层层间介质刻蚀

10.第一层金属互连形成

金属钛阻挡层淀积；淀积铝铜合金；淀积氮化钛；第十一层掩膜，金属刻蚀

11.通孔 2 金属塞 2 形成

ILD-2 间隙填充；ILD-2 氧化物淀积；ILD-2 平坦化；第十二层掩膜 ILD-2 刻蚀

12.第十二层金属互连形成

淀积，刻蚀金属 2；填充第三层间介质间隙；淀积，平坦化 ILD-3 氧化；刻蚀通孔 3，淀积钛/氮化钛，淀积钨，平坦化

13.第三层金属形成以及压点合金

14.参数测试

