Memory:memory_main

mem_reg

clk — ○ CLK0

1'h0 — CLR1

D_in[15..0] — DATAIN[15..0]

1'h1 — ENA1   DATAOUT[15..0] — D_out[15..0]

Addr_in[15..0] — RADDR[5..0]

WADDR[5..0]

wr — WE

SYNC_RAM