

Taller de Lógica Digital - Parte 2

Organización del Computador 1

Primer Cuatrimestre 2023

Ejercicios

1. Componentes de 3 estados

a) Completar la siguiente tabla:

A	A _{en}	B	B _{en}	C	C _{en}	Estimado	Obtenido
0	0	0	0	0	0	Hi-z	Hi-z
0	1	1	1	0	0	0	Error
1	0	1	0	1	0	Hi-z	Hi-z
1	1	0	0	0	1	1	Error
0	1	0	1	0	1	0	0
0	1	1	1	1	1	0	Error
1	0	1	1	1	0	1	1

b) Completar la siguiente tabla:

Color	Interpretación
Gris	El cable no está vinculado de ningún lado.
Verde claro	El cable está con valor 1.
Verde oscuro	El cable está con valor 0.
Azul	No le está llegando ningún valor al cable.
Rojo	Están llegando 2 valores diferentes al mismo cable (de A viene 1 y de B 0, por ejemplo).

c) Enunciar la regla:

Si más de una entrada de control está en 1, los valores vinculados a esa entrada de control tienen que ser iguales.

d) Explicar cuáles son y por qué:

En el caso de este circuito, es "basura" al no discriminar cada bit, porque termina unificando en el mismo bus 3 bits que pueden ser diferentes.

Por ejemplo, 2 controles encendidos con el mismo bit (1 en ambos)

2. Transferencia entre registros

a) Detallar entradas y salidas:

Entradas: W -> Write, si modifica o no el registro. Clk -> Clock, determina en qué momento del ciclo se actualiza el registro.

REg_in -> Valor a registrar. En_out -> SI permite devolver el valor del registro.

Salidas: Reg_debug -> Siempre devuelve el registro, para saber lo que estaríamos guardando. Reg_output -> La salida del registro cuando en_out es 1, sino sería Hi-z.

Son de control: w, clk y en_out.

b) Secuencia de señales:

En el circuito tenemos al clock que va a estar oscilando entre 0 y 1 en todo el proceso. Empieza con todas las entradas en 0, exceptuando Force_input y en_Force_input que inician en 1. Se coloca el w de R1 en 1.

c) Secuencia de señales:

En el circuito tenemos al clock que va a estar oscilando entre 0 y 1 en todo el proceso. Empieza con todas las entradas en 0, exceptuando Force_input y en_Force_input que inician en 1 (elegimos nosotros el valor). Se coloca el w de R0 en 1 y luego en 0, en_F_input en 0, en_out R0 en 1. w R1 en 1 y luego en 0, en_out R0 en 0, en_out R2 en 1. Por ultimo, w R0 en 1 y luego en 0, en_out R2 en 0, en_out R1 en 1 y w R2 en 1.

3. Máquina de 4 registros con suma y resta.

a) Detallar entradas y salidas:

EJERCICIO 3 RESUELTO EN DOCUMENTO

b) Detallar el contenido de cada display:

c) Secuencia de señales:

d) Completar la siguiente tabla:

Valor inicial	Resultado operación 1	Flags	Resultado operación 2	Flags
(4, 0)	0100	-	0100	-
(7, -1)	1000	N, C	0111	-
(-8, -2)	0010	V, C	1010	-
(8, -9)	Overflow	-	Overflow	-

Los resultados interpretados en sin signo y en complemento a 2.

e) Explicar

Corrección

Integrantes:

Nombre y Apellido:

LU:

Nombre y Apellido:

LU:

Para uso de los docentes:

1	2	3