

# Practica 3

## Sumador de 8 bits con acarreo anticipado

1. Implementar el circuito sumador con esquema de acarreo anticipado para operandos de 4 bits, utilizando ciclos secuenciales (for-loop) en VHDL.
2. Generar la simulación con los siguientes estímulos y llenar la siguiente tabla

Operación	A	B	S	Cout
Suma	5	5		
Suma	12	7		
Suma	9	5		
Suma	14	9		
Suma	4	2		
Suma	7	7		
Suma	15	5		
Suma	11	8		
Suma	1	4		

3. Entregar en un archivo .zip lo siguiente
  - a. Código VHDL del sumador
  - b. Código VHDL del test-bench
  - c. Archivo PDF de la simulación
  - d. Tabla de resultados, esquema RTL y tabla de recursos (en un solo documento, en PDF)
4. Entregar en el laboratorio la practica funcionando en la Tarjeta Nexys 4