

## Practica 2

### Sumador/restador de 8 bits con acarreo en cascada

1. Implementar el circuito sumador/restador con esquema de acarreo en cascada para operandos de 4 bits, utilizando ciclos concurrentes en VHDL.
2. Generar la simulación con los siguientes estímulos y llenar la siguiente tabla

Operación	A	B	S	Cout
Suma	5	5		
Suma	12	8		
Suma	9	5		
Resta	10	9		
Suma	4	2		
Resta	7	9		
Resta	15	15		
Resta	11	8		
Resta	1	4		

3. Entregar en un archivo .zip lo siguiente
  - a. Código VHDL del sumador
  - b. Código VHDL del test-bench
  - c. Archivo PDF de la simulación
  - d. Tabla de resultados y esquema RTL (en un solo documento, en PDF)
4. Entregar en el laboratorio la practica funcionando en la Tarjeta Nexys 4