

LABORATORIO DE SISTEMAS DIGITALES  
PRÁCTICA #7 DIVISOR DE VOLTAJE

0452  
Israel Arón Angeles (123)

Es un componente simple, cuyo objetivo es reducir la frecuencia de entrada. Este se implementa con ayuda del factor de escalado y un contador.

$$\text{Escala} = \frac{f_{\text{clock}}}{f_{\text{requerida}}} - 1$$

PROBLEMA

Se requiere la conmutación de un LED a los siguientes tiempos: 125 ms, 250 ms, 500 ms, 1000 ms. Utilizando la tarjeta de laboratorio y un reloj de 50 MHz, realizar el cálculo para la conmutación de los leds, y también realizar la codificación que resuelve este problema.

$$f_1 = \frac{1}{125 \text{ ms}} = 8$$

$$\text{Escala}_1 = \frac{50 \text{ MHz}}{8} - 1 = 6249999$$

$$f_2 = \frac{1}{250 \text{ ms}} = 4$$

$$\text{Escala}_2 = \frac{50 \text{ MHz}}{4} - 1 = 12499999$$

$$f_3 = \frac{1}{500 \text{ ms}} = 2$$

$$\text{Escala}_3 = \frac{50 \text{ MHz}}{2} - 1 = 24999999$$

$$f_4 = \frac{1}{1000 \text{ ms}} = 1$$

$$\text{Escala}_4 = \frac{50 \text{ MHz}}{1} - 1 = 49999999$$

$$f_5 = \frac{1}{2000 \text{ ms}} = 0.5$$

$$\text{Escala}_5 = \frac{50 \text{ MHz}}{0.5} - 1 = 99999999$$

Se anexa los fobis de la configuración y las intenciones

Saise - [LOSTILINES.vhd]

Layout Help

```
19
20 library IEEE;
21 use IEEE.STD_LOGIC_1164.ALL;
22
23 -- el mencho estuvo aqui
24 -- Uncomment the following library declaration if using
25 -- arithmetic functions with Signed or Unsigned values
26 --use IEEE.NUMERIC_STD.ALL;
27
28 -- Uncomment the following library declaration if instantiating
29 -- any Xilinx primitives in this code.
30 --library UNISIM;
31 --use UNISIM.VComponents.all;
32
33 entity LOSTILINES is
34     Port (
35         reloj: in STD_LOGIC;
36         Reset : in STD_LOGIC;
37         Led: out STD_LOGIC;
38         Led1:out STD_LOGIC;
39         Led2:out STD_LOGIC;
40         Led3:out STD_LOGIC;
41         Led4:out STD_LOGIC);
42 end LOSTILINES;
43
44 architecture Behavioral of LOSTILINES is
45     signal temporal125: STD_LOGIC;
46     signal contador125 : integer range 0 to 62499999 := 0;
47     signal temporal250 : STD_LOGIC;
48     signal contador250 : integer range 0 to 124999999 := 0;
49     signal temporal500 : STD_LOGIC;
50     signal contador500 : integer range 0 to 249999999 := 0;
51     signal temporal1000 : STD_LOGIC;
```

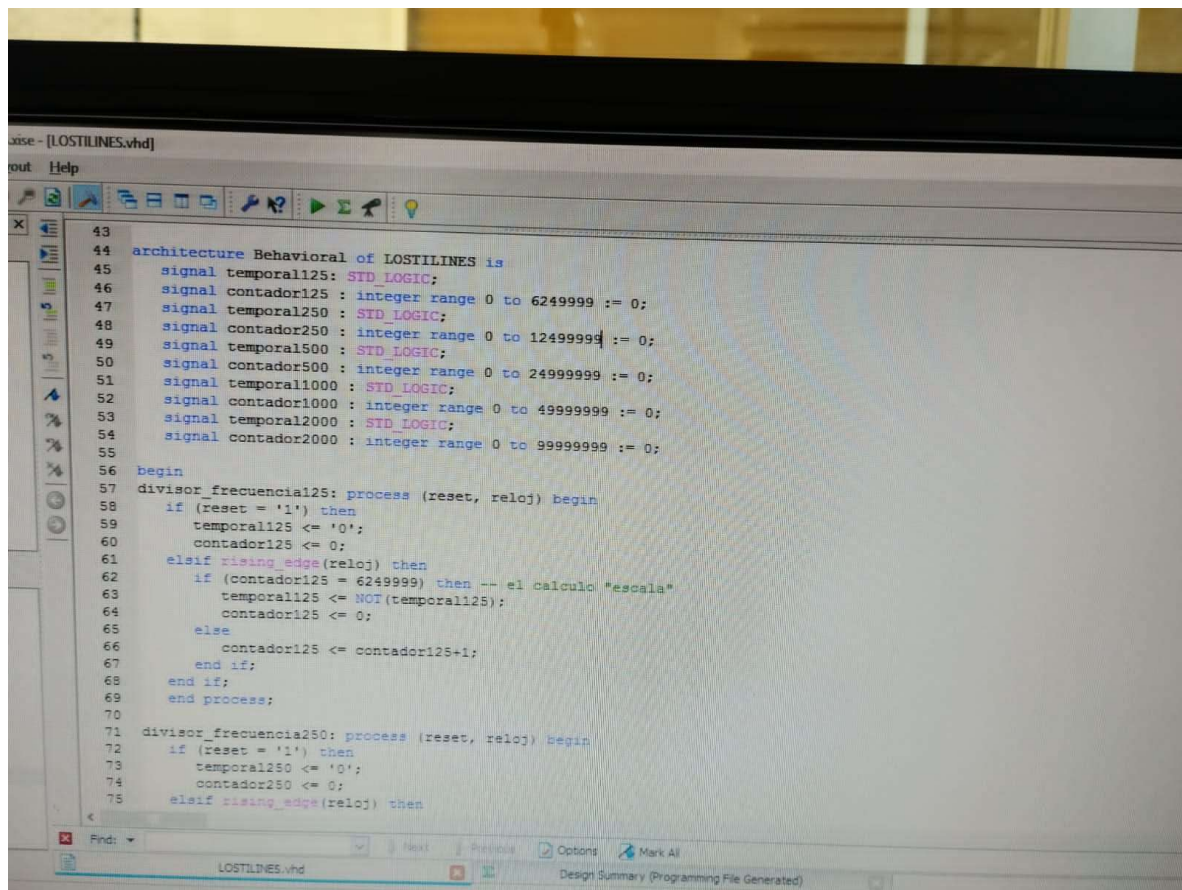
Find:

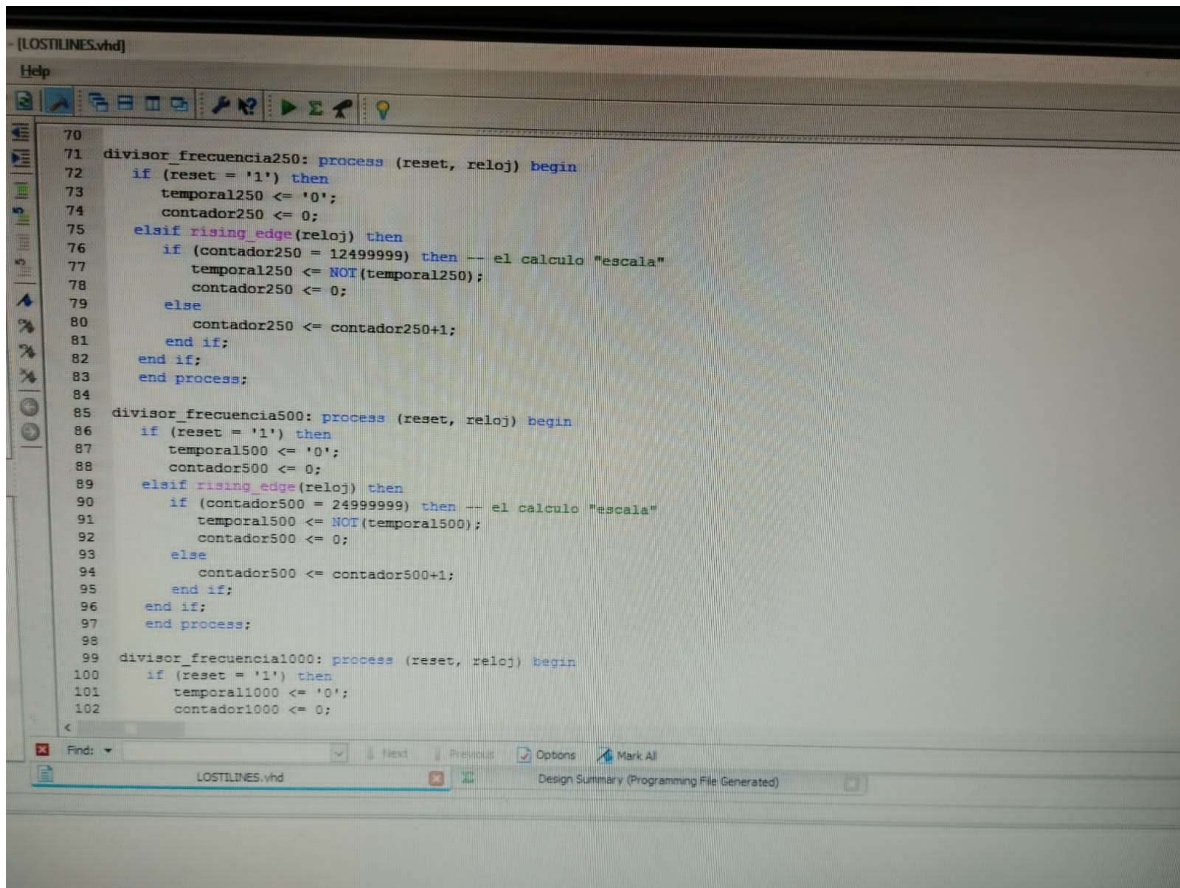
LOSTILINES.vhd

Options Mark All

Design Summary (Programming File Generated)







[LOSTILINES.vhd]

Help

```
97     end process;
98
99     divisor_frecuencia1000: process (reset, reloj) begin
100         if (reset = '1') then
101             temporal1000 <= '0';
102             contador1000 <= 0;
103         elsif rising_edge(reloj) then
104             if (contador1000 = 49999999) then -- el calculo "escala"
105                 temporal1000 <= NOT(temporal1000);
106                 contador1000 <= 0;
107             else
108                 contador1000 <= contador1000+1;
109             end if;
110         end if;
111     end process;
112
113     divisor_frecuencia2000: process (reset, reloj) begin
114         if (reset = '1') then
115             temporal2000 <= '0';
116             contador2000 <= 0;
117         elsif rising_edge(reloj) then
118             if (contador2000 = 99999999) then -- el calculo "escala"
119                 temporal2000 <= NOT(temporal2000);
120                 contador2000 <= 0;
121             else
122                 contador2000 <= contador2000+1;
123             end if;
124         end if;
125     end process;
126
127     led <= temporal125;
128     led1 <= temporal1250;
129     led2 <= temporal1800;
```

Find: ▾

Next

Previous

Options

Mark All

LOSTILINES.vhd

Design Summary (Programming File Generated)

[LOSTILINES.vhd]  
Help

```
103 elsif rising_edge(reloj) then
104     if (contador1000 = 49999999) then -- el calculo "escala"
105         temporal1000 <= NOT(temporal1000);
106         contador1000 <= 0;
107     else
108         contador1000 <= contador1000+1;
109     end if;
110 end if;
111 end process;
112
113 divisor_frecuencia2000: process (reset, reloj) begin
114     if (reset = '1') then
115         temporal2000 <= '0';
116         contador2000 <= 0;
117     elsif rising_edge(reloj) then
118         if (contador2000 = 99999999) then -- el calculo "escala"
119             temporal2000 <= NOT(temporal2000);
120             contador2000 <= 0;
121         else
122             contador2000 <= contador2000+1;
123         end if;
124     end if;
125 end process;
126
127 led <= temporal125;
128 led1 <= temporal1250;
129 led2 <= temporal1500;
130 led3 <= temporal10000;
131 led4 <= temporal20000;
132
133 end Behavioral;
134
135
```

Find:  Next Previous Options Mark All  
LOSTILINES.vhd Design Summary (Programming File Generated)