RESUME

求职意向：硬件工程师

**尹安冉**

1. 青岛科技大学信息学院社管委优秀干事。 2. 青岛科技大学信息学院学生会优秀部长。

为人友善、真诚，做事细致、专注，有很强的责任心，学习能力与适应能力强，喜欢钻研，热爱生活，性格标签是认真，有着沉静内敛，善于思考和研究的特质。

**5位高通FIR滤波器的Verilog设计（2016至2017）**

使用Verilog编写直接型Fir滤波器结构及各个模块，用Modelsim进行波形仿真验证，分析各模块的关系及设计优劣。

**同步FIFO的FPGA设计（2017至2018）**

使用QuartusII及Modelsim进行Verilog设计代码的综合仿真，通过SignalTapII在Cyclone IV E EP4CE6E22C8开发板上进行功能验证及分析，最后进行项目评估。

**4/8/16/32位定点原码除法器的FPGA设计（2018）**

使用Verilog设计不恢复余数法的定点原码除法器的各个模块，用QuartusII综合出RTL模型，通过SignalTapII在Cyclone V EP1C12Q240C8开发板进行算法验证并对比分析算法优劣。

**获奖情况**

**自我评价**

**工作经验**

**实践经验**

**求职意向**

**教育背景**

2015~2019 青岛科技大学 集成电路设计与集成系统 本科

硬件工程师、FPGA开发工程师、文案编辑。

**青岛青软晶尊微电子科技有限公司， FPGA开发实习 2017-2018**

**青岛科技大学信息学院公益部， 副部长 2016-2017**

部门logo设计，部门招新海报设计，活动宣传海报、宣传短片设计，现场背景墙设计及现场背景音乐搭配，活动策划及单项活动组织，部门周/月报告及年度报告、部门规划报告撰写。

硬件设计，硬件开发流程，开发报告包装，后期硬件测试及数据对比评估，项目总结撰写及项目总体备份。

年 龄：21岁

毕业学校：青岛科技大学

学 历：本科

专 业：集成电路设计与集成系统

**基本资料**

**技能水平**

VerilogHDL

半导体器件

CMOS

版图设计

VLSI理论

**联系方式**

手机：17864267933

邮箱：mengzeaty@foxmail.com

Github：github.com/AaronTYin