

MÓDULO 1

Fundamentos básicos del sistema de entrada/salida (E/S)

- ❑ Tema 1.- Arquitectura del sistema de entrada/salida
- ❑ Tema 2.- Mecanismos de sincronización
- ❑ Tema 3.- Métodos de transferencia de datos
- ❑ Tema 4: Análisis, selección y evaluación de computadores

TEMA 1: Arquitectura del sistema de E/S

- ❑ **La E/S en el computador**
- ❑ **Conexión entre dispositivos de E/S, memoria y procesador**
- ❑ **Elementos básicos de la E/S**
 - Interfaces
 - Periféricos
- ❑ **El sistema operativo y los dispositivos de E/S**
- ❑ **Operaciones de E/S**
 - Direccionamiento de la E/S
 - Decodificador de direcciones
 - Protocolos de comunicación
- ❑ **Clasificación de los dispositivos periféricos**
- ❑ **Casos de estudio: puertos de E/S en el IBM-PC**
- ❑ **Bibliografía:**
 - Capítulo 7: Stallings, William, “Organización y Arquitectura de Computadores”, Prentice Hall, 2006
 - Capítulo 6: Patterson, D. and Hennessy, J., “Estructura y Diseño de Computadores. La Interfaz Hardware/Software”, Ed. Reverté, 2011

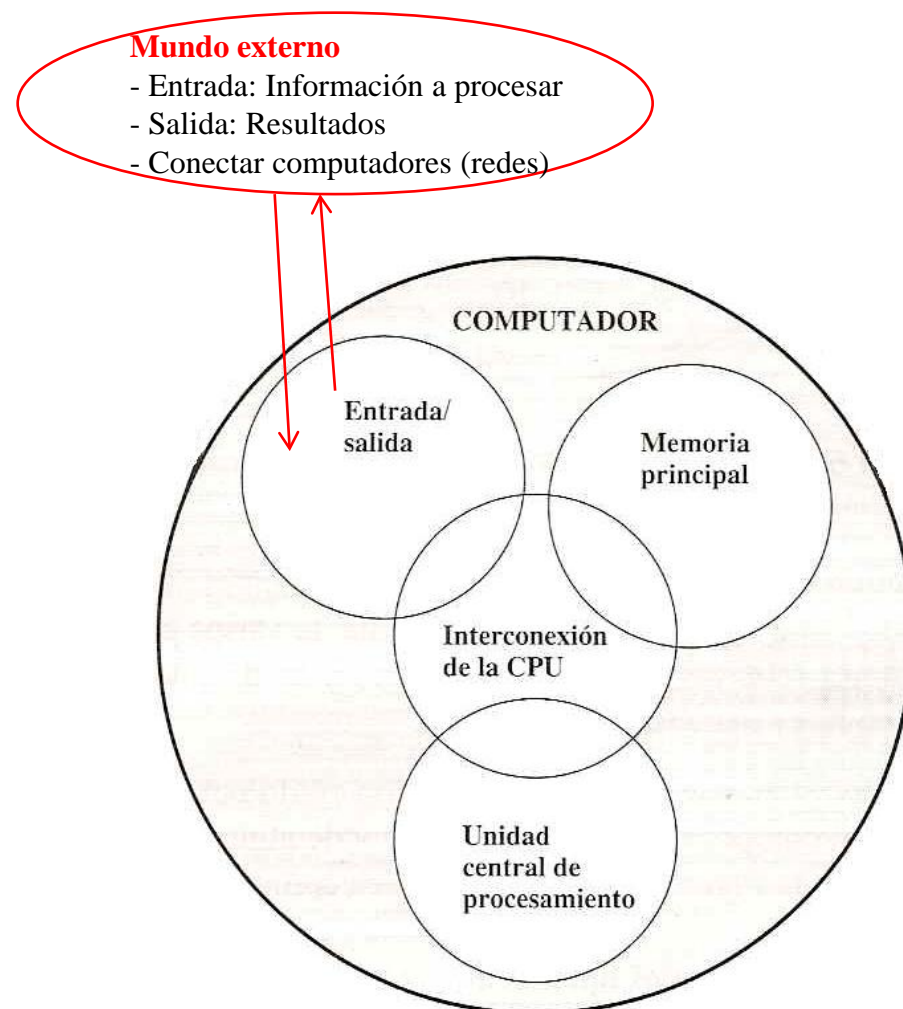
La E/S en el computador

❑ Componentes básicos de la arquitectura Von-Neumann

- Unidad Central de Proceso (CPU)
 - Unidad de control + registros + unidades funcionales
 - Función: Ejecuta las instrucciones
- Memoria
 - Almacenamiento de instrucciones y datos
- Sistema de entrada/salida
 - Interfaz con el exterior.
 - Permite el intercambio de información con dispositivos externos.
 - Conectar varios computadores entre sí
→ computadores en red

❑ Sistema de interconexión de los componentes

- Buses de interconexión
- Organización jerarquía de los buses para mejorar prestaciones del sistema.

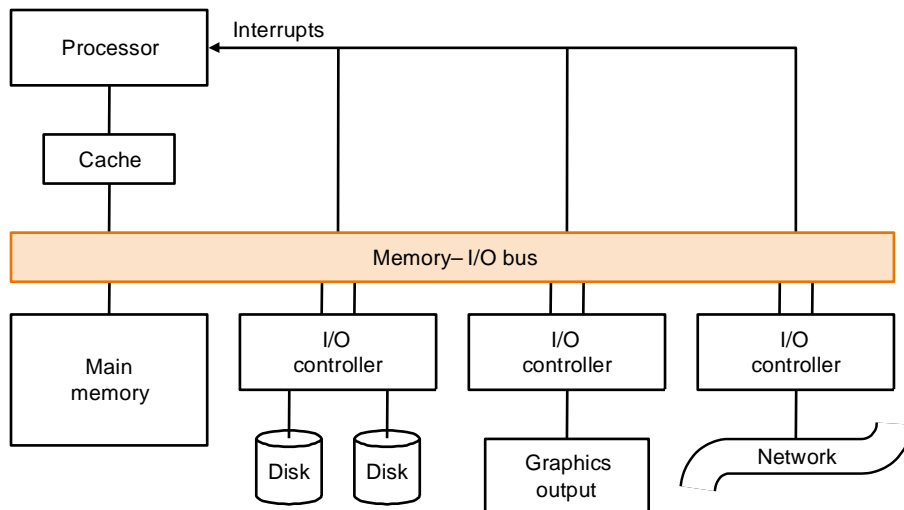


Conexión entre dispositivos de E/S, procesador y memoria

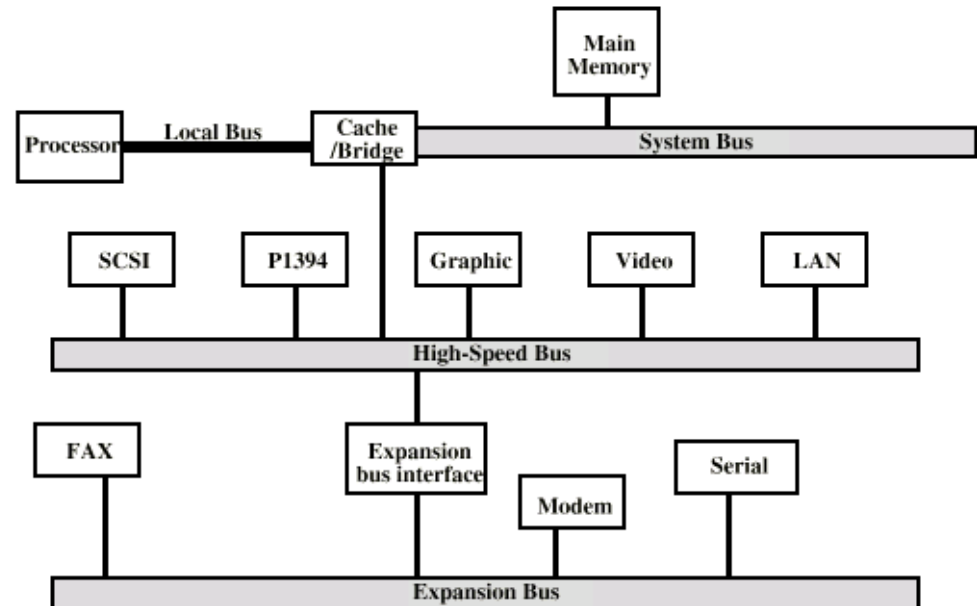
❑ Interconexión de los componentes

- Conexión a través de buses
- Bus: Canal de comunicación compartido, que utiliza un conjunto de cables o vías de comunicación para conectar múltiples subsistemas.
- Aspectos a tener en cuenta: rendimiento, expansibilidad y resistencia a fallos.
 - Múltiples buses organizados jerárquicamente para mejorar las prestaciones

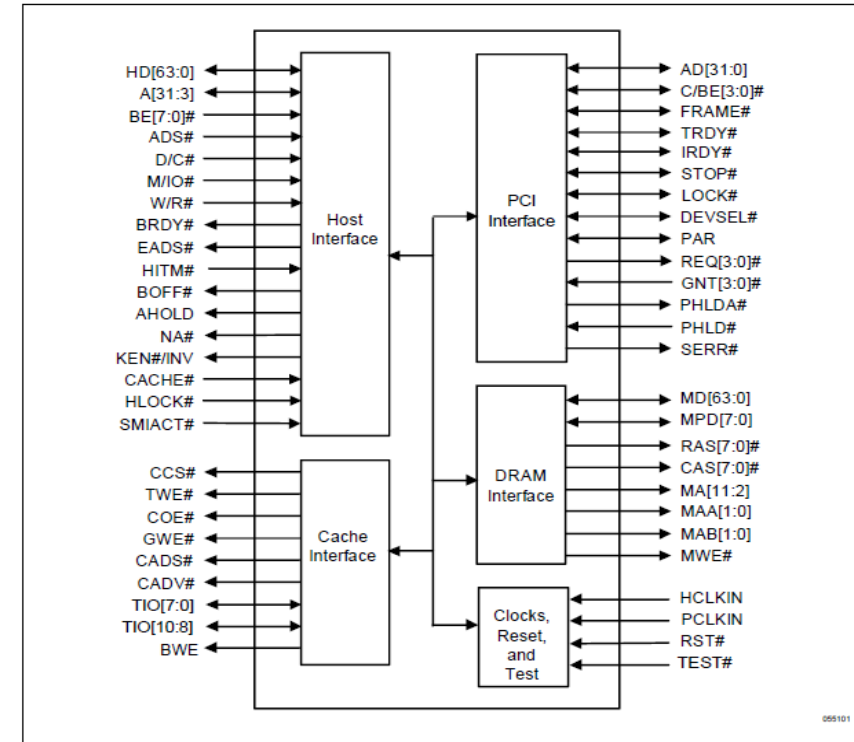
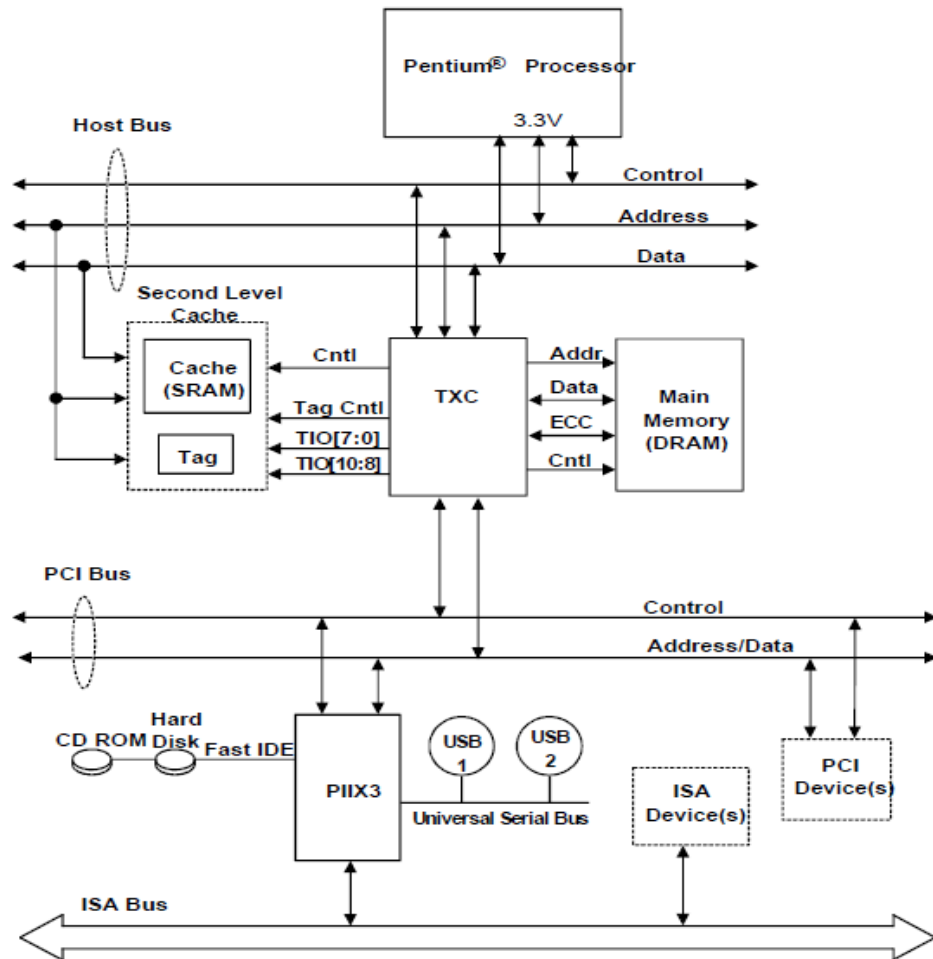
Un solo bus compartido



Jerarquía de buses



Arquitectura North/South bridge: Intel 430HX Pentium (1996)



82439HX TXC Simplified Block Diagram

Intel core i processors, Coffeelake (oct, 2017): 3xx → Z370

Cambios respecto a generación anterior:

- Incremento a 6 cores (i5-i7)
- L3 más grande
- Incremento frecuencia turbo (+ 400MHz)
- DDR4 2666 MHz.. 2400 MHz .
- No compatibilidad con DDR3
- Memoria Optane

Coffeelake chipsets 8ª generación

FC-LGA1151

Z370, H310, B360, H3710,...

Direct Media Interface:

DMI 3.0 → 3,93 GB/s (4 lanes)

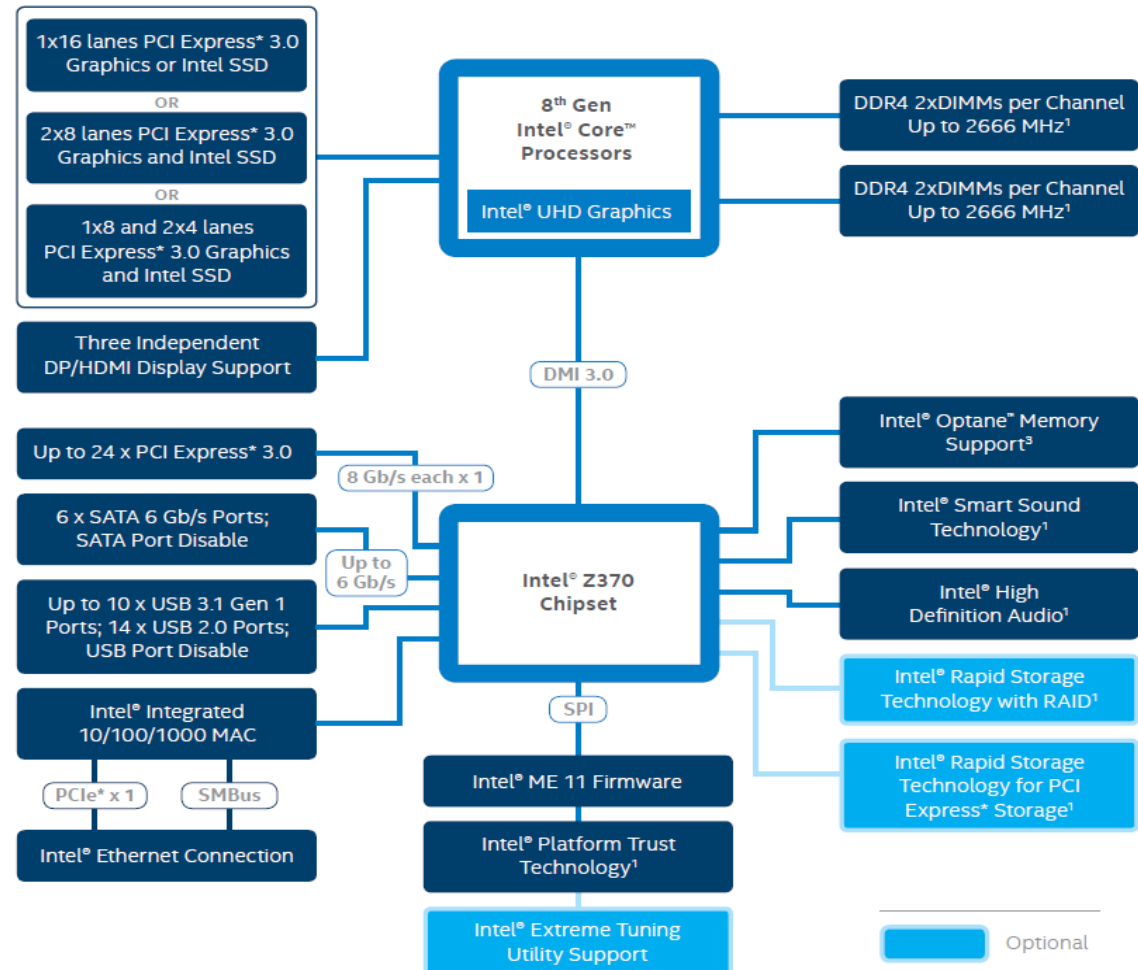
Chipset z370 →

Hasta 24 Pci-Express 3.0

6 SATA 3.0

10 USB 3.0

INTEL® Z370 CHIPSET BLOCK DIAGRAM



TEMA 1: Arquitectura del sistema de E/S

- ❑ La E/S en el computador
- ❑ Conexión entre dispositivos de E/S, memoria y procesador
- ❑ Elementos básicos de la E/S
 - Interfaces
 - Periféricos
- ❑ El sistema operativo y los dispositivos de E/S
- ❑ Operaciones de E/S
 - Direccionamiento de la E/S
 - Decodificador de direcciones
 - Protocolos de comunicación
- ❑ Clasificación de los dispositivos periféricos
- ❑ Casos de estudio: puertos de E/S en el IBM-PC

Elementos básicos de la E/S

❑ Dos componentes básicos:

- Interfaz (o controlador) y periférico

❑ Interfaz (o módulo de E/S, [Stalling-2011])

- Sistema mixto hardware/software que permite la conexión del periférico a los buses del sistema para establecer la comunicación con el procesador y/o memoria.
- De complejidad variable acorde a la aplicación y prestaciones del computador. Denominaciones:
 - Controlador de E/S (microcomputadores) → Interfaz de E/S → canal de E/S (grandes computadores)
 - Ejemplo: Controlador de teclado → Interfaz externa RS-232C → sist. almacenamiento altas prestaciones

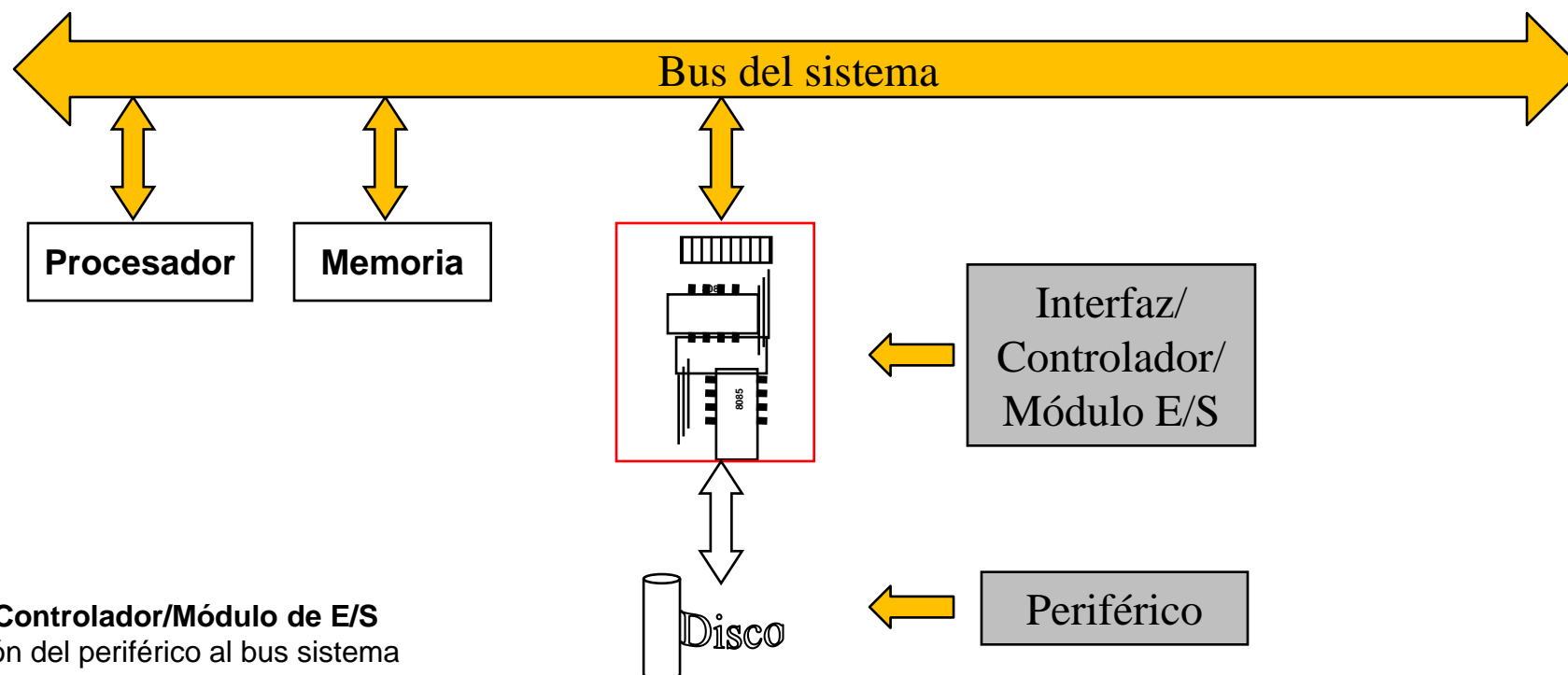
❑ Periférico

- Dispositivo hardware (electrónico, mecánico u óptico) que posibilita la comunicación del computador con el mundo externo (un humano u otra máquina).
 - E/S de datos: teclado, pantalla, ratón, impresora, joystick, ...
 - Almacenamiento: disco, flash, cinta, ...

❑ La conexión del sistema de E/S lleva asociado el estudio de:

- Cronogramas y mecanismos de sincronización de las señales
- Estructura y programación de los interfaces
 - Los periféricos no se conectan directamente al bus del sistema: necesitan de un interfaz
- Capas de software del Sistema Operativo orientadas al manejo de dispositivos de E/S (drivers).

Esquema general



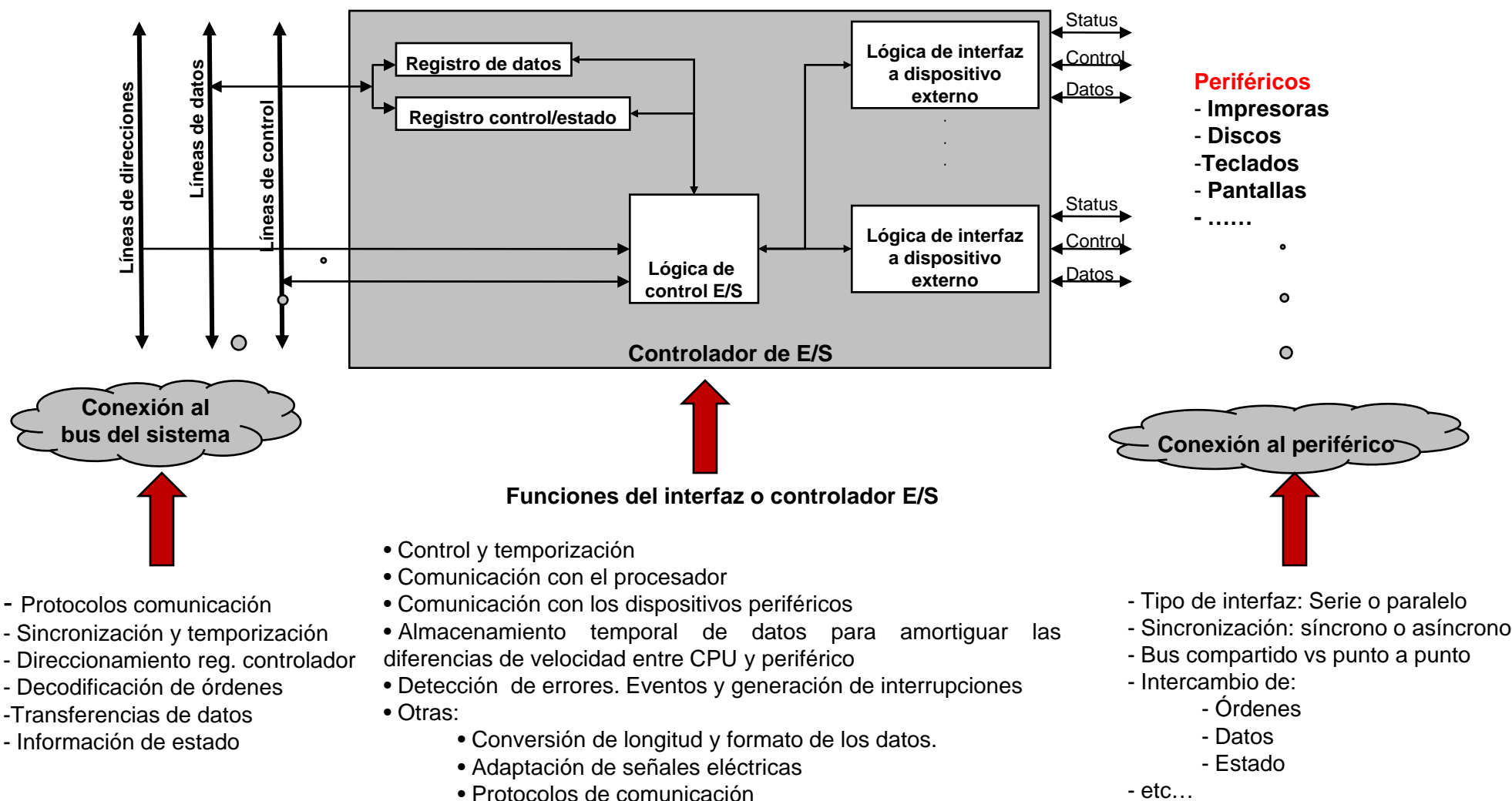
Interfaz/Controlador/Módulo de E/S

- Conexión del periférico al bus sistema
- Reconoce y genera direcciones
- Visible al programador como un conjunto de registros
 - Controlador → procesador de E/S
- Complejidad variable según prestaciones del computador
- Permite, conjuntamente con el Sistema Operativo, una visión simplificada del periférico

• Una operación de E/S consiste en:

- Comprobar si el dispositivo está listo (leer registro de estado)
- Enviar parámetros de la operación (registro de control)
- Transferir el dato (registro de datos)
- Terminación (registro de control/estado)

Arquitectura y estructura de un interfaz de E/S



Periférico

❑ Características generales

- Dispositivo físico desarrollado usando una o múltiples tecnologías
 - Eléctrica, electrónica, mecánica, química, etc...
- Permite el intercambio de datos entre el computador y el exterior
- Conexión al computador a través del interfaz o bus de E/S adecuado

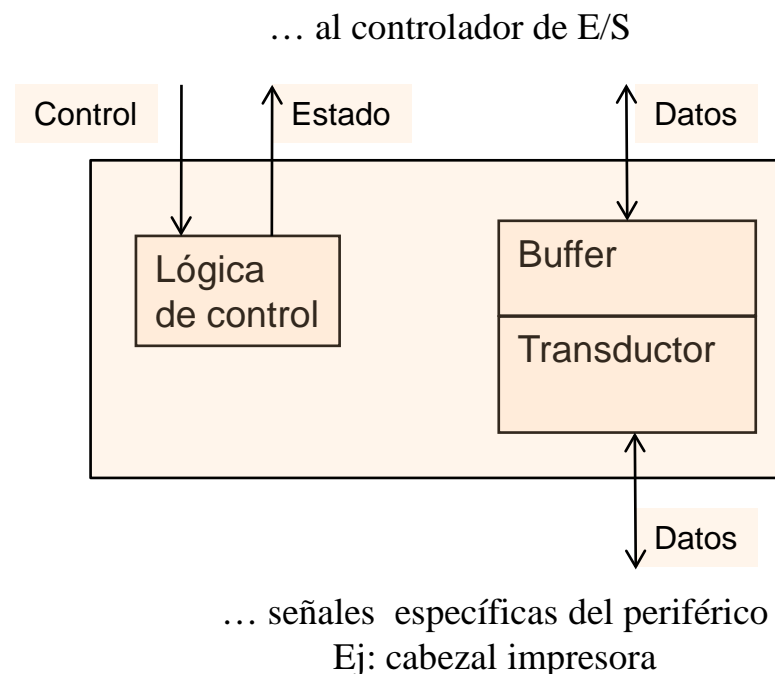
❑ Transductor

- Convierte las señales eléctricas asociadas al dato a otra forma de energía en el caso de la salida, y viceversa, en el caso de una entrada.

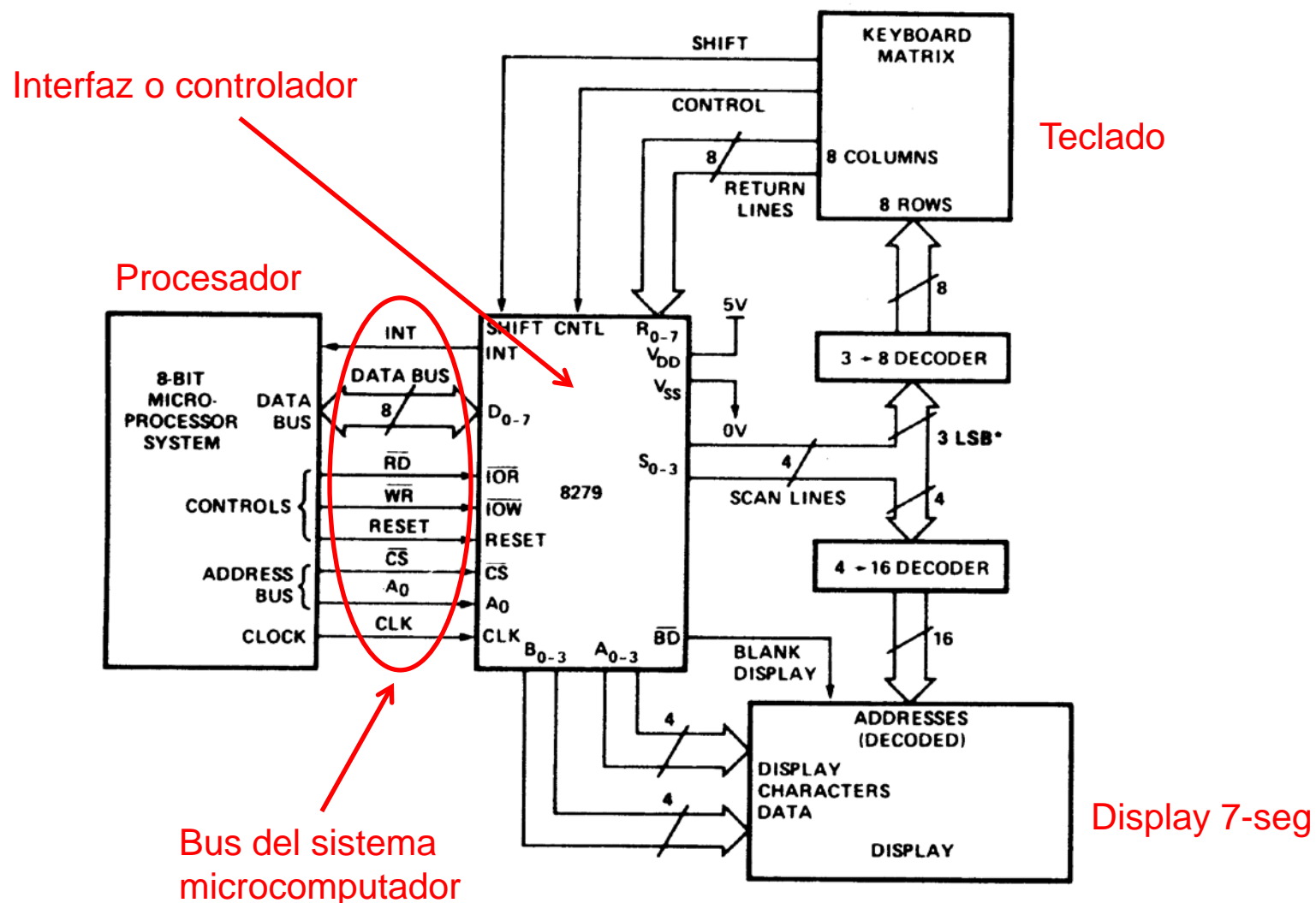
❑ Ejemplos:

- Salida: Impresora de impacto (agujas)
 - conversión de energías??
- Entrada: Ratón
 - conversión de energías??

Modelo de dispositivo externo



Ejemplo: Controlador de teclado y display de 7-seg



TEMA 1: Arquitectura del sistema de E/S

- ❑ **La E/S en el computador**
- ❑ **Conexión entre dispositivos de E/S, memoria y procesador**
- ❑ **Elementos básicos de la E/S**
 - Interfaces
 - Periféricos
- ❑ **El sistema operativo y los dispositivos de E/S**
- ❑ **Operaciones de E/S**
 - Direccionamiento de la E/S
 - Decodificador de direcciones
 - Protocolos de comunicación
- ❑ **Clasificación de los dispositivos periféricos**
- ❑ **Casos de estudio: puertos de E/S en el IBM-PC**

El sistema operativo y los dispositivos de E/S

❑ Objetivos básicos de un sistema operativo (SO)

- Comodidad
 - Hace que el computador sea más fácil y cómodo de utilizar
- Eficiencia
 - Permite un uso eficiente de los recursos del computador.

❑ El SO juega un papel muy importante en la entrada/salida de un computador.

- Actúa como interfaz entre el hardware y el programa que pide E/S.
 - Se encarga del conjunto particular de instrucciones y señales de control que necesita un dispositivo de E/S para que funcione correctamente.
 - El programador puede pensar simplemente en términos de lecturas y escrituras (printf(), read(), write(), ...) sin preocuparse del control a bajo nivel de los dispositivos.

❑ Otras áreas en las que el SO proporciona servicios

- Creación de programas
- Ejecución de programas
- Acceso controlado a los ficheros
- Acceso al sistema y gestión y control de usuarios
- Detección de errores y respuestas
- Contabilidad y estadísticas

Características básicas de los sistemas de E/S

❑ Sistema compartido

- El sistema de E/S de un computador es compartido por múltiples programas que utilizan el procesador

❑ Uso de interrupciones

- Los sistemas de E/S utilizan, con frecuencia, interrupciones para solicitar la atención del procesador (sincronización).
- Las interrupciones deben ser tratadas por el SO y hacen que el procesador cambie al modo supervisor o kernel.

❑ Complejidad del bajo nivel

- El control a bajo nivel de un dispositivo de E/S es complejo
- Gestión de un conjunto de eventos concurrentes
- Los requerimientos para el correcto control son con frecuencia muy detallados
 - Cronogramas de señales de control, datos y estado

Soporte del Sistema Operativo al sistema de E/S

- 1. Proporcionar protección a los recursos de E/S compartidos**
 - Garantiza que un programa de usuario sólo pueda acceder a partes de un dispositivo de E/S en las que el usuario tiene derechos.
- 2. Proporcionar abstracciones (capas de software) para acceder a los dispositivos a través de rutinas (drivers) que tratan las operaciones de bajo nivel de los dispositivos.**
- 3. Manejar las interrupciones generadas por los dispositivos de E/S (de igual forma que trata las posibles excepciones generadas por los programas)**
- 4. Proporcionar acceso equitativo a los recursos de E/S compartidos**
- 5. Planificar los accesos con el fin de mejorar la productividad del sistema.**

Comunicación entre el SO y los dispositivos de E/S

Básicamente, se distinguen los siguientes niveles de comunicación:

❑ Envío de órdenes a los dispositivos de E/S

- Direcccionamiento de los dispositivos de E/S
 - Como puertos de E/S o como memoria (memory-mapped I/O)

❑ Sincronización

- Es necesario la sincronización entre procesador y periférico debido a las diferencias de velocidad de los mismos.
- El dispositivo de E/S debe notificar al SO cuando ha completado una operación o ha encontrado un error.
- Métodos de sincronización:
 - Consulta (polling)
 - Interrupciones

❑ Transferencia de datos entre memoria y dispositivos de E/S

- Métodos de transferencia
 - Por programa
 - Acceso directo a memoria (DMA)
 - Procesadores especializados de E/S

TEMA 1: Arquitectura del sistema de E/S

- ❑ **La E/S en el computador**
- ❑ **Conexión entre dispositivos de E/S, memoria y procesador**
- ❑ **Elementos básicos de la E/S**
 - Interfaces
 - Periféricos
- ❑ **El sistema operativo y los dispositivos de E/S**
- ❑ **Operaciones de E/S**
 - Direccionamiento de la E/S
 - Decodificador de direcciones
 - Protocolos de comunicación
- ❑ **Clasificación de los dispositivos periféricos**
- ❑ **Casos de estudio: puertos de E/S en el IBM-PC**

Operaciones de E/S

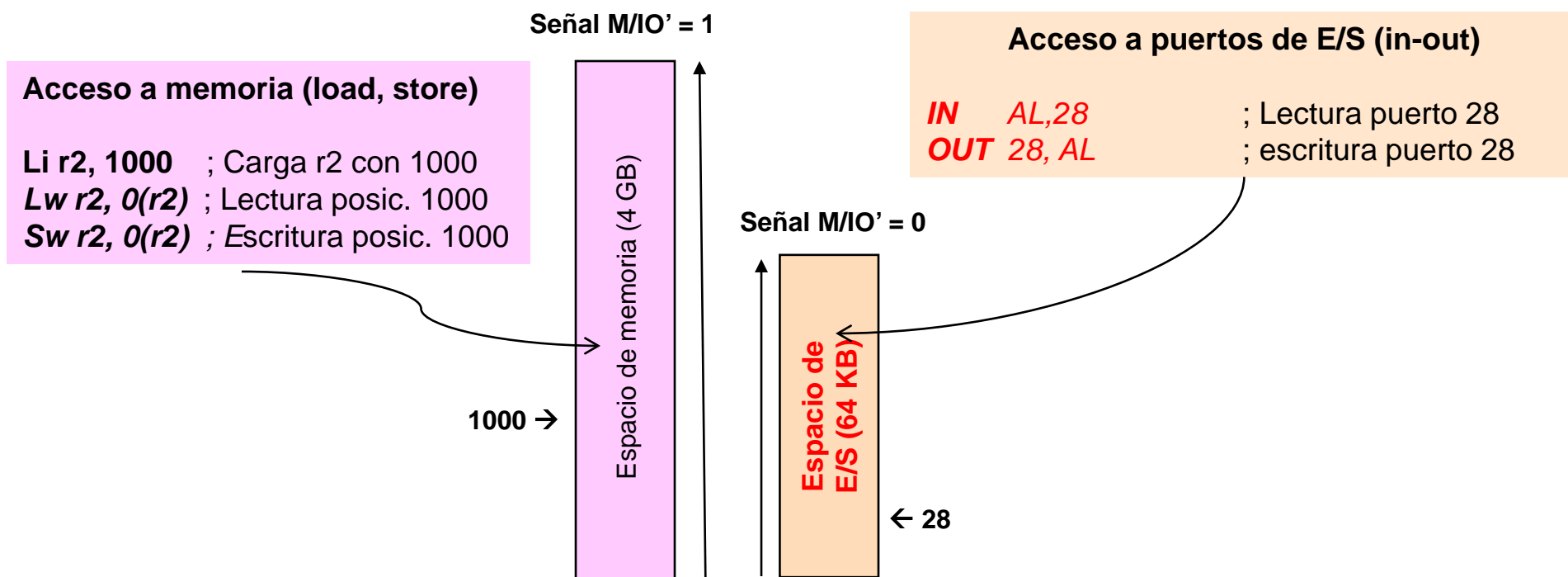
- ❑ Desde la programación a bajo nivel, los dispositivos de E/S se ven como un conjunto de registros a través de los que realizamos las operaciones E/S.
- ❑ Aspectos involucrados en una operación de E/S:
 - Direccionamiento
 - Cada registro del módulo de E/S o controlador/interfaz tiene asignada una dirección
 - A estos registros se les suele llamar PUERTOS (ports)
 - Para realizar una operación de lectura o escritura en un puerto es necesario enviar, previamente, la dirección del puerto al bus de direcciones del sistema.
 - La dirección nos permite seleccionar el puerto para realizar una operación
 - Tipo de operación
 - Lectura, escritura, lectura-modificación-escritura
 - El tipo de operación se indica con las señales de control del bus
 - Temporización
 - La transferencia de información se realiza de acuerdo al diagrama de tiempos o cronograma y el protocolo que fije el bus o interfaz al que se realiza la conexión.

Operaciones de E/S:

Direccionamiento de puertos de E/S (I)

❑ Puertos mapeados como E/S (port-mapped I/O)

- Los espacios de memoria y de E/S están separados
- El procesador dispone de una señal de control que indica cuando se accede a uno u otro espacio. Por ejemplo, el bus de sistema del uP8086 dispone de la señal M/IO' (1: espacio de memoria; 0: espacio de E/S).
- Tipos de instrucciones para acceder a los espacios de memoria y de E/S

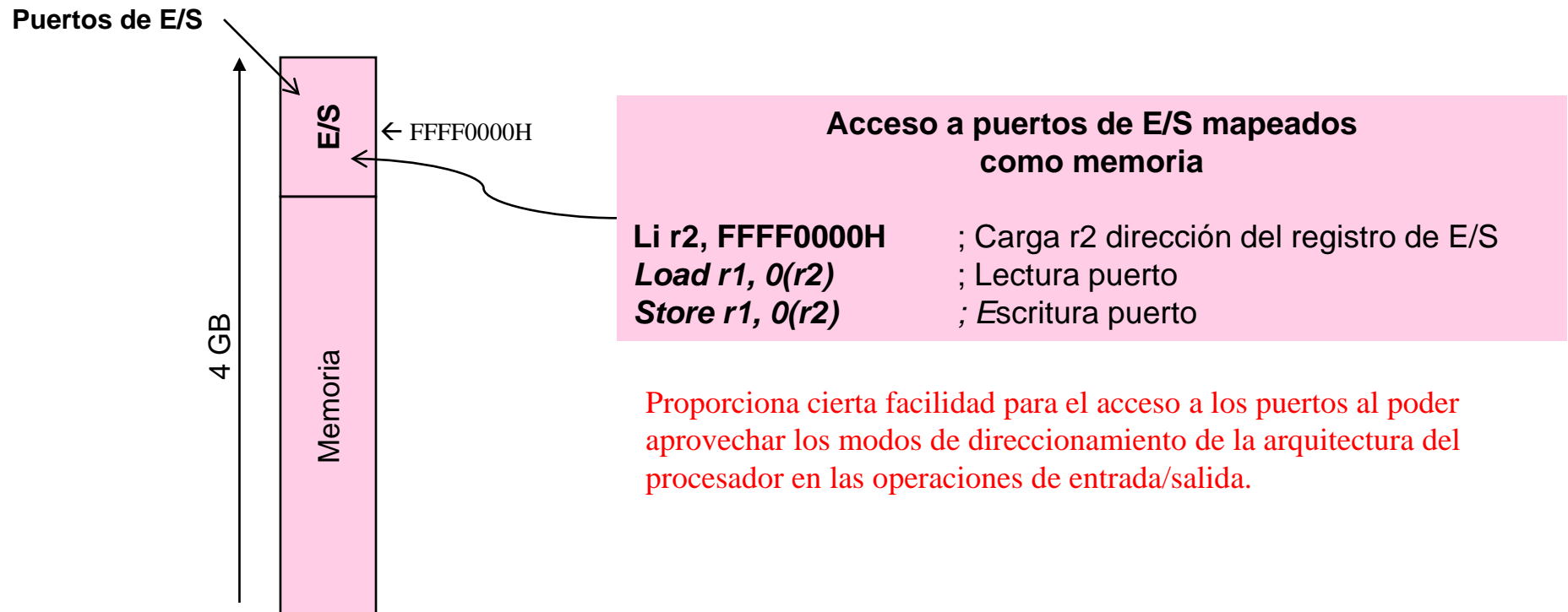


Operaciones de E/S:

Direccionamiento de puertos de E/S (II)

❑ Puertos mapeados como memoria (memory-mapped I/O)

- No se distingue entre los espacios de memoria y de E/S
- Los registros de los controladores de E/S se direccionan como posiciones de memoria.
- Instrucciones de “Load y Store” para acceder tanto a memoria como a los puertos de E/S.



Mecanismo de decodificación de direcciones

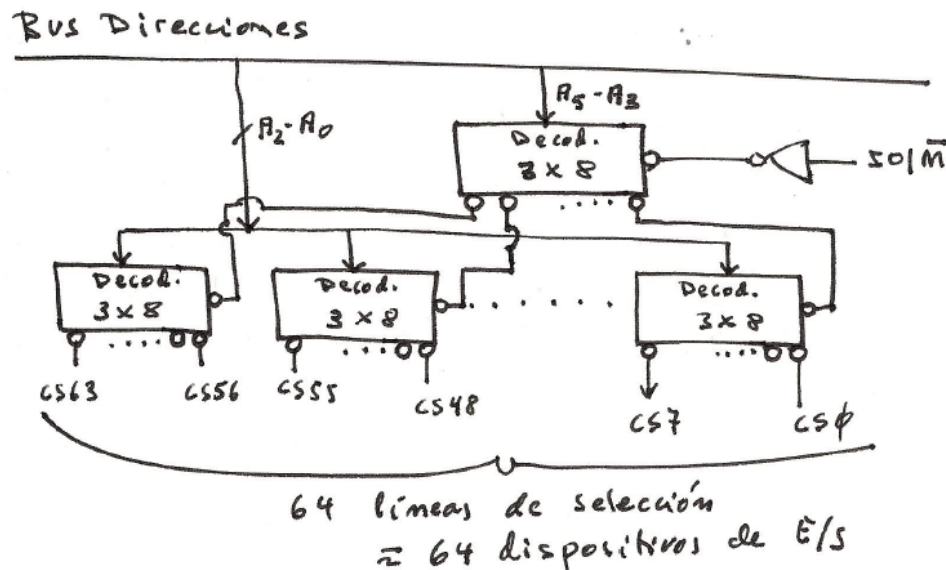
❑ Señal “chip select”

- En general, todo dispositivo que se conecta al bus del sistema se le asigna una dirección y dispone de una señal de entrada (chip select, cs).
- Cuando la señal “chip select” se activa, el dispositivo se conecta al bus y se puede intercambiar información entre dispositivo y la CPU/memoria.
- La señal “chip select” la genera un decodificador de direcciones.

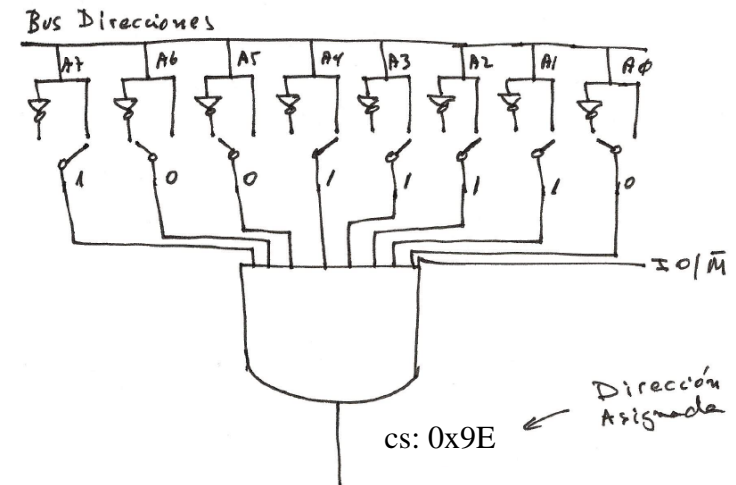
❑ Decodificador de direcciones: múltiples soluciones.

- Decodificación centralizada mediante decodificadores u otros dispositivos conectados al bus del sistema.
- Cada interfaz puede disponer de “jumpers” o puentes que permiten definir la dirección donde se ubican los diferentes registros internos del interfaz del dispositivo.

Decodificador centralizado



Decodificador en interfaz (local)



Operaciones de E/S:

Protocolos de comunicación en buses

❑ Protocolo

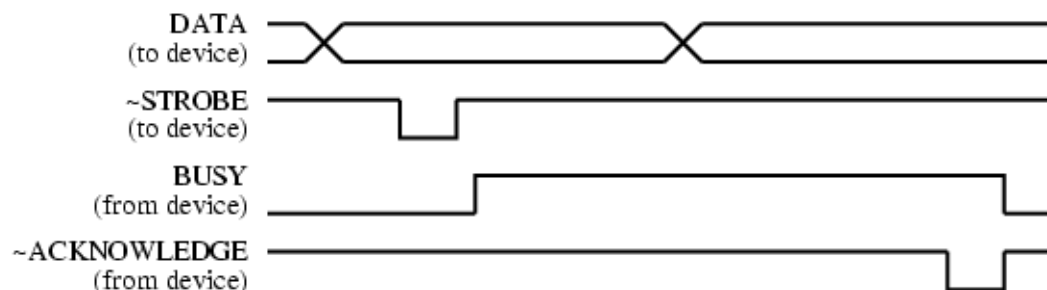
- El intercambio de información se realiza de acuerdo a unas reglas que exige la activación de las diferentes señales de los buses de acuerdo a una temporización para que cada dispositivo pueda enviar y recibir información de forma comprensible.
- Funciones
 - Poner en atención al otro dispositivo
 - Identificar/direccionar componente
 - Transferir datos y solicitar retransmisión de datos erróneos
 - Finalizar una operación de transferencia

❑ Tipos de protocolos

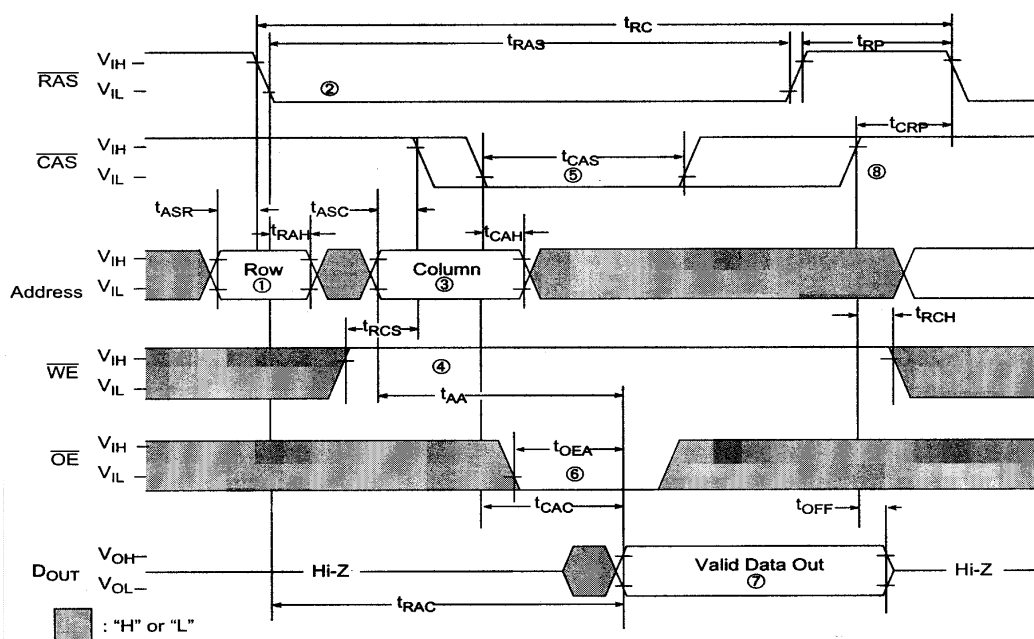
- Síncronos
 - Se incluye una señal de reloj. Las transferencias se realizan relativas al reloj.
 - Los dispositivos tienen que adaptarse a la velocidad que fije el reloj.
- Asíncronos
 - No se incluye señal de reloj.
 - Las transferencias se realizan de acuerdo a un proceso de “handshake” que determina el momento en el que los dispositivos están preparados para el intercambio de información.
 - Puede acomodar a dispositivos de diferentes velocidades.
- Semisíncronos
 - Funcionamiento síncrono pero permite la introducción de estados de “wait” para adaptarse a pequeños retrasos en las respuestas de los dispositivos.

Ejemplo: Protocolo asíncrono

Puerto paralelo: Interfaz Centronics

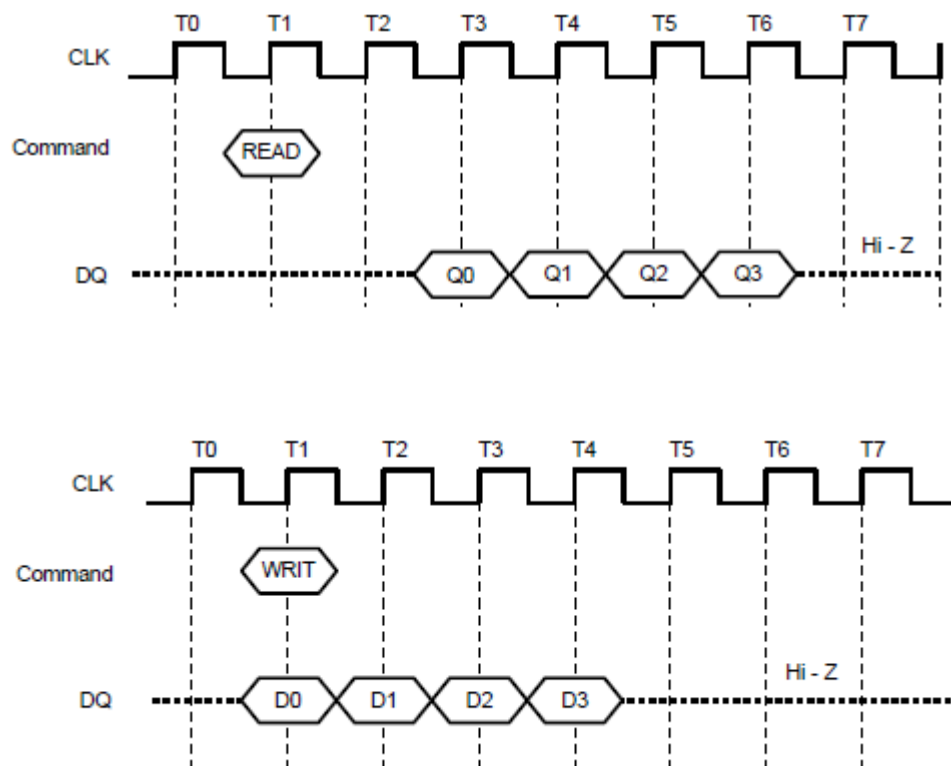


RAM dinámica

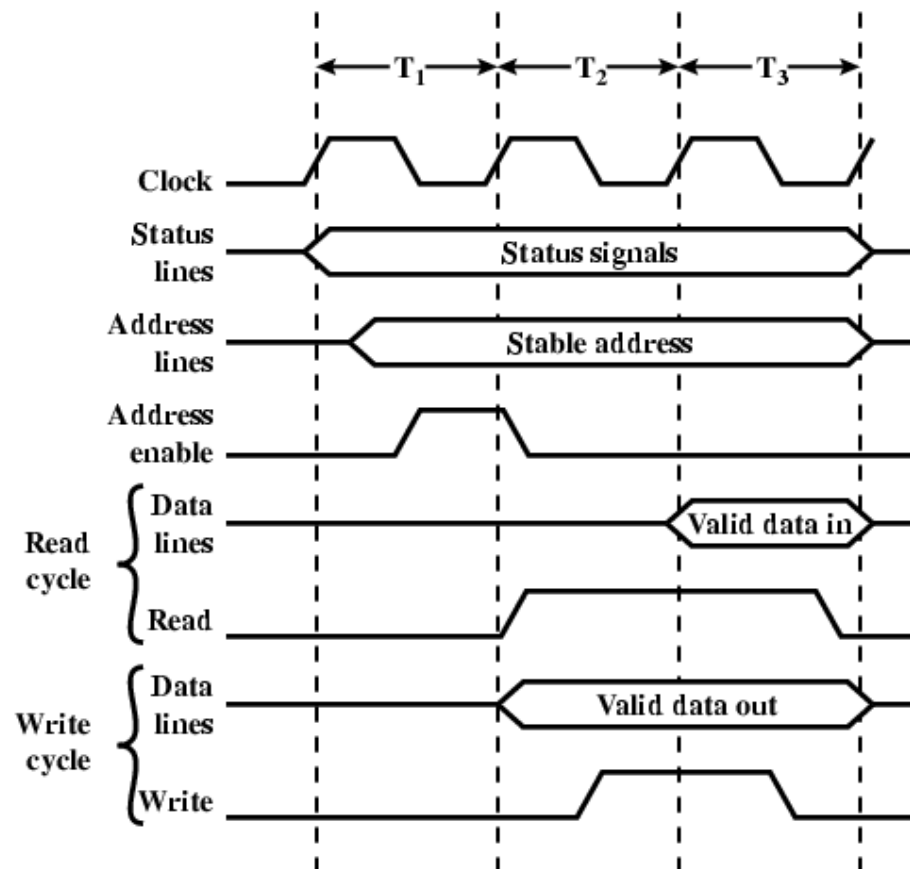


Ejemplo: Protocolo síncrono

Memoria SDRAM



Protocolo síncrono



TEMA 1: Arquitectura del sistema de E/S

- ❑ La E/S en el computador
- ❑ Conexión entre dispositivos de E/S, memoria y procesador
- ❑ Elementos básicos de la E/S
 - Interfaces
 - Periféricos
- ❑ El sistema operativo y los dispositivos de E/S
- ❑ Operaciones de E/S
 - Direccionamiento de la E/S
 - Decodificador de direcciones
 - Protocolos de comunicación
- ❑ Rendimiento de la E/S
- ❑ Clasificación de los dispositivos periféricos
- ❑ Casos de estudio: puertos de E/S en el IBM-PC

Clasificación de los dispositivos de E/S

❑ Características útiles para la clasificación de los periféricos

■ Comportamiento

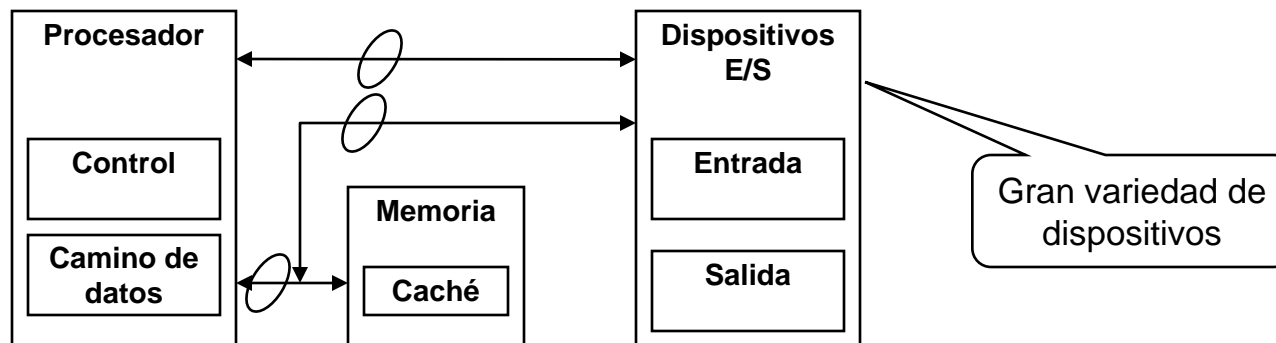
- Entrada (teclado, ratón,...)
- Salida (impresora, pantalla, ...)
- Lectura y escritura o almacenamiento (discos y cintas magnéticas)

■ Compañero

- Según quien introduzca o lea los datos en el otro extremo del periférico
 - Máquina
 - Humano

■ Frecuencia de datos

- Frecuencia máxima a la que pueden ser transferidos los datos entre procesador y periférico o entre memoria y periférico.



Ejemplos de dispositivos de entrada/salida

❑ Características

- Existe una gran variedad de dispositivos
- Características de funcionamiento diferentes
- Diferentes velocidades de transferencia de datos: lentos/rápidos
- Formatos y tamaños de palabra diferentes
 - Serie, paralelo, síncrono, asíncrono, codificación, ...
- Requieren de un módulo de E/S para la conexión al bus del sistema

Dispositivo	Comportamiento	Compañero	Frecuencia de datos KB/seg
Teclado	Entrada	Humano	0.01
Ratón	Entrada	Humano	0.02
Entrada de voz	Entrada	Humano	0.02
Escáner	Entrada	Humano	400
Salida de voz	Salida	Humano	0.6
Impresora de línea	Salida	Humano	1
Impresora láser	Salida	Humano	200
Pantalla gráfica	Salida	Humano	60000
Red-LAN	Entrada/salida	Máquina	500-6000
Modem	Entrada/salida	Máquina	2-8
Disco flexible	Almacenamiento	Máquina	100
Disco óptico	Almacenamiento	Máquina	1000
Cinta magnética	Almacenamiento	Máquina	2000
Disco magnético	Almacenamiento	Máquina	2000-10000

Otros ejemplos:

Ancho de banda de periféricos

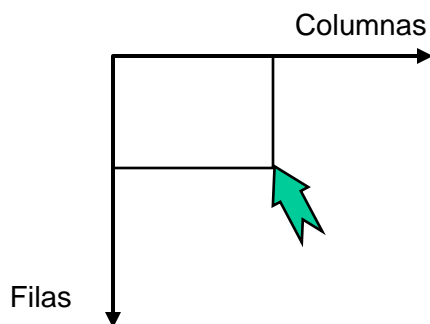
Device	Data rate
Keyboard	10 bytes/sec
Mouse	100 bytes/sec
56K modem	7 KB/sec
Telephone channel	8 KB/sec
Dual ISDN lines	16 KB/sec
Laser printer	100 KB/sec
Scanner	400 KB/sec
Classic Ethernet	1.25 MB/sec
USB (Universal Serial Bus)	1.5 MB/sec
Digital camcorder	4 MB/sec
IDE disk	5 MB/sec
40x CD-ROM	6 MB/sec
Fast Ethernet	12.5 MB/sec
ISA bus	16.7 MB/sec
EIDE (ATA-2) disk	16.7 MB/sec
FireWire (IEEE 1394)	50 MB/sec
XGA Monitor	60 MB/sec
SONET OC-12 network	78 MB/sec
SCSI Ultra 2 disk	80 MB/sec
Gigabit Ethernet	125 MB/sec
Ultrium tape	320 MB/sec
PCI bus	528 MB/sec
Sun Gigaplane XB backplane	20 GB/sec

Ejemplo: Ratón

❑ Dispositivo que permite controlar la posición de un cursor en pantalla

❑ Construcción sencilla

- Una bola al desplazar el ratón se mueve y hace contacto con ruedas ubicadas en los ejes X e Y y las hace girar. Este giro se detecta y permite actualizar unos contadores de filas y columnas.
- En una interfaz de pulsos existen cuatro tipo de pulsos: +X, -X, +Y, -Y. El ratón genera el número apropiado de pulsos por estas líneas para comunicar su movimiento.



+20 in Y -20 in X	+20 in Y	+20 in Y +20 in X
-20 in X	Initial position of mouse	+20 in X
-20 in Y -20 in X	-20 in Y	-20 in Y +20 in X

Ejemplo: Discos magnéticos

❑ Características

- Almacenamiento no volátil
- Altas capacidades de almacenamiento, barato y relativa lentitud
- Nivel más bajo de la jerarquía de memoria

❑ Tipos de discos

- Flexibles
- Duros

❑ Partes fundamentales

- Plato giratorio revestido de una superficie magnética
 - Disco duro: Plato metálico (aluminio o vidrio)
 - Disco flexible: Plástico

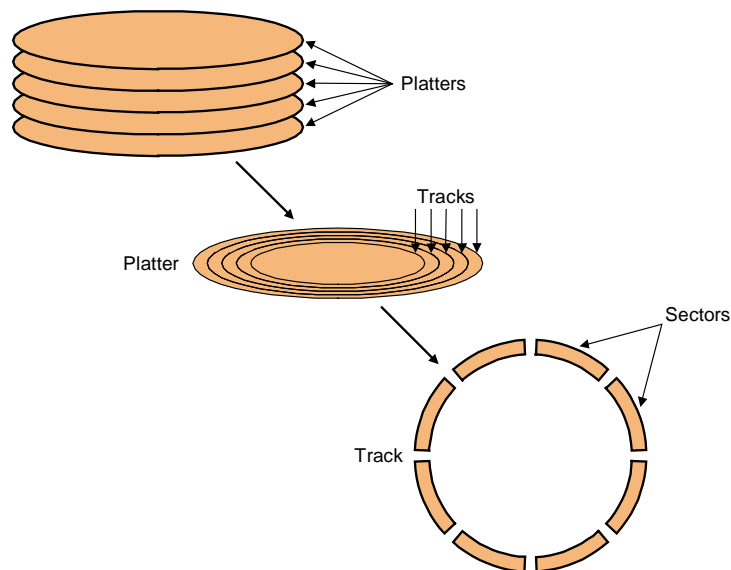
❑ Ventajas del disco duro frente al flexible

- Puede ser mayor porque es rígido
- Mayor densidad de almacenamiento
- Gira más rápido (5000-7000 rpm) -> Mayor velocidad de transferencia
- Pueden incorporar más de un plato

Discos magnéticos

❑ Organización del disco duro

- Platos/discos
- Pistas
 - 500 - 2000 pistas por superficies
- Sectores
 - Mínima unidad que se puede leer (32-512 sectores por pista).
- Cilindros
 - Conjunto de pistas bajo los brazos o cabezas en un punto determinado de todas las superficies



Características de los discos

❑ Tiempo de búsqueda

- Tiempo para posicionar la cabeza sobre la pista deseada

❑ Latencia rotacional

- Tiempo necesario para que el sector deseado pase por debajo de la cabeza una vez está posicionada en la pista correcta (latencia media: tiempo para girar 0.5 vuelta)

❑ Tiempo de transferencia

- Tiempo para la transferencia de un bloque de bits (un sector).

❑ Tiempo de controlador

- Tiempo que añade el controlador del dispositivo para realizar la E/S.

❑ Valores típicos

- Latencia rotacional
 - Velocidad de giro : 3600 - 7200 rpm
 - 16 - 8 ms por revolución o vuelta
 - Latencia rotacional media (0.5 vuelta): 8 (3600 rpm) - 4 ms (7200 rpm).
- Tiempo de transferencia depende de:
 - Tamaño del sector
 - Velocidad de giro
 - Densidad de almacenamiento
 - Diámetro de los discos
 - Valores típicos: 2 - 12 MB/seg

Tiempo de acceso al disco

❑ Ejemplo

- Tamaño del sector: 512 bytes
- Velocidad: 5400 rpm
- Tiempo de búsqueda: 12 ms
- Tiempo de transferencia: 4 MB/seg
- Tiempo de controlador: 1 ms

❑ ¿Tiempo de acceso al disco?

$T_{ACC} = T. \text{ búsqueda} + T. \text{ latencia} + T. \text{ de transferencia} + T. \text{ controlador}$

$T_{ACC} = 12 \text{ ms} + 0.5 * 60 / 5400 + 512 / (4 * 1024 * 1024) + 1$

$T_{ACC} = 12 \text{ ms} + 5.5 \text{ ms} + 0.1 \text{ ms} + 1 \text{ ms} = \underline{18.6 \text{ ms}}$

TEMA 1: Arquitectura del sistema de E/S

- ❑ **La E/S en el computador**
- ❑ **Conexión entre dispositivos de E/S, memoria y procesador**
- ❑ **Elementos básicos de la E/S**
 - Interfaces
 - Periféricos
- ❑ **El sistema operativo y los dispositivos de E/S**
- ❑ **Operaciones de E/S**
 - Direccionamiento de la E/S
 - Decodificador de direcciones
 - Protocolos de comunicación
- ❑ **Rendimiento de la E/S**
- ❑ **Clasificación de los dispositivos periféricos**
- ❑ **Casos de estudio: puertos de E/S en el IBM-PC**

Mapa de E/S en el IBM PC/AT

I/O Map

Table 35. I/O Map

Address (hex)	Size	Description
0000 - 000F	16 bytes	DMA controller 1
0020 - 0021	2 bytes	Interrupt controller 1
002E - 002F	2 bytes	Super I/O controller configuration registers
0040 - 0043	4 bytes	Counter/Timer 1
0048 - 004B	4 bytes	Counter/Timer 2
0060	1 byte	Keyboard controller
0061	1 byte	NMI, speaker control
0064	1 byte	Keyboard controller
0070 - 0071	2 bytes	Real time clock controller
0080 - 008F	16 bytes	DMA page registers
00A0 - 00A1	2 bytes	Interrupt controller 2
00B2 - 00B3	2 bytes	APM control
00C0 - 00DE	31 bytes	DMA controller 2
00F0 - 00FF	16 bytes	Numeric processor
0170 - 0177	8 bytes	Secondary IDE controller
01F0 - 01F7	8 bytes	Primary IDE controller
0200 - 0207	8 bytes	Audio / game port / joy stick
0220 - 022F	16 bytes	Audio (Sound Blaster compatible)
0228 - 022F	8 bytes	LPT3
0278 - 027F	8 bytes	LPT2
02E8 - 02EF	8 bytes	COM4/Video (8514A)
02F8 - 02FF	8 bytes	COM2
0330 - 0331	2 bytes	MPU-401 (MIDI)
0376 - 0377	2 bytes	Secondary IDE controller
0120 - 0127	8 bytes	Audio controller
0274 - 0277	4 bytes	I/O read data port for ISA Plug and Play enumerator
0378 - 037F	8 bytes	LPT1
0388 - 038D	6 bytes	AdLib [†] (FM synthesizer)
03B0 - 03BB	12 bytes	Video (monochrome)
03C0 - 03DF	32 bytes	Video (VGA [†])
03E8 - 03EF	8 bytes	COM3
03F0 - 03F5, 03F7	7 bytes	Diskette controller
03F6	1 byte	Primary IDE controller
03F8 - 03FF	8 bytes	COM1
04D0 - 04D1	2 bytes	Edge/level triggered PIC
0530 - 0537	8 bytes	Windows Sound System
LPT _n + 400h	8 bytes	ECP port, LPT _n base address + 400h
0CF8 - 0CFF*	8 bytes	PCI configuration registers
0CF9**	1 byte	Turbo and reset control register

* DWORD access only

** Byte access only

Puertos en el PC:

Placa base y chipset

Table 4.59 Motherboard and Chipset-Based Device Port Addresses

Address (Hex)	Size	Description
0000–000F	16 bytes	Chipset – 8237 DMA 1
0020–0021	2 bytes	Chipset – 8259 interrupt controller 1
002E–002F	2 bytes	Super I/O controller configuration registers
0040–0043	4 bytes	Chipset – Counter/Timer 1
0048–004B	4 bytes	Chipset – Counter/Timer 2
0060	1 byte	Keyboard/Mouse controller byte – reset IRQ
0061	1 byte	Chipset – NMI, speaker control
0064	1 byte	Keyboard/Mouse controller, CMD/STAT byte
0070, bit 7	1 bit	Chipset – Enable NMI
0070, bits 6:0	7 bits	MC146818 – Real-time clock, address
0071	1 byte	MC146818 – Real-time clock, data
0078	1 byte	Reserved – Board configuration
0079	1 byte	Reserved – Board configuration
0080–008F	16 bytes	Chipset – DMA page registers
00A0–00A1	2 bytes	Chipset – 8259 interrupt controller 2
00B2	1 byte	APM control port
00B3	1 byte	APM status port
00C0–00DE	31 bytes	Chipset – 8237 DMA 2
00F0	1 byte	Math Coprocessor Reset Numeric Error

Puertos en el PC:

Dispositivos orientados a bus

Table 4.60 Bus-Based Device Port Addresses

Address (Hex)	Size	Description
0168-016F	8 bytes	Fourth ATA interface
0170-0177	8 bytes	Secondary ATA interface
01E8-01EF	8 bytes	Third ATA interface
01F0-01F7	8 bytes	Primary ATA interface
0200-0207	8 bytes	Game port or joystick adapter
0210-0217	8 bytes	IBM XT expansion chassis
0220-0233	20 bytes	Creative Labs Sound Blaster 16 audio (default)
0240-0253	20 bytes	Creative Labs Sound Blaster 16 audio (alternate)
0260-0273	20 bytes	Creative Labs Sound Blaster 16 audio (alternate)
0270-0273	4 bytes	Plug and Play I/O read ports
0278-027F	8 bytes	Parallel port 2 (LPT2)
0280-0293	20 bytes	Creative Labs Sound Blaster 16 audio (alternate)
02E8-02EF	8 bytes	Serial port 4 (COM4)
02EC-02EF	4 bytes	Video, 8514, or ATI standard ports
02F8-02FF	8 bytes	Serial port 2 (COM2)
0300-0301	2 bytes	MPU-401 MIDI port (secondary)
0320-0323	4 bytes	XT (8-bit) hard disk controller
0330-0331	2 bytes	MPU-401 MIDI port (default)
0366	1 byte	Fourth ATA command port
0367, bits 6:0	7 bits	Fourth ATA status port
0370-0375	6 bytes	Secondary floppy controller
0376	1 byte	Secondary ATA command port
0377, bit 7	1 bit	Secondary floppy controller disk change
0377, bits 6:0	7 bits	Secondary ATA status port
0378-037F	8 bytes	Parallel Port 1 (LPT1)
0388-038B	4 bytes	Audio – FM synthesizer
03B0-03BB	12 bytes	Video, Mono/EGA/VGA standard ports
03BC-03BF	4 bytes	Parallel port 1 (LPT1) in some systems
03BC-03BF	4 bytes	Parallel port 3 (LPT3)
03C0-03CF	16 bytes	Video, EGA/VGA standard ports
03D0-03DF	16 bytes	Video, CGA/EGA/VGA standard ports
03E6	1 byte	Third ATA command port

Address (Hex)	Size	Description
03E7, bits 6:0	7 bits	Third ATA status port
03E8-03EF	8 bytes	Serial port 3 (COM3)
03F0-03F5	6 bytes	Primary floppy controller
03F6	1 byte	Primary ATA command port
03F7, bit 7	1 bit	Primary floppy controller disk change
03F7, bits 6:0	7 bits	Primary ATA status port
03F8-03FF	8 bytes	Serial port 1 (COM1)
04D0-04D1	2 bytes	Edge/level triggered PCI interrupt controller
0530-0537	8 bytes	Windows sound system (default)
0604-060B	8 bytes	Windows sound system (alternate)
0678-067F	8 bytes	LPT2 in ECP mode
0778-077F	8 bytes	LPT1 in ECP mode
0CF8-0CFB	4 bytes	PCI configuration address registers
0CF9	1 byte	Turbo and reset control register
0CFC-0CFF	4 bytes	PCI configuration data registers
FF00-FF07	8 bytes	ATA bus master registers
FF80-FF9F	32 bytes	Universal serial bus
FFA0-FFA7	8 bytes	Primary bus master ATA registers
FFA8-FFAF	8 bytes	Secondary bus master ATA registers

FIN

¿Preguntas?

Puerto paralelo del IBM-PC

Lectura voluntaria!!!

□ Índice de la presentación

- Introducción
- Conectores y señales
- Arquitectura del interfaz
- Puertos bidireccionales
- El puerto paralelo como entrada de 8 bits de datos
- Modos del puerto paralelo en la BIOS

Introducción al puerto paralelo del IBM-PC

❑ Puerto paralelo: Baja velocidad

- Conjuntamente con los puertos serie constituyen las conexiones de baja velocidad del PC.
- Actualmente estos puertos (legacy ports) han sido sustituidos por puertos con velocidades más altas.
 - USB y FireWire
- Las conexiones paralelas tienen problemas de “skew” y de ciertas inestabilidades en las señales que dificultan su uso cuando se aumenta la frecuencia de transmisión y las distancias.

❑ Utilizado para comunicaciones paralelas de entrada/salida

- Impresoras
 - Originalmente, hasta 3 puertos: LPT1, LPT2, LPT3
 - Actualmente 1 (o ninguno)
- Y otros dispositivos específicos
 - Aplicaciones de control
 - Programadores
 - Dispositivos externos específicos

Modos de funcionamiento:

Norma IEEE 1284 (primera versión, 1994)

❑ Modo estándar SPP (o Centronics)

- Usa el hardware estándar disponible en el puerto paralelo original
- Envío de información en una sola dirección
- Velocidad: 50-150 KB/seg
- El modo estándar también es conocido como el modo “Centronics”. Sólo puede enviar información en una dirección.

❑ Modo nibble o byte

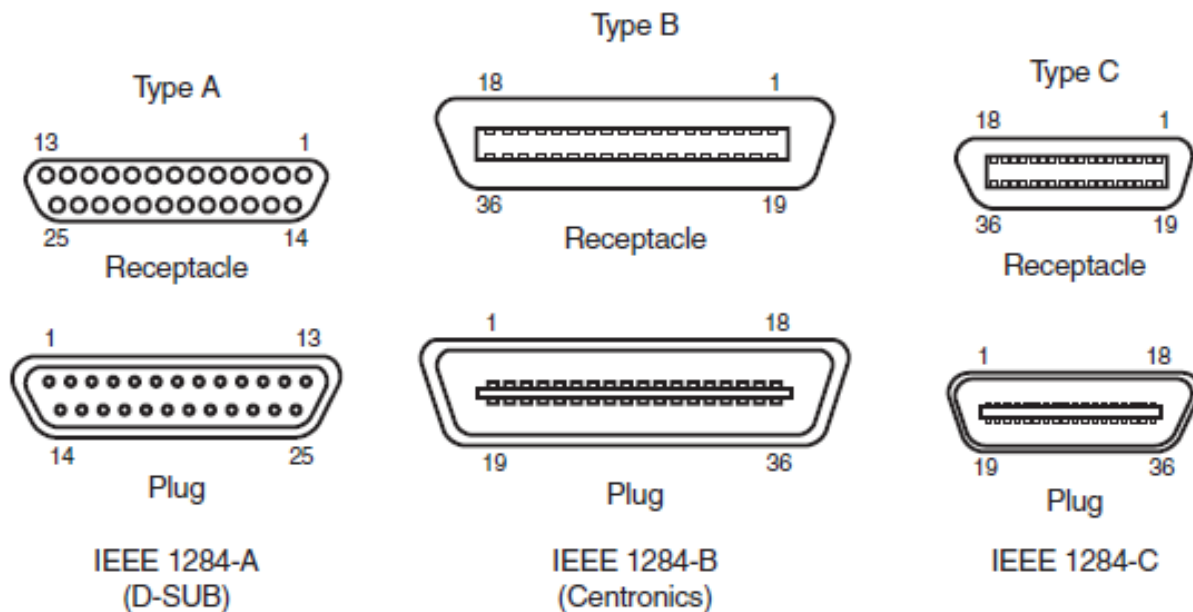
- Permite la lectura o entrada de datos
- Nibble: entradas de 4 bits
- Byte: entrada de 8 bits (modo bidireccional)

❑ Modos Enhanced Parallel Port (EPP) y Extended Capabilities Port (ECP)

- Requieren hardware adicional encargado de implementar el “handshake”
- Sólo es necesario las instrucciones de E/S. El protocolo es implementado en hardware
- El ECP puede usar canales DMA y buffers tipo FIFO
- Más rápidos : 0,5-2,7 MB/seg
- Mantienen la compatibilidad hacia atrás

□ Tres tipos de conectores de acuerdo a la norma IEEE 1284

- 1284 Type A: conector D-Type 25 pines ubicado en el conector del computador
- 1284 Type B: Conector Centronics de 36 pines ubicado en la impresora
- 1284 Type C: Similar al tipo B pero más pequeño, mejores propiedades eléctricas y más fácil de ensamblar



Hardware:

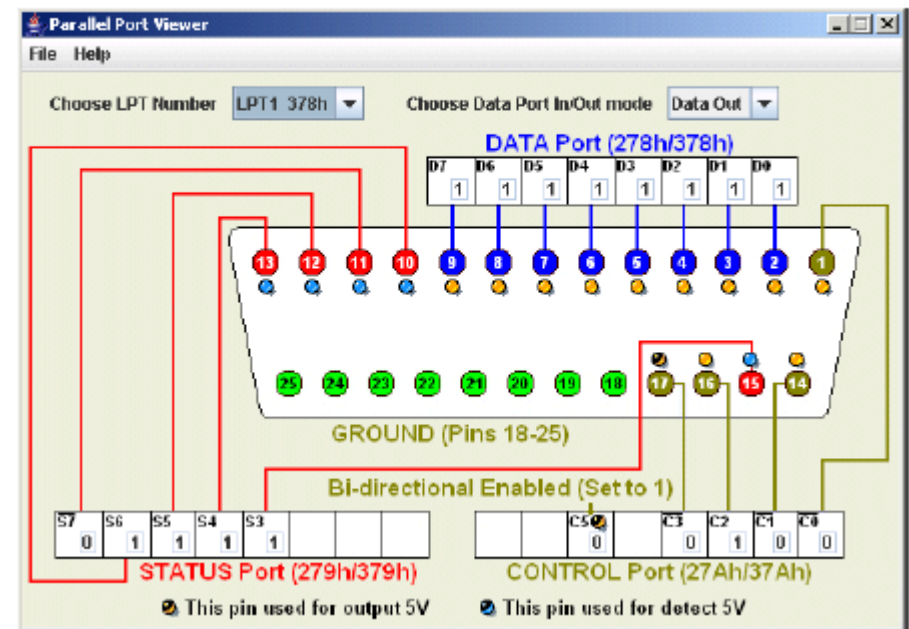
Señales del conector D-Type 25

Señales conector DB-25

Pin (DB25)	Nombre Señal	Dirección	Registro-bit	Negada por hardware
1	nstrobe	out	C0'	0
2	Data0	In/Out	D0	1
3	Data1	In/Out	D1	1
4	Data2	In/Out	D2	1
5	Data3	In/Out	D3	1
6	Data4	In/Out	D4	1
7	Data5	In/Out	D5	1
8	Data6	In/Out	D6	1
9	Data7	In/Out	D7	1
10	nAck	In	S6	1
11	Busy	In	S7'	0
12	Paper-out	In	S5	1
13	Select	In	S4	1
14	LineFeed	Out	C1'	0
15	nerror	In	S3	1
16	nInitialize	Out	C2	1
17	nSelectPrinter	Out	C3'	0
18-25	Ground			

D_n , C_n y S_n : Bit n de los registros de Datos, Control y Estado
 nseñal: la n delante de la señal significa que es activa a nivel bajo

Conector DB-25



Direcciones de puertos

❑ Cada puerto LPT tiene asignadas 3 direcciones de entrada/salida que se corresponden con registros internos del interfaz:

- Reg. DATOS (dirección base)
- Reg. ESTADO (dirección base +1)
- Reg. CONTROL (dirección base +2)

Address	Notes:
3BCh - 3BFh	Used for Parallel Ports which were incorporated in to Video Cards and now, commonly an option for Ports controlled by BIOS. - Doesn't support ECP addresses.
378h - 37Fh	Usual Address For LPT 1
278h - 27Fh	Usual Address For LPT 2

BIOS y puertos LPTn

- ❑ La BIOS, tras el arranque deposita la dirección asignada en memoria
- ❑ La BIOS en el arranque inicia una exploración secuencial de puertos paralelos en orden: 3BCh → 378h → 278h
 - Según los encuentra los va asignando a LPT1, LPTn
 - Guarda esa asignación en memoria a partir de la dirección 0000:0408

Start Address	Function
0000:0408	LPT1's Base Address
0000:040A	LPT2's Base Address
0000:040C	LPT3's Base Address
0000:040E	LPT4's Base Address (Note 1)

Registros internos del interfaz paralelo: Modo SPP

REGISTRO DE DATOS

- ❑ 8 bits (salida)
- ❑ Posibles direcciones
 - 3BCh --- 378h --- 278h

Offset	Name	Read/Write	Bit No.	Properties
Base + 0	Data Port	Write (Note-1)	Bit 7	Data 7 (Pin 9)
			Bit 6	Data 6 (Pin 8)
			Bit 5	Data 5 (Pin 7)
			Bit 4	Data 4 (Pin 6)
			Bit 3	Data 3 (Pin 5)
			Bit 2	Data 2 (Pin 4)
			Bit 1	Data 1 (Pin 3)
			Bit 0	Data 0 (Pin 2)

Registros internos del interfaz paralelo: Modo SPP

REGISTRO DE ESTADO

- ❑ 5 bits (entrada)
- ❑ Posibles direcciones
 - 3BDh --- 379h --- 279h

Base + 1	Status Port	Read Only	Bit 7	Busy
			Bit 6	Ack
			Bit 5	Paper Out
			Bit 4	Select In
			Bit 3	Error
			Bit 2	IRQ (Not)
			Bit 1	Reserved
			Bit 0	Reserved

Registros internos del interfaz paralelo: Modo SPP

REGISTRO DE CONTROL

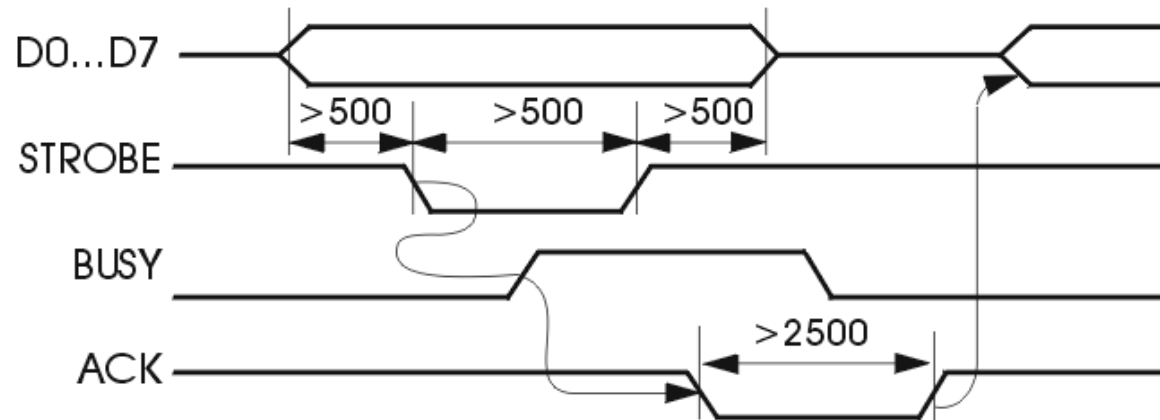
- ❑ 4 señales (salida)
- ❑ Posibles direcciones
 - 3BEh --- 37Ah --- 27Ah

Base + 2	Control Port	Read/Write	Bit 7	Unused
			Bit 6	Unused
			Bit 5	Enable bi-directional Port
			Bit 4	Enable IRQ Via Ack Line
			Bit 3	Select Printer
			Bit 2	Initialize Printer (Reset)
			Bit 1	Auto Linefeed
			Bit 0	Strobe

Centronics:

Envío de datos a la impresora

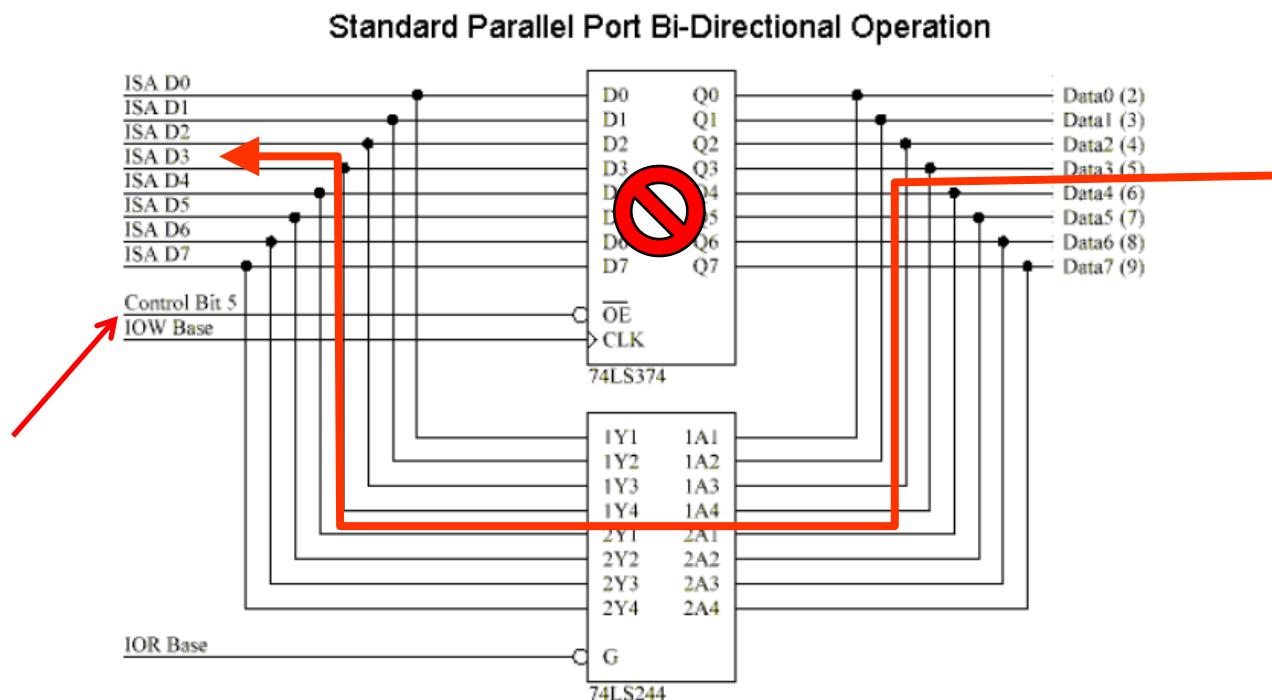
- ❑ Estándar para enviar datos a la impresora usado por la mayoría de las impresoras de interfaz paralelo.
- ❑ Protocolo implementado por software a través del interfaz
- ❑ Pasos para imprimir un byte:
 - 1 Obtener la dirección base
 - 2 Seleccionar la impresora (línea SLCT IN#)
 - 2 Leer el estado. Mientras esté ocupada no actuar
 - ✓ Salvo que alguna de las otras líneas revele un estado erróneo o inactivo
 - 3 Enviar el byte de datos
 - 4 Activar/desactivar STROBE#
 - 5 Esperar reconocimiento (ACKNLG#)



Puertos bidireccionales

Bit 5 del registro de control: habilita o deshabilita la función bidireccional del puerto paralelo.

Bit 5 = 1 → pines *Data0-7* en alta impedancia → se pueden leer datos de entrada



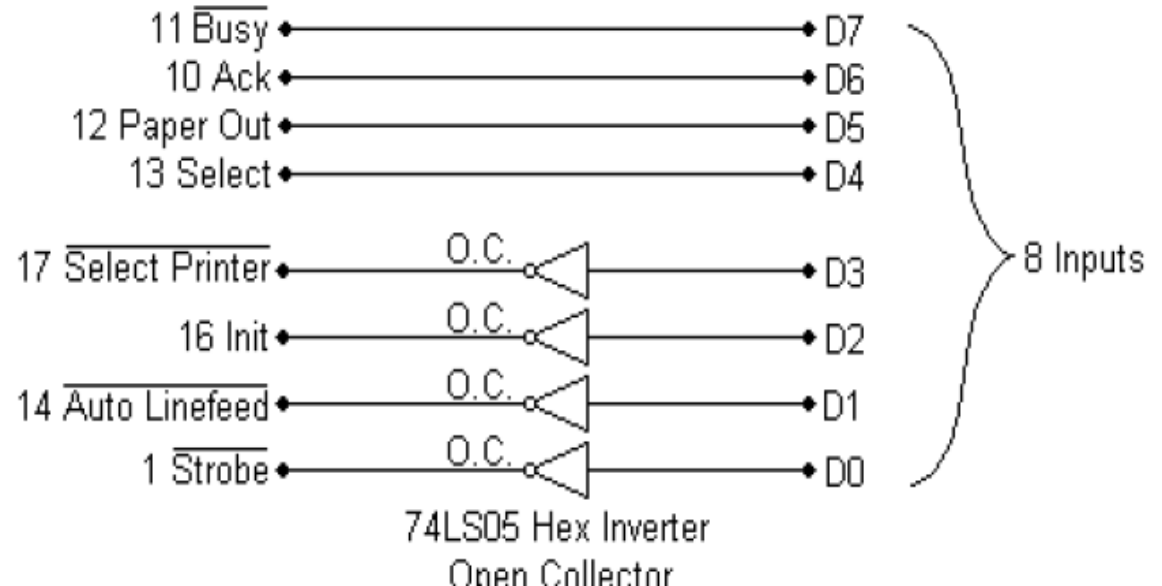
El puerto paralelo como entrada de 8 bits

❑ Si las líneas de datos (Data7-0) no son bidireccionales aún tenemos otra forma de realizar la entrada de 8 bits

- Uso de los puertos de estado (4 bits) y control (4 bits, open collector)
 - Enviar previamente al puerto de control el valor “xxxx0100” para que la lectura sea correcta.

```
outportb(CONTROL, inportb(CONTROL) & 0xF0 | 0x04);
a = (inportb(STATUS) & 0xF0); /* Read MSnibble */
a = a |(inportb(CONTROL) & 0x0F); /* Read LSnibble */

a = a ^ 0x84; /* Toggle Bit 2 & 7 */
```



Selección del modo de funcionamiento del puerto paralelo y la BIOS

- ❑ Hoy en día, la mayoría de los puertos paralelos del PC son multimodos
- ❑ Puertos configurables por software a través de la BIOS
- ❑ Modos típicos o frecuentes en las BIOS
 - Modo impresora SPP (Centronics), estándar, por defecto, normal, ...
 - Bit 5 del puerto de control sin efecto
 - Modo Estándar & bidireccional. Compatible SPP
 - Bit 5 del puerto de control controla la bidireccionalidad del puerto
 - Modo EPP (Enhanced Parallel Port). Compatible SPP
 - Se añaden registros (EPP) al interfaz. Un hardware específico se encarga del protocolo.
 - Modo ECP (Extended Capabilities Port). Mantiene compatibilidad con los anteriores
 - Registro de control ECR para especificar el modo de trabajo, añade hardware específico, capacidades de DMA, buffers FIFO, soporta direccionamiento de dispositivos.

Modo EPP: Enhanced Parallel Port

Address	Port Name	Read/Write
Base + 0	Data Port (SPP)	Write
Base + 1	Status Port (SPP)	Read
Base + 2	Control Port (SPP)	Write
Base + 3	Address Port (EPP)	Read/Write
Base + 4	Data Port (EPP)	Read/Write
Base + 5	Undefined (16/32bit Transfers)	-
Base + 6	Undefined (32bit Transfers)	-
Base + 7	Undefined (32bit Transfers)	-

Table 2 EPP Registers

Modo ECP: Extended Capabilities Port

Address	Port Name	Read/Write
Base + 0	Data Port (SPP)	Write
	ECP Address FIFO (ECP MODE)	Read/Write
Base + 1	Status Port (All Modes)	Read/Write
Base + 2	Control Port (All Modes)	Read/Write
Base + 400h	Data FIFO (Parallel Port FIFO Mode)	Read/Write
	Data FIFO (ECP Mode)	Read/Write
	Test FIFO (Test Mode)	Read/Write
	Configuration Register A (Configuration Mode)	Read/Write
Base + 401h	Configuration Register B (Configuration Mode)	Read/Write
Base + 402h	Extended Control Register (Used by all modes)	Read/Write

Table 2 : ECP Registers

Bit	Function	
7:5	<i>Selects Current Mode of Operation</i>	
	000	Standard Mode
	001	Byte Mode
	010	Parallel Port FIFO Mode
	011	ECP FIFO Mode
	100	EPP Mode
	101	Reserved
	110	FIFO Test Mode
	111	Configuration Mode
4	ECP Interrupt Bit	
3	DMA Enable Bit	
2	ECP Service Bit	
1	FIFO Full	
0	FIFO Empty	

Table 3 ECR - Extended Control Register