

安徽大学 2021—2022 学年第 2 学期

《 硬件描述语言与 FPGA 应用 》 考试试卷 (A 卷)

(闭卷 满分 100 分 时间 120 分钟)

考场登记表序号 \_\_\_\_\_

一、单项选择题 (每小题 2 分, 共 20 分)

1. 在 Verilog HDL 中, 十进制的整型常量用字母 ( ) 表示。

A. b                      B. d                      C. h                      D. o

2. 若  $a=4'b1010$ ,  $b=4'b11x0$ , 则  $a|b$  的值为 ( )。

A. 1                      B. 0                      C.  $11x0$                       D. 1110

3. 下列程序中, 必须被定义成为 reg 型的是 ( )。

```
module example (o1, o2, a, b, c, d);
```

```
input a, b, c, d;
```

```
output o1, o2;
```

```
and u1(o2, c, d);
```

```
always@(a or b)
```

```
if(a)o1=b;
```

```
else
```

```
o1=0;
```

```
endmodule
```

A. o1                      B. o2                      C. a 和 b                      D. c 和 d

4. 下列程序运行后, regb 的值为 ( )。

```
module shift ();
```

```
reg [7: 0] rega, regb;
```

```
initial rega = 8'b000001100;
```

```
initial fork
```

```
regb <= rega << 5;
```

```
join
```

```
endmodule
```

A. 11000000                      B. 00000000                      C. 10000000                      D. 10000001

5. Verilog 中 ( ) 工具可以把行为级的 Verilog 模块自动转换为门级结构。

- A. 综合器                      B. 缓冲器                      C. 寄存器                      D. 总线

6. 下列那个语句 (     ) 不是分支语句。

- A. if-else                      B. case                      C. casez                      D. repeat

7. 下面的代码主要实现四选一的多路选择器, 请问空格应该填写 (     )。

```
module mux4_to_1(out, i0, i1, i2, i3, s1, s0)
```

```
output out;
```

```
input i0, i1, i2, i3;
```

```
input s1, s0;
```

```
reg out;
```

```
always @( i0 or i1 or i2 or i3 or s1 or s0)
```

```
begin
```

```
    ____({s1,s0})
```

```
    2'b00:out=i0;
```

```
    2'b01:out=i1;
```

```
    2'b10:out=i2;
```

```
    2'b11:out=i3;
```

```
    default:out=1'bx;
```

```
    endcase
```

```
end
```

```
endmodule
```

- A. assign                      B. case                      C. always                      D. initial

8. 已知  $a = 1b'1$ ;  $b = 3b'001$ ; 那么  $\{a,b\} =$  (     )

- A.  $4b'0011$                       B.  $3b'001$                       C.  $4b'1001$                       D.  $3b'10$

9. Verilog HDL 采用 (     ) 关键字可以定义状态编码。

- A. case                      B. parameter                      C. default                      D. reg

10. 下列 (     ) 不是循环语句。

- A. while 语句                      B. for 语句                      C. forever 语句                      D. if 语句

## 二、判断题 (每小题 1 分, 共 10 分)

11. Verilog HDL 既是一种行为描述的语言也是一种结构描述的语言。(     )

12. Verilog HDL 中的条件运算符是双目运算符。(     )

13. 并行块中的语句是一条接着一顺序执行的。(     )

14. always 语句当敏感列表是由多个事件组成时, 使用关键字 **and** 来表示。( )
15. 一个 Verilog HDL 程序中的 initial 语句只执行一次。( )
16. Verilog HDL 的一个 case 语句只准有一个 default 项。( )
17. 用 Verilog HDL 设计的可综合模块, 应当避免使用异步时序逻辑。( )
18. 乘法器的一个乘法单元由一个与门和一个全加器构成。( )
19. Melay 状态机的输出仅取决于当前的状态。( )
20. 组合逻辑中 always 块常用阻塞赋值, 时序逻辑中 always 块常用非阻塞赋值。( )

### 三、简答题 (每小题 6 分, 共 24 分)

- 21、简述自顶向下设计的概念。
- 22、简述一个完整的 Verilog 程序由哪 4 个部分构成。
- 23、简述 Verilog 设计逻辑电路的基本思路。
- 24、简述有限状态机设计的一般步骤。

### 四、程序改错题 (每小题 2 分, 共 10 分) (任意答对 5 个或以上得 10 分)

- 25、下列程序为一个上升沿有效的带复位功能的移位寄存器, 请改出其中的错误。

```

Line1:    module shifter( din, clk, clr, dout)
Line2:    input din, clk, clr;
Line3:    output [7:0] dout;
Line4:    wire [7:0] dout;
Line5:    always @(negedge clk);
Line6:    begin
Line7:    if(clk)
Line8:        dout <= 8'b_0000_0000;
Line9:    else
Line10:        dout = dout<<1;
Line11:        dout[0] = din;
Line12:    end
Line13:    end
Line14:

```

### 五、程序填空题 (第 26-30 题每小题 2 分, 第 31 题 6 分, 共 16 分)

//下列程序为一个八位计数器。

//只有当out[7:0]的所有各位都为1，并且进位cin也为1时才能产生进位cout。

```
module counter8( out, cout, data, load, cin, clk);
```

```
output [(26)] out;
```

```
output cout;
```

```
input [7:0] data;
```

```
input load, cin, clk;
```

```
always @( (27) clk)
```

```
begin if( (28) )
```

```
    out<= (29);
```

```
    (30)
```

```
    out = out + cin;
```

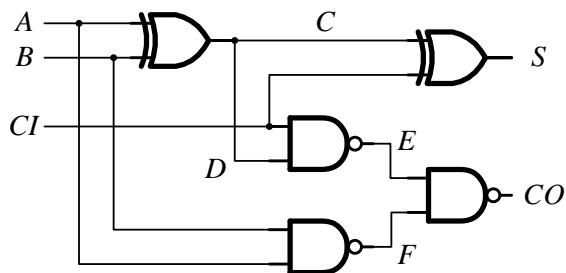
```
end
```

```
assign cout= (31)
```

```
endmodule
```

## 六、程序设计题（每小题10分，共20分）

32. 根据如图所示电路，编写程序。



33. 根据如图所示状态转移图，编写一个同步状态机程序。

