

安徽大学 2023—2024 学年第 1 学期

《 硬件描述语言与 FPGA 应用 》 考试试卷（期中卷）

（闭卷 满分 100 分 时间 120 分钟）

考场登记表序号_____

一、单项选择题（每小题 2 分，共 20 分）

1. Verilog 中（ ）工具可以把行为级的 Verilog 模块自动转换为门级结构。

- A. 综合器 B. 缓冲器 C. 触发器 D. 寄存器

2. 与电路原理图输入法相比，采用 Verilog HDL 设计复杂数字电路的特点不包括（ ）。

- A. 与工艺无关 B. 周期长
C. 容易移植 D. 容易修改

3. 不完整的 if 语句，其综合结果可实现（ ）。

- A. 时序逻辑电路 B. 组合逻辑电路
C. 双向电路 D. 三态控制电路

4. 下列标识符中，（ ）是不合法的标识符。

- A. 9moon B. State0 C. Not_Ack_0 D. singal

5. 下列哪些不属于基本门级元件（ ）。

- A. nand B. nor C. and D. RAM

6. verilog HDL 中，若 $a=4b'1011$ ，那么 $\&a =$ （ ）

- A. $4'b1011$ B. $4'b1111$ C. $1'b0$ D. $1'b1$

7. Verilog HDL 采用（ ）关键字可以定义状态编码。

- A. case B. parameter C. default D. reg

8. 请根据以下两条语句的执行，最后变量 A 的值是（ ）。

reg [7:0] A;

A=2'hFF;

- A. $8'b0000_0011$ B. $8'h03$ C. $8'b1111_1111$ D. $8'b11111111$

9. 关于过程块以及过程赋值描述中，下列正确的是（ ）

A、在过程赋值语句中表达式左边的信号一定是寄存器类型；

B、过程块中的语句一定是可综合的；

- C、在过程块中，使用过程赋值语句给 wire 赋值不会产生错误；
D、过程块中时序控制的种类有简单延迟、边沿敏感和电平敏感。

10. 下列程序产生的波形 ()

```
always begin
#5 clk=0;
#10 clk=~clk;
end
```

- A. 占空比为 1/3 B. clk=1 C. clk=0 D. 周期为 10

二、判断题（每小题 2 分，共 10 分）

11. FPGA全称为复杂可编程逻辑器件。 ()
12.在Verilog HDL中采用阻塞赋值时，信号的值在赋值语句执行完后就立刻改变。()
13. Verilog HDL中任务可以调用其他任务和函数。 ()
14. reg型变量主要用在连续赋值语句中，做为模块之间的互连信号。 ()
15. Verilog中always语句只执行一次。 ()

三、简答题（每小题 10 分，共 20 分）

16. 简述 Verilog HDL 编程语言中函数与任务的运用有什么特点？
17. 简述 HDL 的设计流程。

四、程序改错题（每小题 2 分，共 10 分）（任意答对 5 个或以上得 10 分）

//以下是一个上升沿触发的低电平清零，高电平置数（置全 1）串入串出移位寄存器。

```
Line1:    module exaa(clk, clr, set, z, q, d)
Line2:    input q[7:0];
Line2:    input d, clk, clr, set;
Line3:    output z;
Line3:    reg z;
Line4:    always
Line5:        if(clr)
Line6:            q<=8'b_0000_0000;
```

```
Line7:          else if(set)
Line8:          q<=8'hff;
Line9:          else
Line10:          q=q<<1;
Line10:          z<=q[7];
Line10:          q[0]<=d;
Line11:          end
Line12:  endmodule
```

五、程序填空题（每空 3 分，共 15 分）

//以下是通过case语句实现四选一电路部分程序，将横线上的语句补上，使程序形成完整功能。

```
module mux4_to_1 (out, i0, i1, i2, i3, s);
output out;
input i0,i1,i2,i3;
input [1:0] s;
reg out;
always@(s or i0 or i1 or i2 or i3)
    case _____ (19)
        _____ (20)
        _____ (21)
        _____ (22)
        _____ (23)
    endcase
endmodule
```

六、程序设计题（第31题10分，第32题15分，共25分）

24. 设计一个8位加法器
25. 使用if else语句编程实现一个实现同步清0、同步置1的D触发器。