

安徽大学 2021—2022 学年第 2 学期

《硬件描述语言与 FPGA 应用》(A 卷)

考试试题参考答案及评分标准

课程目标	课程目标 1	课程目标 2	课程目标 3
分布	一、1, 2, 3, 4, 6, 7, 8, 9, 10 二、12、13、14、15, 16, 17, 18, 19, 20 四、25	五、26, 27, 28, 29, 30, 31 六、32、33	一、5 二、11, 三、21、22、23、24
分值	37	36	27

一、单项选择题（每小题 2 分，共 20 分）

1-5 BDACA 6-10 DBCBD

二、判断题（每小题 1 分，共 10 分）

11-15 √ × × × √ 16-20 √ √ √ × √

三、简答题（每小题 6 分，共 24 分）

21、简述自顶向下设计的概念。

自顶向下的设计是从系统级开始，把系统划分为基本单元，然后再把每个单元划分为下一层的基本单元，直到可以直接用 EDA 单元库中的基本元件来实现为止。

22、简述一个完整的 Verilog 程序由哪 4 个部分构成。

完整的 Verilog 程序包括 4 个主要部分：端口定义、I/O 说明、内部信号声明和功能定义。

23、简述 Verilog 设计逻辑电路的基本思路。

用比较直观的行为描述来开始设计过程，通过 Verilog 语言的仿真测试验证其正确后，就完成了第一部的设计工作。然后用一种工具把行为模块转化成门级结构，再经过 Verilog 语言的仿真测试验证其正确后，便完成了前端的逻辑设计，接下来可以进行后端的制造工作，这样做大大提高了设计的效率和准确性，

24、简述有限状态机设计的一般步骤。

(1)逻辑抽象，得出状态转移图；(2)状态化简；(3)状态分配；(4)选定触发器的类型并求出状态方程、驱动方程和输出方程；(5)按照方程得出逻辑图。

四、程序改错题（每改对 1 个错误得 2 分，共 10 分）

25. Line1: 语句最后加分号
 Line4: wire 改为 reg
 Line5: negedge 改为 posedge
 Line5: 分号删除
 Line7: clk 改为 clr
 Line8: 前一个下划线删除
 Line9: else 后加 begin
 Line14: 加 endmodule

五、程序填空题（第 30-34 题每小题 2 分，第 35 题 6 分，共 16 分）

- 26、 [7:0]
27、 posedge
28、 load
29、 date
30、 else
31、 & out & cin;

六、程序设计题（每小题10分，共20分）

32.
module fulladder (s, co, a, b, ci);
input a, b, ci;
output s, co;
 xor u1 (c, a, b);
 xor u2 (s, c, ci);
 nand u3 (e, d, ci);
 nand u4 (d, a, b);
 nand u5 (co, e, f);
endmodule

(其余正确写法均得分)

33.
module fsm (Clock, Reset, A, K2, K1);

```

input Clock,  Reset,  A;
output K;
reg K;
reg [1:0] state  ;
Parameter    left = 2'b00,  up = 2'b01,  right = 2'b10;
always @(posedge Clock)
    if (! Reset)
        begin
            state <= left;  K<=0;
        end
    else
        case (state)
left: begin
    if (A)
        begin
            state <=up;
            K<=0;
        end
        else state <= left;
    end
up:  begin
    if (!A)
        state <= Stop;
    else
        state <= start;
    end
right: begin
    if (A)
        begin

```

```
        state <=left;
        K<= 1;
    end
else
    state <= Stop;
end
default: state<=2'bxx;
endcase
endmodule
```