

Dall'analogico al  
digitale

# Introduzione

Un circuito digitale opera su un insieme discreto di due livelli, 0 (di solito il livello basso L) e 1 (di solito il livello alto H). Solitamente i livelli basso e alto sono realizzati a 0 V e 5 V.

Vantaggi:

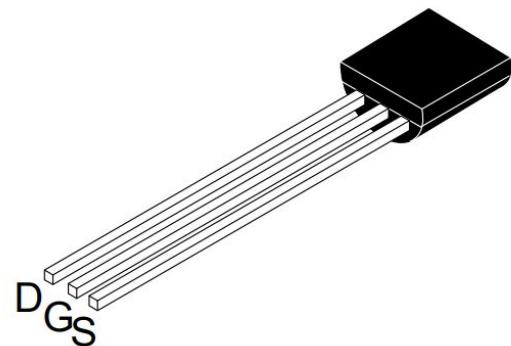
- riduce il rumore quasi a zero;
- è più facile disaccoppiare componenti di un circuito, cioè permette di astrarre differenti scale di complessità in un circuito.

# Costruzione di una porta NOT

Costruiremo una porta NOT usando un transistor MOSFET (*Metal-Oxide-Semiconductor Field-Effect Transistor*). In figura l'immagine di un MOSFET BS170: G indica il gate, D il drain, S il source.

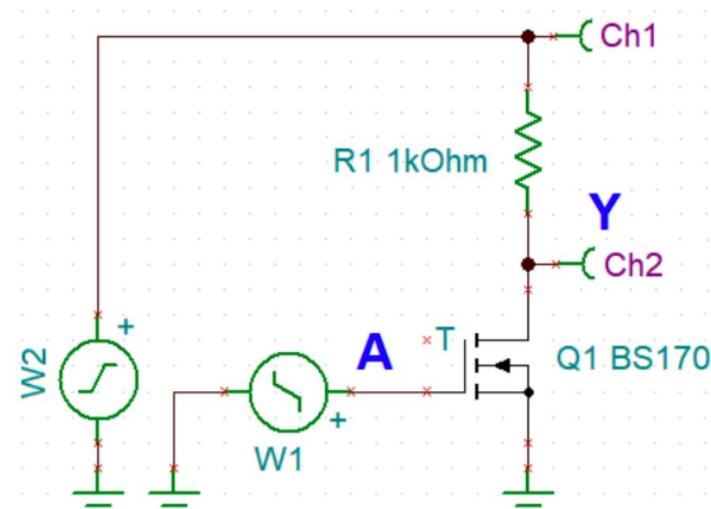
Secondo il datasheet il voltaggio di *threshold* tipico è 2.1 V.

**BS170**



In figura il circuito che realizza una porta NOT con un transistor MOSFET.

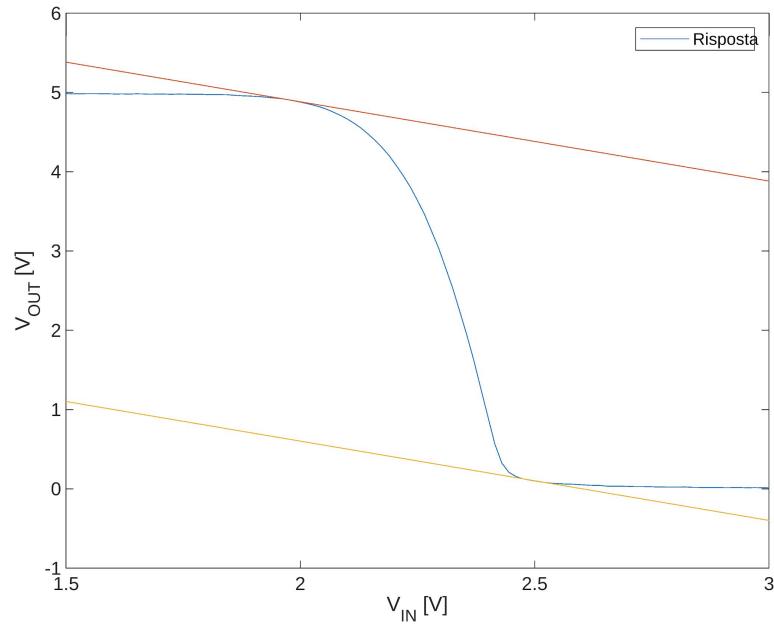
- Se il segnale in ingresso A è vicino a zero il transistor si comporta da isolante, dunque il segnale in uscita Y è alto.
  - Se il segnale in ingresso A viene portato oltre il valore di *threshold* il transistor diventa molto conduttivo, dunque il segnale in uscita è come cortocircuitato a terra.



# Funzione di risposta

Nel grafico è riportata la funzione di risposta del circuito. Tracciando le due rette tangenti di pendenza -1 si ottengono i valori:

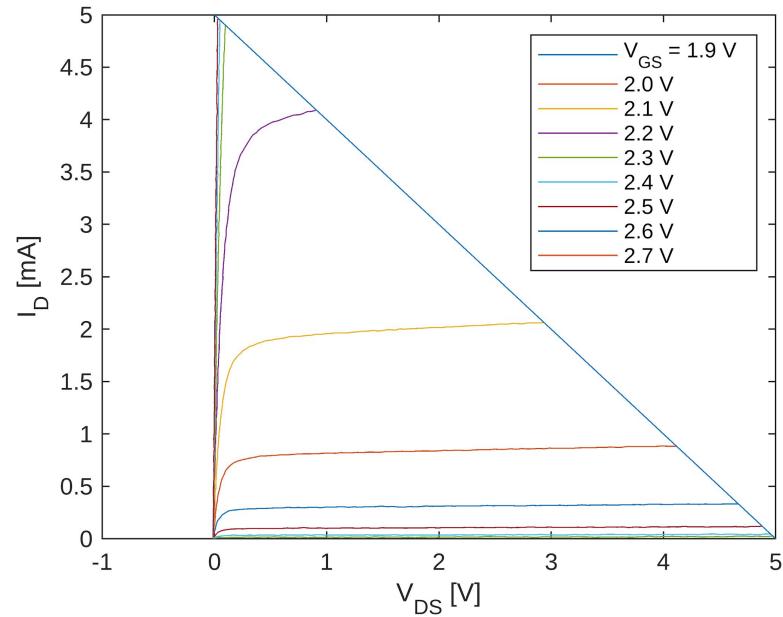
- $V_{OH} = 4.92 \text{ V}$
- $V_{IL} = 1.97 \text{ V}$
- $V_{OL} = 0.13 \text{ V}$
- $V_{IH} = 2.48 \text{ V}$



# Caratteristiche di uscita

Nel grafico sono riportate le caratteristiche di uscita  $I_D$  per alcuni valori di  $V_{GS}$ , insieme alla retta di carico  $V_{DS} = V_{DD} - R I_D$ .

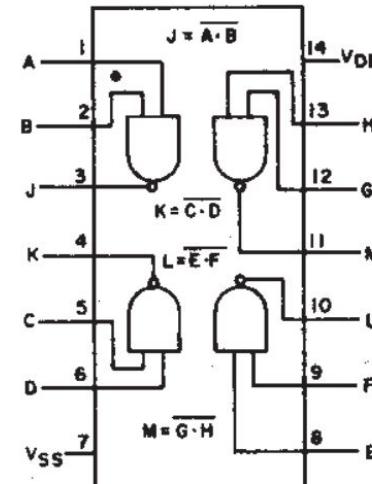
La funzione di risposta, riportata nella figura precedente, altro non è che l'intersezione tra le caratteristiche e la retta di carico.



# Porta NAND

Per le porte universali NAND useremo l'integrato CD4011 di tipo CMOS.

Il circuito integrato contiene quattro porte NAND, disposte come in figura. Il voltaggio di alimentazione  $V_{DD}$ , secondo il *datasheet*, può variare tra -0.5 V e 20 V (rispetto a  $V_{SS}$ ).

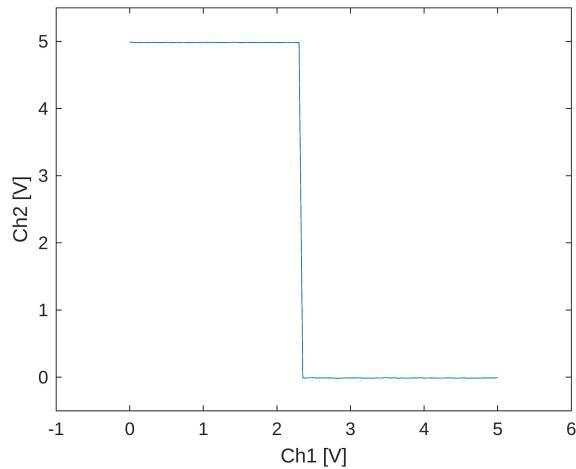
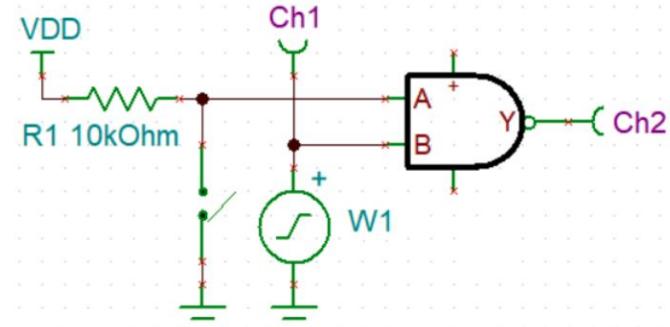


92CS-24763  
**CD4011B**  
FUNCTIONAL DIAGRAM

Per verificare il corretto funzionamento della porta utilizziamo il circuito in figura.

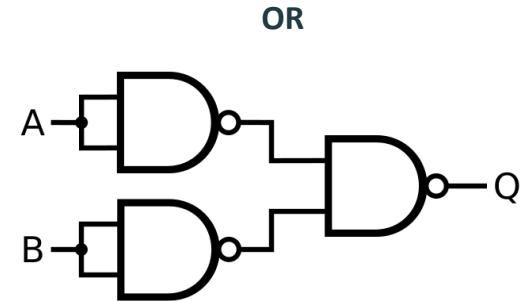
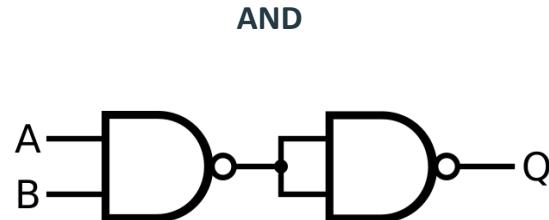
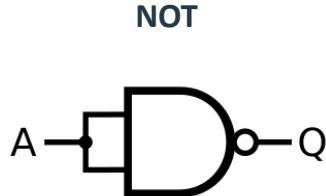
Portando l'ingresso A a terra l'uscita rimane alta a prescindere dall'ingresso B, come previsto.

Più interessante è il caso in cui si porta l'ingresso A a 5 V: ora il circuito si comporta, rispetto a B, come una porta NOT. La risposta è riportata nel grafico in basso: da esso si deduce che il voltaggio di soglia a cui la porta cambia stato è di 2.33 V.



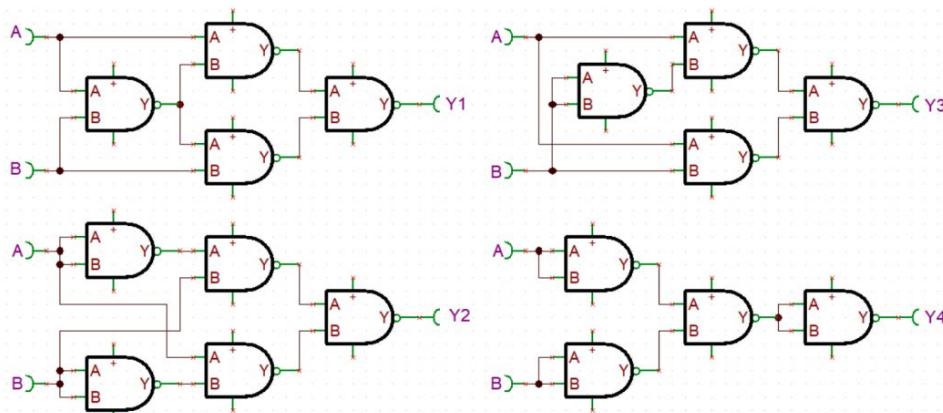
# Porta universale

La porta NAND è una porta universale, cioè ogni altra porta logica può essere espressa partendo solo da porte NAND (proprietà della completezza funzionale). Riportiamo qualche semplice esempio:



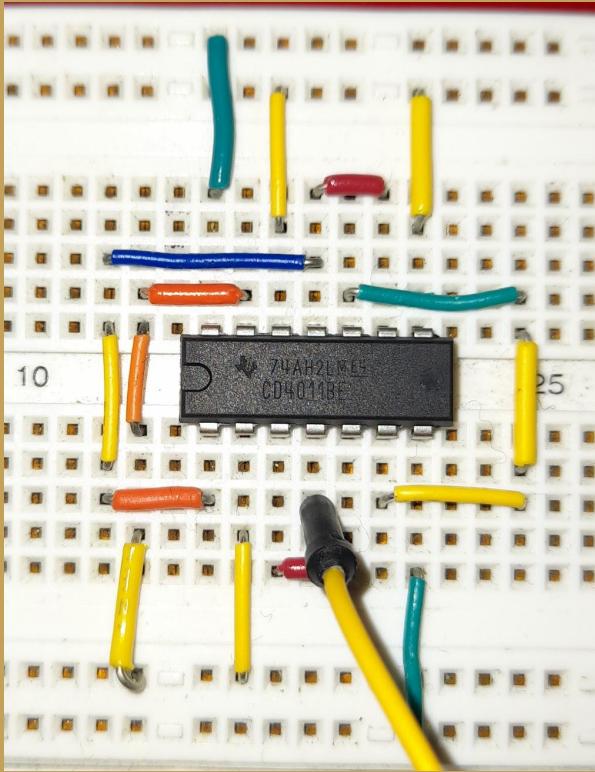
Qui sotto si riportano le quattro reti logiche di porte NAND proposte e le relative tabelle di verità. Si nota che:

- $Y_1 = A \text{ XOR } B$
- $Y_2 = A$
- $Y_3 = A \text{ XOR } B$
- $Y_4 = (\text{NOT } A) \text{ AND } (\text{NOT } B)$

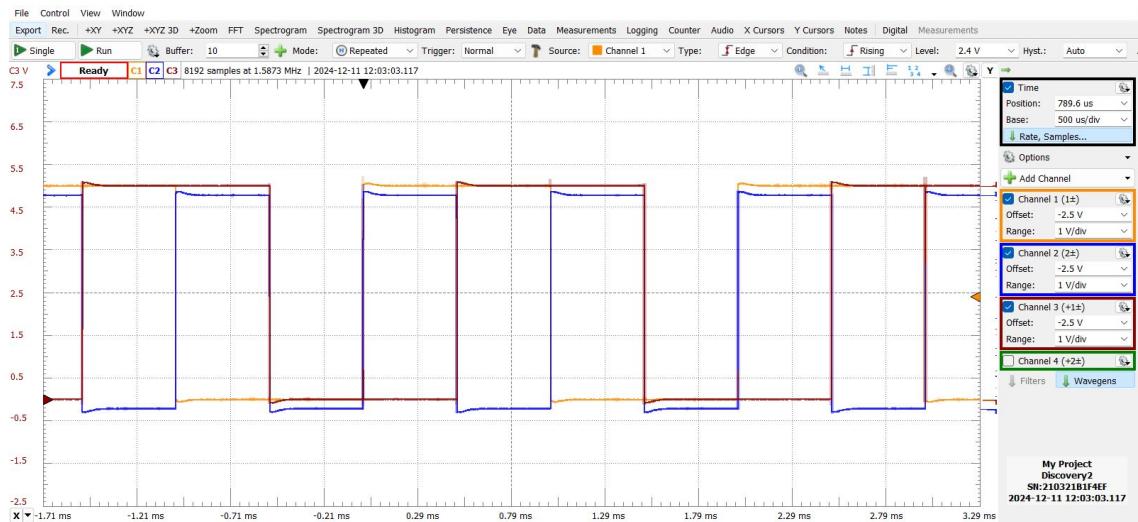


A	B	Y1	Y2	Y3	Y4
0	0	0	0	0	1
0	1	1	0	1	0
1	0	1	1	1	0
1	1	0	1	0	0

# Porta XOR

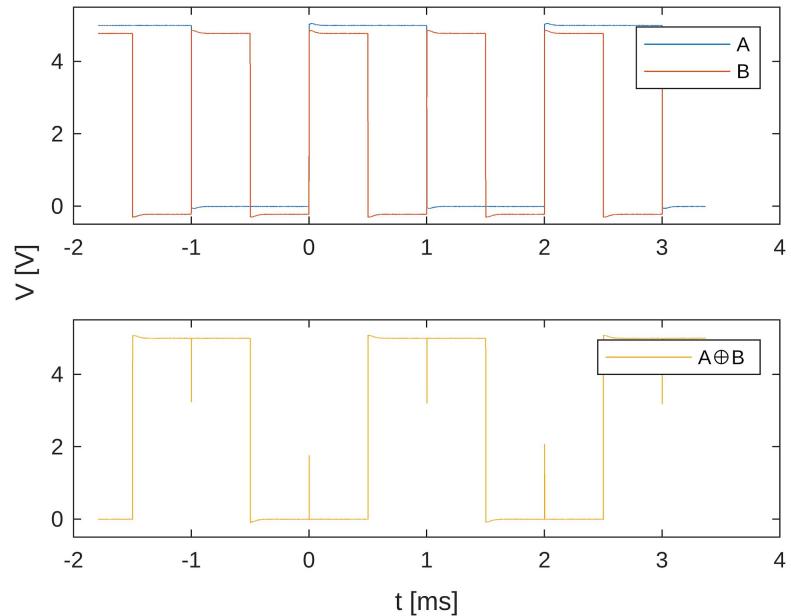


Per verificare il corretto funzionamento della porta XOR mandiamo in ingresso un'onda quadra di frequenza 1 kHz e un'onda quadra di frequenza 500 Hz, entrambe di ampiezza 2.5 V e con offset 2.5 V. Prendiamo come misure i due ingressi e l'uscita. Per poter utilizzare due AD2 sincronizzati usiamo il software di acquisizione WaveForms.



Dal grafico a fianco vediamo che il circuito si comporta come desiderato:

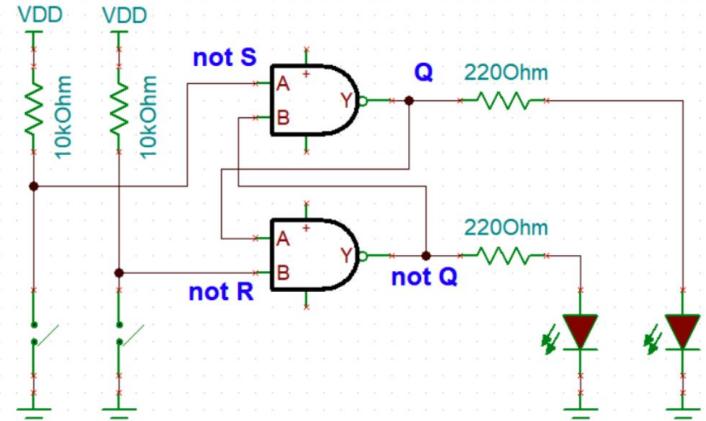
- se A è alto e B è alto, allora  $A \oplus B$  è basso;
- se A è alto e B è basso, allora  $A \oplus B$  è alto;
- se A è basso e B è alto, allora  $A \oplus B$  è alto;
- se A è basso e B è basso, allora  $A \oplus B$  è basso.



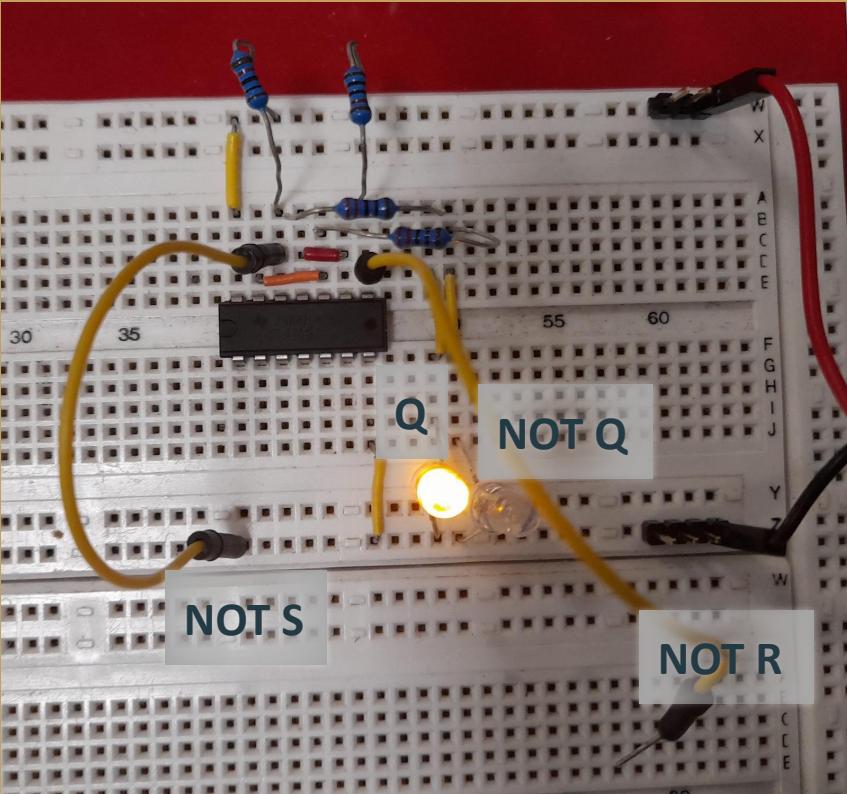
# Latch SR

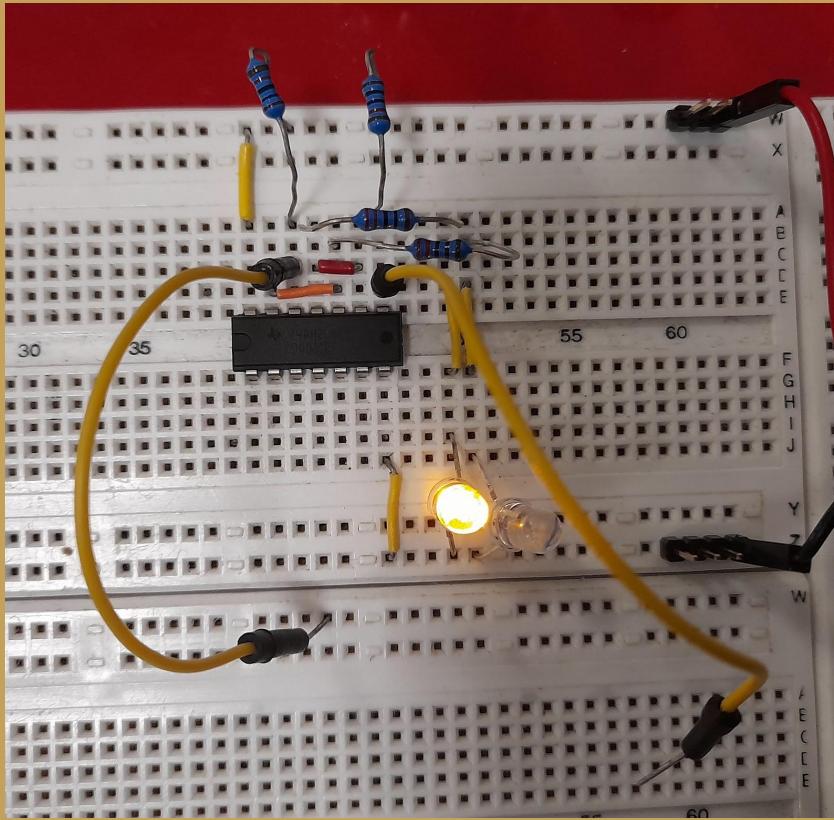
Proseguiamo costruendo alcuni circuiti sequenziali, cioè circuiti digitali in cui è possibile anche la retroazione e, quindi, un effetto memoria.

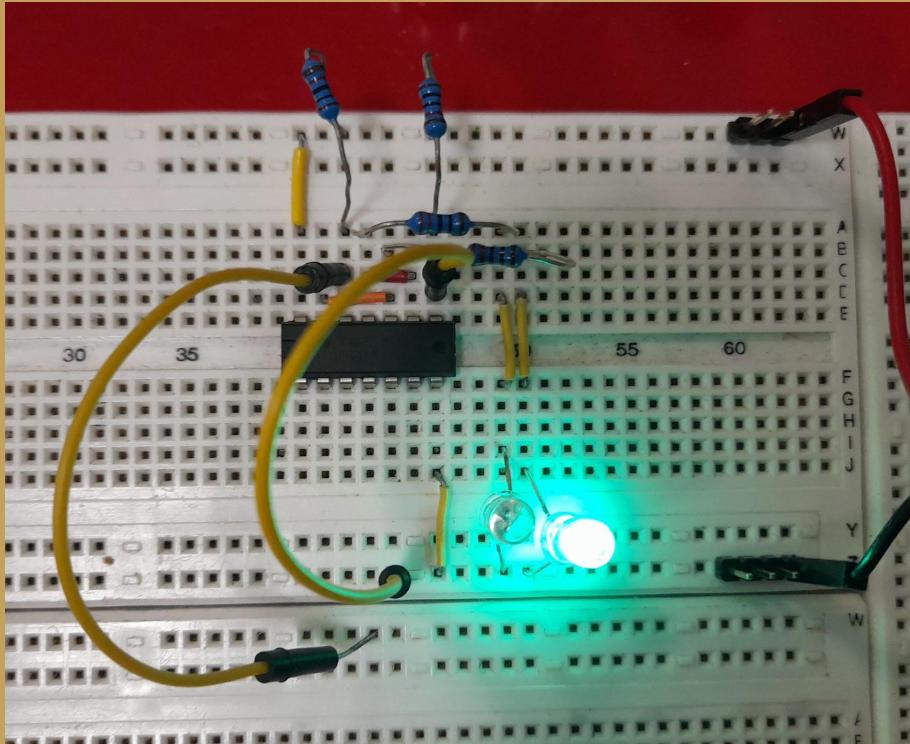
Il latch SR, in figura, è un circuito bistabile: quando NOT S e NOT R sono entrambi alti, il circuito è stabile sia con Q basso che con Q alto. Lo stato che assume è l'ultimo in cui è stato

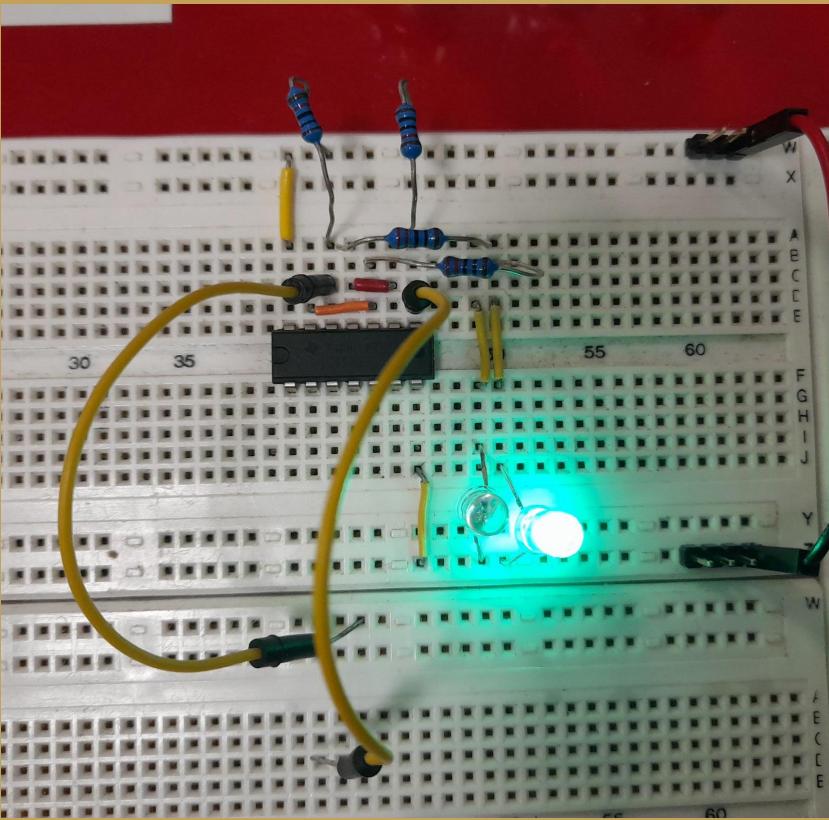


NOT S	NOT R	Q	NOT Q
0	0	1	1
0	1	1	0
1	0	0	1
1	1	hold	hold





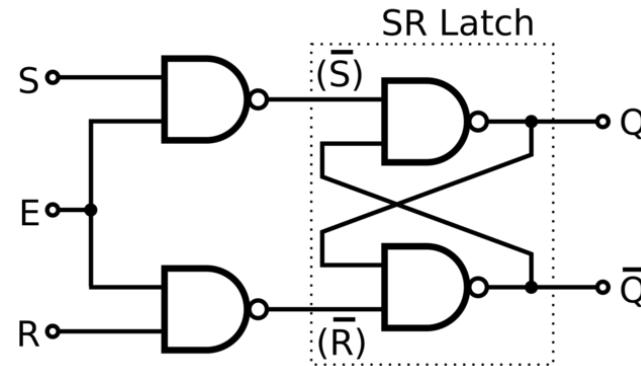




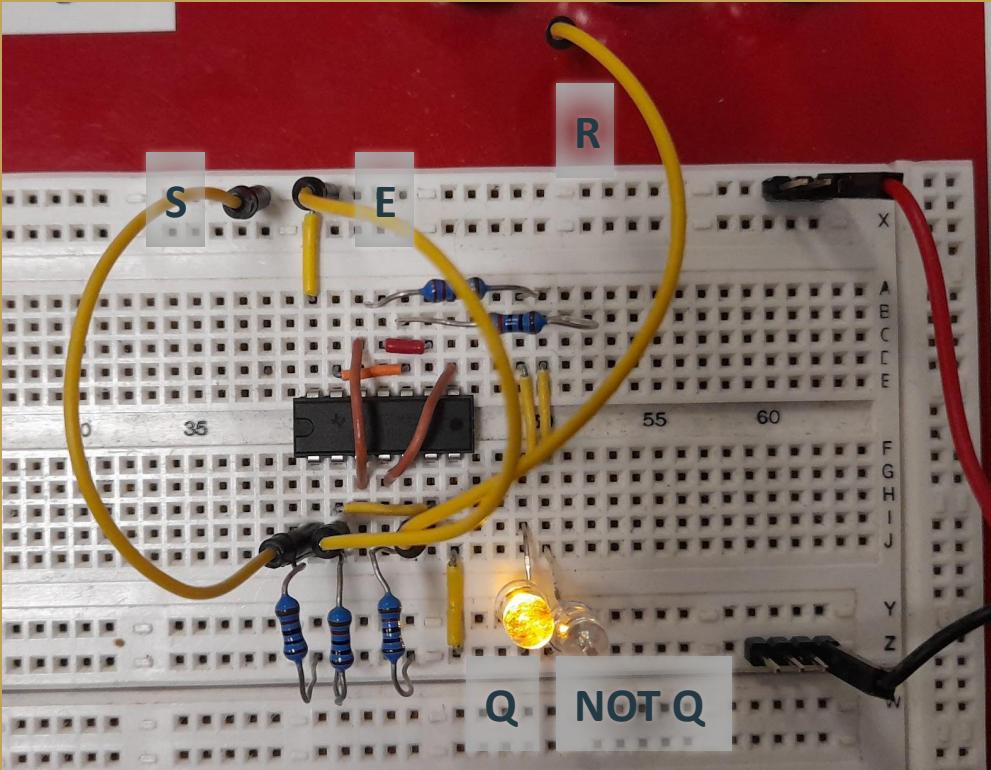
# Approfondimento: gated latch

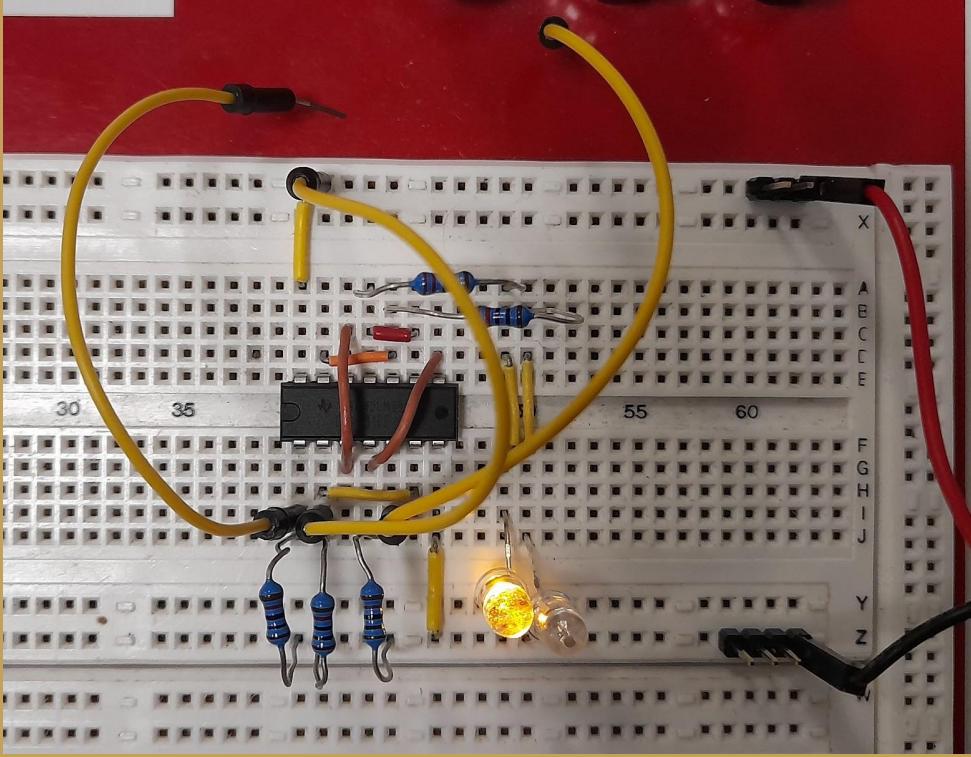
Funziona come il latch SR, ma con in più un ingresso di abilitazione.

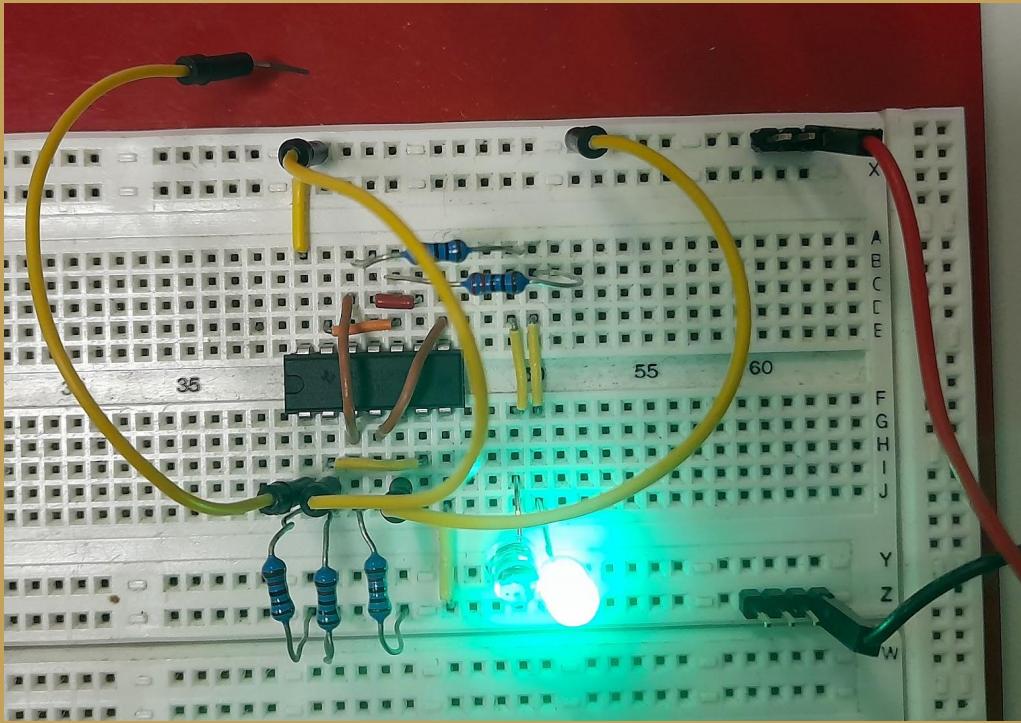
Quando E è alto, si comporta esattamente come il latch SR, mentre quando E è basso il valore in memoria non può essere cambiato.

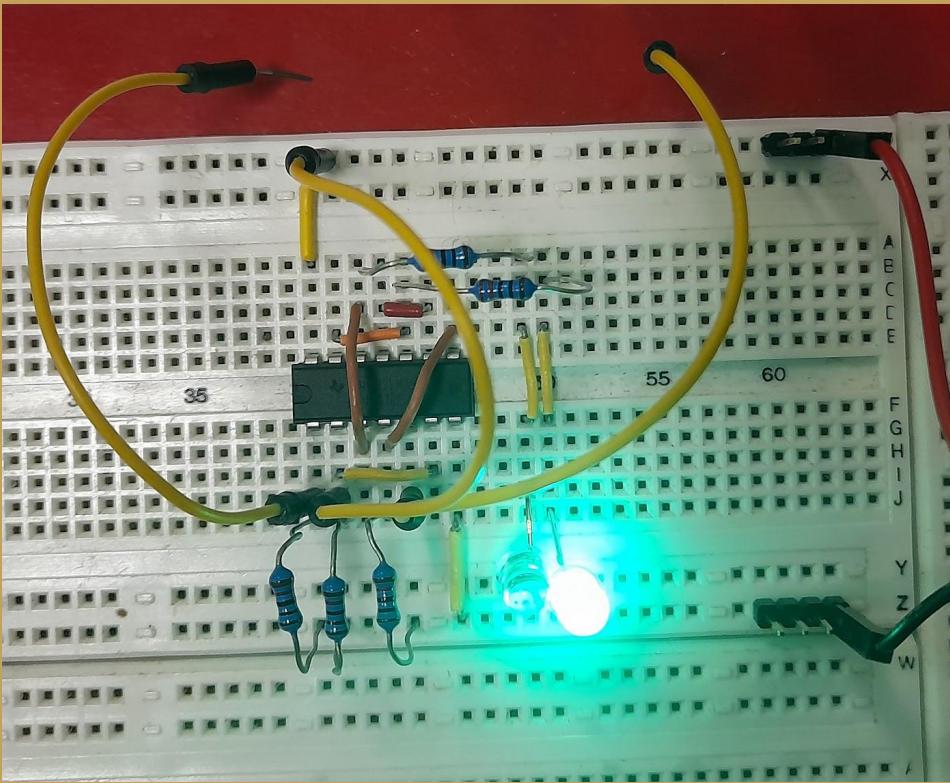


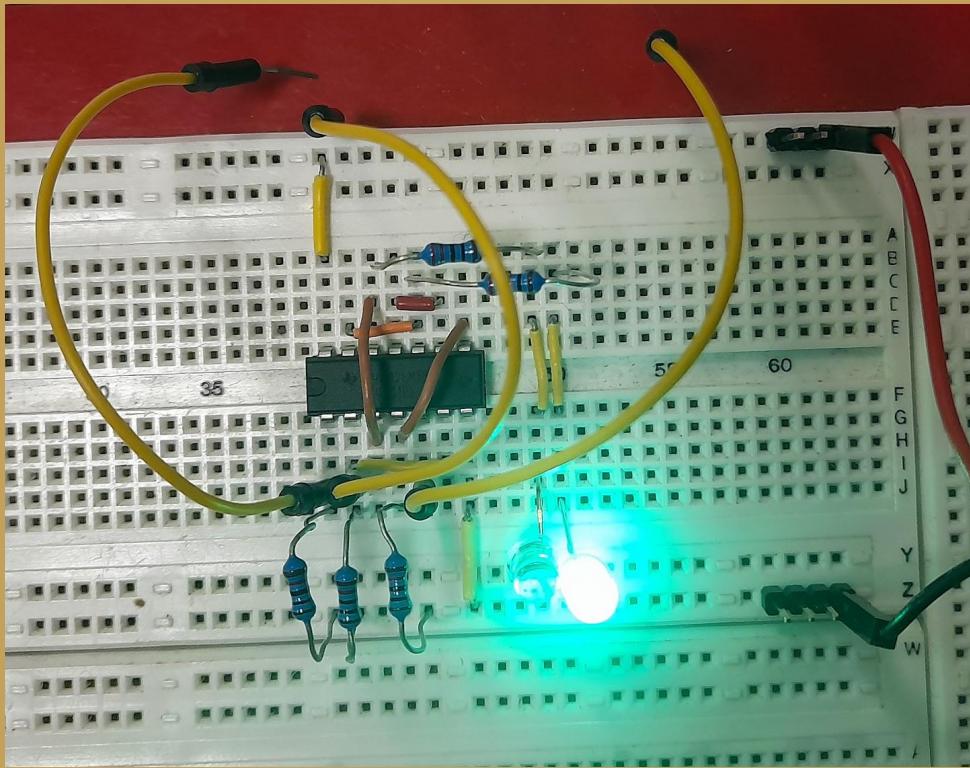
E	S	R	Q	NOT Q
0	X	X	hold	hold
1	0	0	hold	hold
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

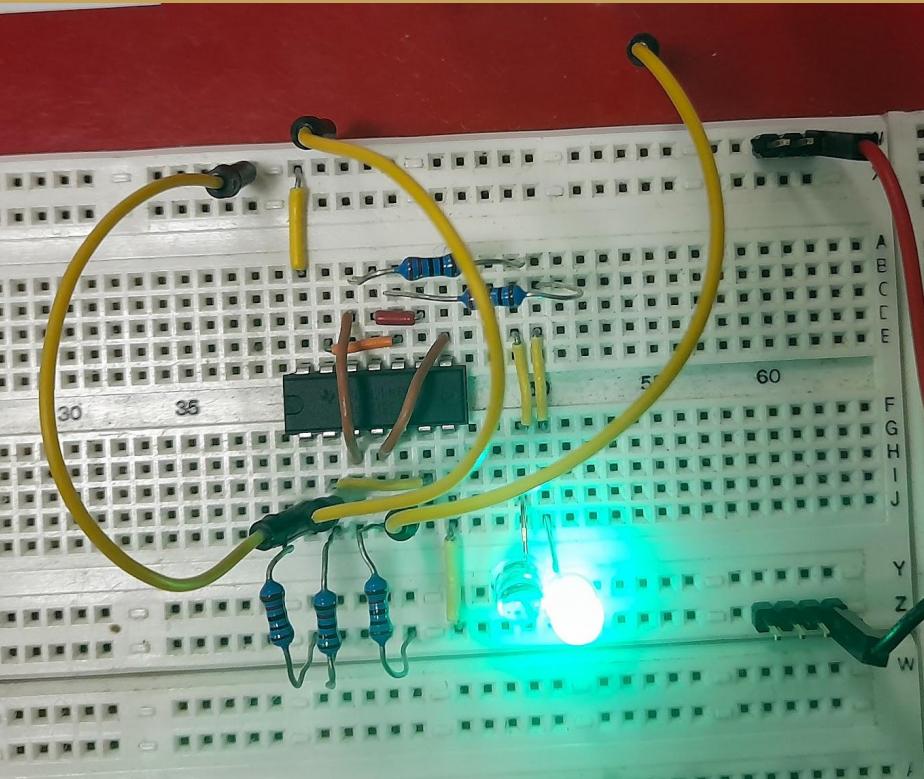








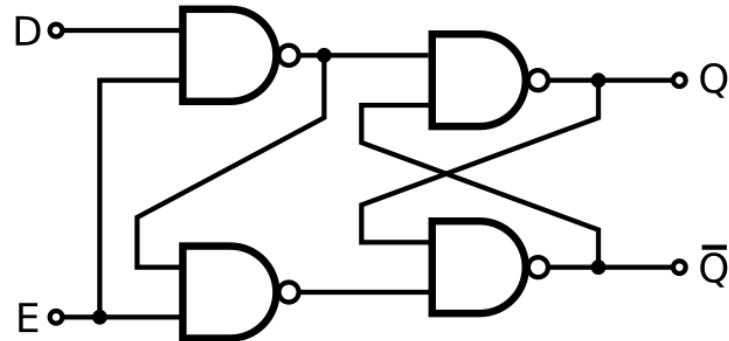




## Approfondimento: gated D latch

Il gated D latch permette di evitare gli “stati illegali” in cui Q e NOT Q sono entrambi alti.

Quando E è basso il circuito è disabilitato e si comporta da memoria, quando E è alto, invece, registra continuamente il valore di D in Q.



E	D	Q	NOT Q
0	X	hold	hold
1	0	0	1
1	1	1	0

