קישורים חשובים:

קישור לעבודה עם רגיסטרים-

<http://www.fpgadeveloper.com/2014/08/creating-a-custom-ip-block-in-vivado.html>

Fpga 2- פרוייקט ראשי, עובד עם textio.

Microblaze example vhdl- פרוייקט block disigne שעובד עם microblaze.

פרוייקט IP יחד עם הregisters צריך להיות בתיקיית ip\_repo, שמו על הip המבצע הכפלה הוא pl\_multiplier\_module.

ב image size מחזורי השעון הראשונים נקרא את תמונת הרפרנס ונכתוב אותה לRAM.

לאחר מכן תתבצע השוואה בין כל פיקסל ופיקסל של הרפרנס והפריים הנכנס בהתאמה.  
ב- cycle האחרון של הכתיבה ל RAM, כיוון שיש גם לכתוב את הפיקסל האחרון של הרפרנס ל RAM וגם לקרוא מה RAM את הפיקסל הראשון של הרפרנס (לצורך ההשוואה הראשונה), נוותר על השוואה נכונה במחזור זה ונשווה (ביודעין) בין הפיקסל האחרון ברפרנס לפיקסל הראשון בפריים הראשון כמודגש בטבלה. הטבלה היא תחת ההנחה ש- Image\_size=9.

* העמודה הימנית היא הפיקסל של ה- frame הנוכחי. זה מה שמגיע מהמצלמה.
* העמודה השנייה מימין זה הפיקסל של ה- reference frame.
* ההשוואה הראשונה היא ב- cycle\_counter = 9, כיוון שעד אליו רק כותבים את ה- reference frame ל- RAM.
* בכל שורה, מה שמופיע בעמודה השנייה מימין, זה מה שמופיע בשורה מעליה בעמודה השלישית מימין (ה- address). כיוון שהקריאה מה- RAM לוקחת cycle אחד.
* ה- cycle הבעייתי הוא 8, כיוון שבו צריך גם לכתוב את הפיקסל האחרון ל- RAM, אבל גם צריך שכתובת הגישה לזיכרון תהיה 0 (ולא 8), כך שב- cycle הבא אחריו, 9, נשווה את הפיקסל הראשון. כיוון שהוא לא יכול להיות גם הפיקסל הראשון וגם הפיקסל האחרון, כדי לא לפגוע בנכונות של ה- reference frame, אנחנו שמים את הכתובת של הפיקסל האחרון (על חשבון הנכונות של ההשוואה של הפיקסל הראשון ב- frame הראשון).

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Rising edge where Cycle\_counter to the left is | Write enable | Address | Pixel#\_in\_ ref = dout | Pixel#\_in\_frame |
| 8 | 1 | 8 |  |  |
| 9 | 0 | 1 | 8 | 0 |
| 10 | 0 | 2 | 1 | 1 |
| 11 | 0 | 3 | 2 | 2 |
| 12 | 0 | 4 | 3 | 3 |
| 13 | 0 | 5 | 4 | 4 |
| 14 | 0 | 6 | 5 | 5 |
| 15 | 0 | 7 | 6 | 6 |
| 16 | 0 | 8 | 7 | 7 |
| 17 | 0 | 0 | 8 | 8 |
| 18 | 0 | 1 | 0 | 0 |
| 19 | 0 | 2 | 1 | 1 |