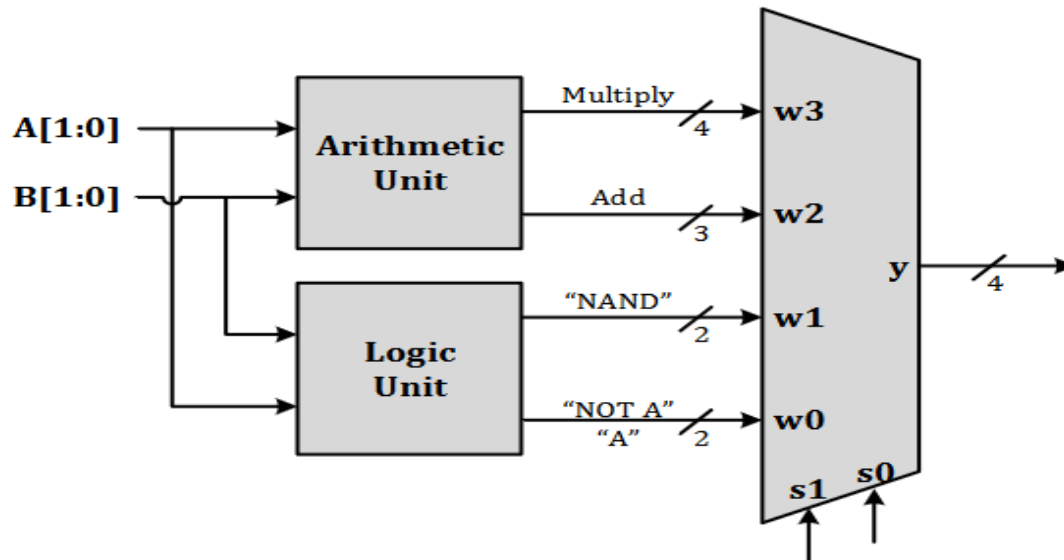


پیش گزارش آزمایش 8 مدار منطقی

آبتین زندی 9931071

مطابق شکل زیر مدار ALU را در کد های زیر با استفاده از ماژول ALU و MUX که طراحی کرده ایم می سازیم تا با استفاده از آن و سیگنال های کنترلی MUX بتوانیم چند محاسبه منطقی را شبیه سازی کنیم



MUX VERILOG CODE (Dataflow Description):

```
22 module Mux(input [3:0]W0,input [3:0]W1,input [3:0]W2,input [3:0]W3,input [1:0]S,output [3:0]Output);
23
24     assign Output = S[1] ? (S[0] ? W3 : W2) : (S[0] ? W1 : W0);
25
26     /*@always(W0 or W1 or W2 or W3 or S)
27     case(S)
28         2'b00 : assign Output=W0;
29         2'b01 : assign Output=W1;
30         2'b10 : assign Output=W2;
31         2'b11 : assign Output=W3;
32     endcase*/
33
34 endmodule
35
```

ALU VERILOG CODE (Dataflow Description):

```
module ALU2Bit(input [1:0]A,input [1:0]B,input [1:0]Signal,output [3:0]Output);

    wire Sum;
    wire Multiple;
    wire NANDWire;
    wire NotAWire;

    assign    Sum = A + B ;
    assign    Multiple = A*B ;           //{0,0,A} * {0,0,B};
    assign    NANDWire = ~(A&B);        //{0,0,~(A&B)};
    assign    NotAWire = ~A;             //{0,0,~A};
    Mux(Sum,Multiple,NANDWire,NotAWire,Signal,Output);

endmodule
```