پیش گزارش شماره 6 آزمایشگاه مدار منطقی

آبتین زندی 9931071

مقایسه کننده 3 بیتی :

در این مقایسه کننده که بیت های اعداد را باهم مقایسه می کند ما سه بخش داریم که در ادامه نحوه عملکرد مدار را در این بخش ها توضیح می دهم :

بخش اول A>B :

در این بخش تمام بیت ها به طور متناظر با یکدیگر در گیت های AND به صورت Ai و ~Bi مقایسه می شود و در یک OR مقدار منطقی این گیت ها با هم جواب آخرمان را شکل می دهند و این مقایسه از اولین بیت از سمت چپ شروع می شود و اگر یک مقایسه ای درست نباشد XNOR آنها را بررسی می کنیم با AND بیت های پایینی و اگر در جایی گیتAND درست باشد یعنی A در آن بیت 1 و B در آن بیت 0 است و اگر در پایان گیت OR درست شود A بزرگتر از B است.

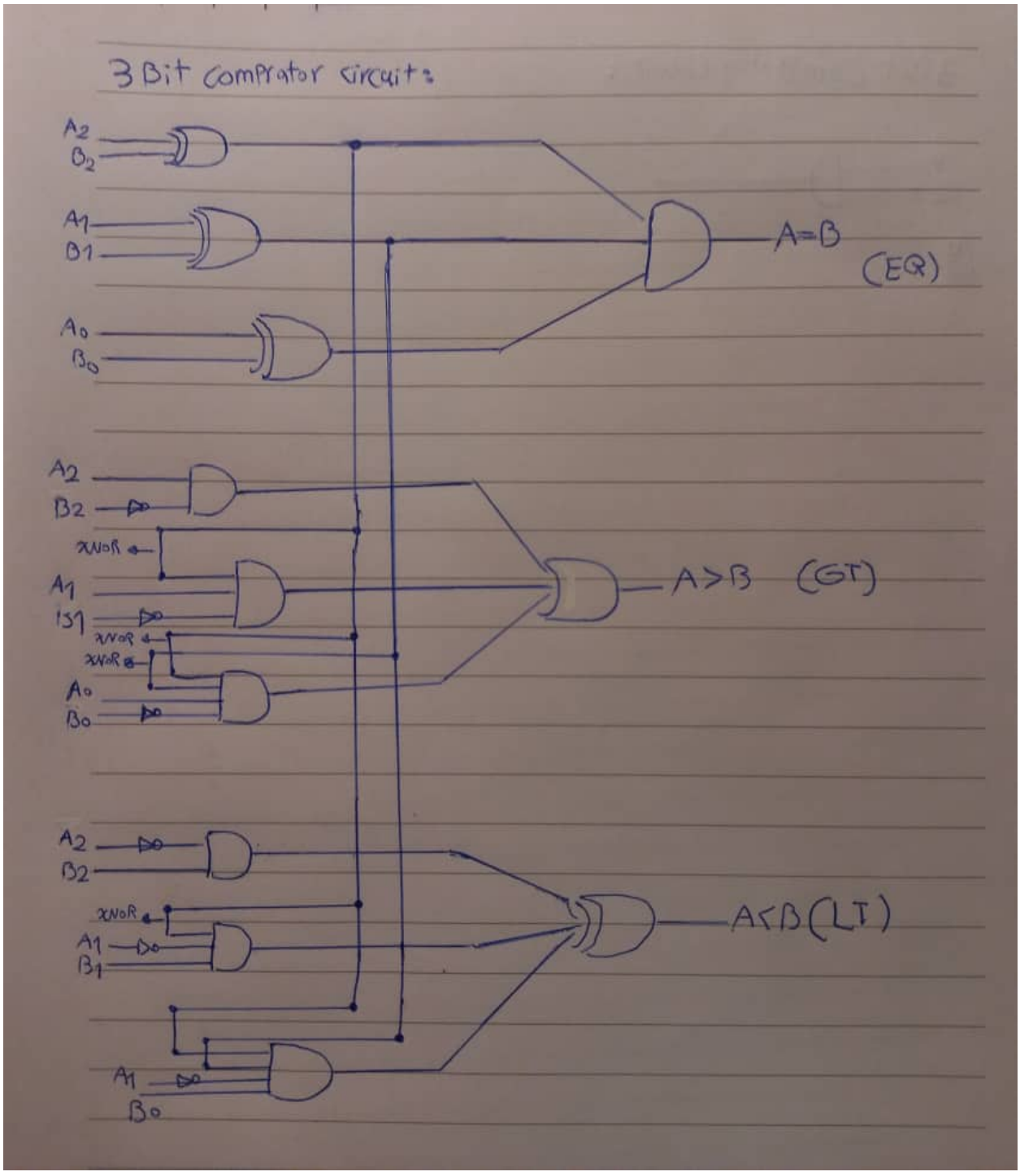
بخش دوم A=B :

در این بخش تمام بیت ها به طور متناظر با یکدیگر در گیت های XNOR به صورت Ai و Bi مقایسه می شود و در یک AND مقدار منطقی این گیت ها با هم جواب آخرمان را شکل می دهند به طوری که اگر مقدار همه ورودی ها در XNOR ها باهم برابر بود و سه تا یک منطقی به AND پاس داده شوند یعنی اینکه این دو عدد باهم برابر اند و پاسخ یک منطقی حاصل می شود .

بخش سوم A<B :

در این بخش تمام بیت ها به طور متناظر با یکدیگر در گیت های AND به صورت Bi و ~Ai مقایسه می شود و در یک OR مقدار منطقی این گیت ها با هم جواب آخرمان را شکل می دهند و اگر یک مقایسه ای درست نباشد XNOR آنها را بررسی می کنیم با AND بیت های پایینی و اگر در جایی گیتAND درست باشد یعنی A در آن بیت 1 و B در آن بیت 0 است و اگر در پایان گیت OR درست شود اگر در جایی گیتAND درست باشد یعنی B در آن بیت 1 و A در آن بیت 0 است پس A کوچکتر از B است.

3Bit Comparator Circuit :



کد وریلاگ این مدار دقیقا با الگوی مذکور در صفحه اول مطابقت دارد :

3Bit Comparator verilog code:

```
module THREE-BIT-COMP(A,B,EQ,LT,GRT);

  input A[0,2];
  input B[0,2];
  output EQ;
  output LT;
  output GRT;

  //LOGICAL CALCULATION 3Bit comprator
  assign GRT = (A[2] & (~B[2])) || ((~(A[2]^B[2])) & (A[1] & (~B[1]))) || ((~(A[2]^B[2])) & (~(A[1]^B[1])) &(A[0] & (~B[0])));
  assign lT = (B[2] & (~A[2])) || ((~(A[2]^B[2]) & (B[1] & (~A[1]))) || ((~(A[2]^B[2])) & (~(A[1]^B[1])) &(B[0] & (~A[0])));
  assign EQ = (~(A[0] ^ B[0])) & (~(A[1]^B[1])) & (~(A[2]^B[2]))
endmodule
```