



AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

WYDZIAŁ INFORMATYKI, ELEKTRONIKI I TELEKOMUNIKACJI

KATEDRA ELEKTRONIKI

**DOKUMENTACJA PROJEKTOWA
INSTRUKCJA OBSŁUGI**

KL-05Z ADC TESTBED

Autorzy:

*Michał Czwórnoś,
Jakub Marcinkowski*

Kierunek studiów:

Elektronika i Telekomunikacja

Opiekun pracy:

Mgr inż. Sebastian Koryciak

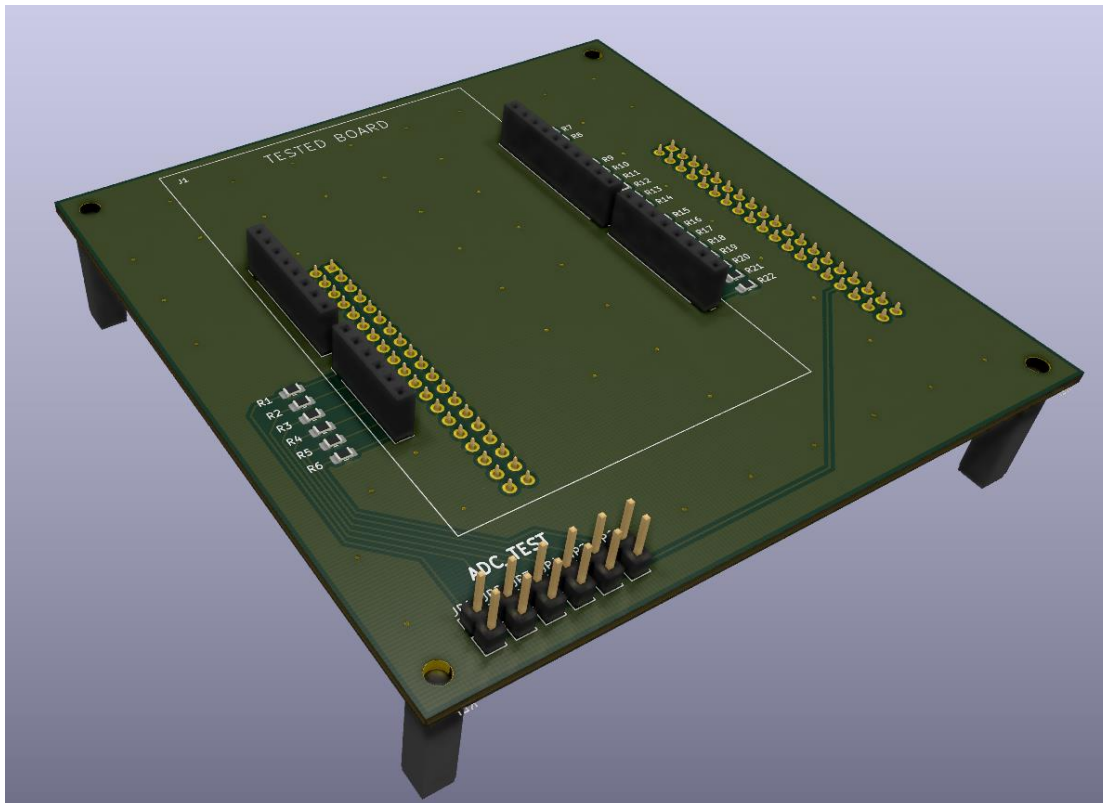
Kraków, 2021

Spis treści

1. Wstęp.....	3
2. Założenia	3
3. Aplikacja desktopowa – Python	5
3.1. Schemat algorytmu.....	5
3.2. Wymagane biblioteki	6
4. Rodzaje testów.....	7
4.1. Test ADC.....	7
4.1.1. Opis	7
4.1.2. Instrukcja obsługi	7
4.1.3. Schemat blokowy urządzenia.....	8
4.1.4. Schemat blokowy algorytmu programów	9
4.2. Test innego peryferium... ..	10
4.2.1. Opis	10
4.2.2. Instrukcja obsługi	10
4.2.3. Opis algorytmu programu	10
5. Hardware.....	11
5.1. Schematy ideowe	11
5.1.1. Wariant 1	11
5.1.2. Wariant 2 – przekaźniki	12
5.2. Projekt PCB	13
5.3. Wykaz elementów.....	16
5.4. Wizualizacja.....	17
Źródła	19

1. Wstęp

Opracowany projekt pozwala na testowanie poprawności działania układu przetwornika analogowo-cyfrowego płytek KL05Z na dedykowanej platformie testowej przy pomocy aplikacji desktopowej.



2. Założenia

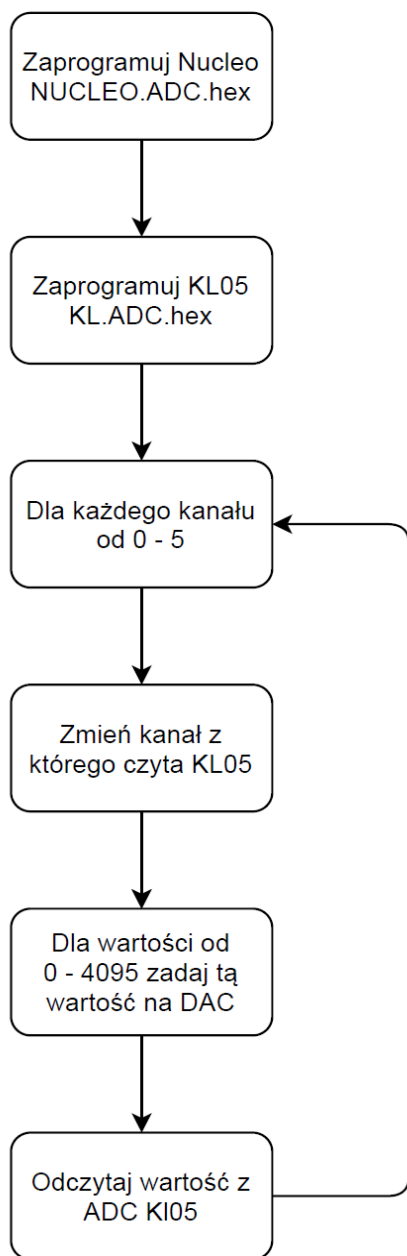
Testowanie płytki KL05Z ma odbywać się na łóżku testowym, na którym będzie znajdować się mikrokontroler STM32 na płytce Nucleo. Mikrokontroler ma dokonać ustawienia sygnału napięciowego z przetwornika cyfrowo-analogowego na wejścia ADC testowanej płytki, a odczytana wartość ma zostać przesłana przez UART do aplikacji desktopowej, na której dokonywana ma być wizualizacja na wykresie. Cały proces testowania ma odbywać się automatycznie. Po umieszczeniu testowanej płytki w łóżku testowym należy skonfigurować ustawienia portów COM i dysków, następnie wybór testu i uruchomienie przyciskiem start. Na testowaną płytkę wgrywany ma być automatycznie gotowy program testujący o rozszerzeniu HEX, analogicznie dla Nucleo. Po wykonaniu testu pojawia się wykres reprezentujący odczytane wartości z przetwornika testowanej płytki.

Pozostałe wymagania:

- Komunikacja przez USB z PC
- Możliwość testowania wszystkich kanałów ADC w pełnym zakresie
- Kompatybilność z płytą **KL05Z** przez złącze Arduino R3
- Kompatybilność z płytą **Nucleo L476RG** przez złącze Morph
- Możliwość dalszego rozwoju o kolejne peryferia i ich testowanie
- Zasilanie z portu USB 2.0
- Wymiary płytki PCB 100mm x 100mm
- Płytki PCB dwuwarstwowa, montaż dwustronny.
- Rozszerzalność projektu

3. Aplikacja desktopowa – Python

3.1. Schemat algorytmu



Rys. 1. Schemat algorytmu testu.

3.2. *Wymagane biblioteki*

- glob
- os
- sys
- time

- PySimpleGUI
- numpy
- matplotlib.pyplot
- serial.tools.list_ports
- win32api

4. Rodzaje testów

4.1. Test ADC

4.1.1.Opis

Użytkownik może przetestować wszystkie sześć kanałów ADC płytki KL05Z przy pomocy niniejszego oprogramowania i łóżka testowego z płytką Nucleo posługując się instrukcją obsługi przedstawioną poniżej.

4.1.2.Instrukcja obsługi

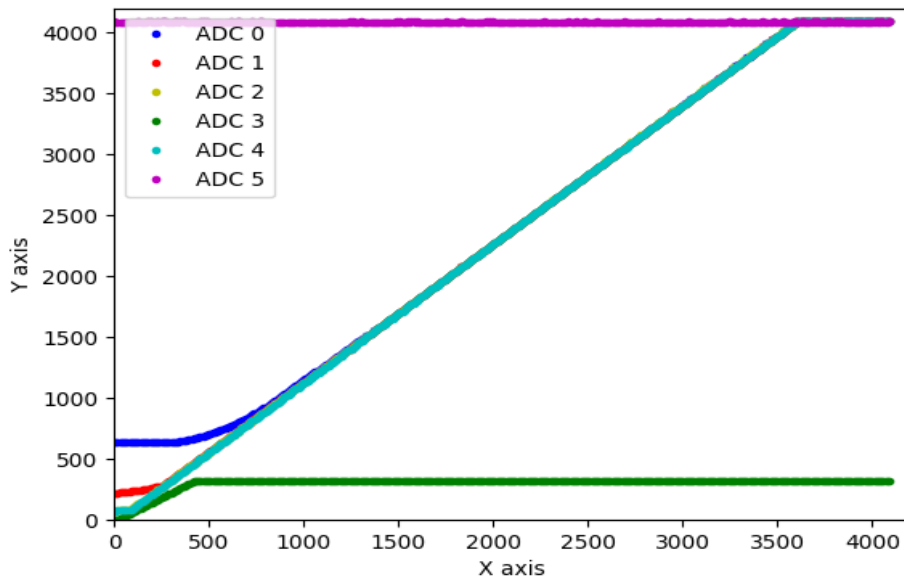
- I. W pierwszej kolejności należy umieścić testowaną płytkę w łóżku testowym i podłączyć ją do komputera przy pomocy kabla USB, podłączyć łóżko testowe do komputera. Następnie uruchomić aplikację desktopową (GUI). Dokonać wyboru testu na **test ADC**.



Rys. 2. Wygląd aplikacji desktopowej

- II. Wybór portów COM dla podłączonych urządzeń, wybranie dysków dla KL05Z i NUCLEO. Należy otworzyć menedżer urządzeń i wyszukać odpowiednie porty COM dla podłączonych płytek. Otworzyć mój komputer i zlokalizować dyski dla podłączonych płytek.

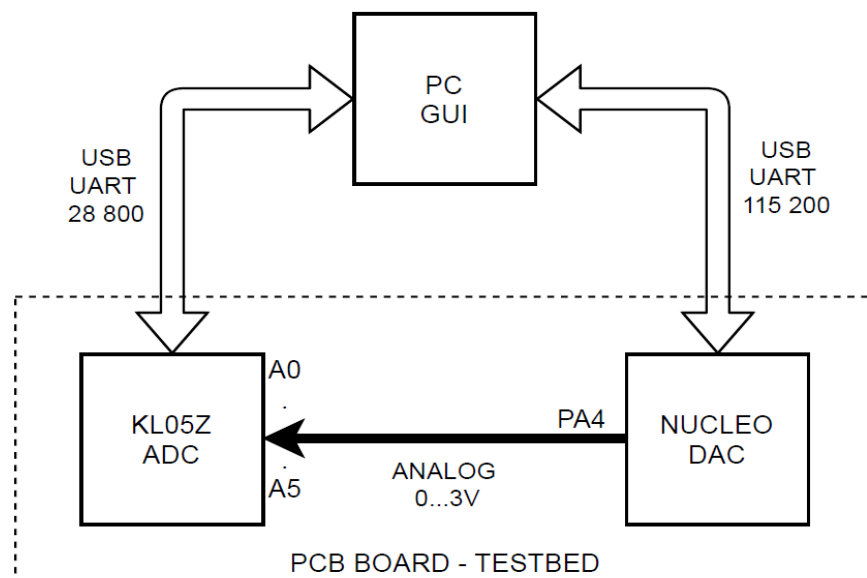
- III. Rozpoczęcie testu przyciskiem **Start**. (w wariancie I należy zmieniać kanały ADC zworką)
- IV. Proces testowania wszystkich kanałów. Przykładowe rezultaty po zakończeniu testu.



Rys. 3. Otrzymane przebiegi po wykonaniu testu.

4.1.3. Schemat blokowy urządzenia

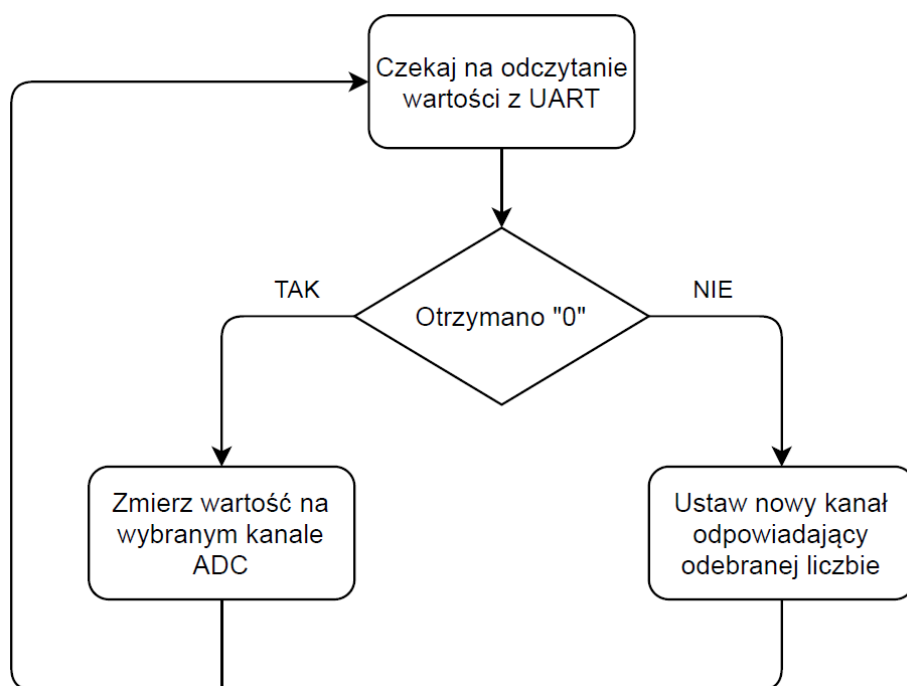
Testowana płytki oraz mikrokontroler są połączone z PC przez UART. Prędkości transmisji przedstawione są na schemacie blokowym. Użytkownik uruchamiając test powoduje wysłanie informacji o rozpoczęciu testu na płytkę Nucleo sterującą łóżkiem testowym. Na wyjściu przetwornika cyfrowo-analogowego pojawia się znana wartość napięcia, która następnie jest odczytywana przez testowaną płytkę, a następnie wysyłana do PC, gdzie dokonywana jest wizualizacja.



Rys. 4. Schemat blokowy urządzenia.

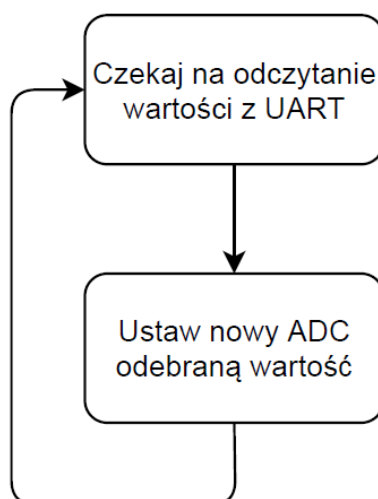
4.1.4. Schemat blokowy algorytmu programów

Schemat blokowy algorytmu programu dla testowanej płytki KL05Z



Rys. 5. Schemat algorytmu dla testowanej płytki KL05Z.

Schemat blokowy algorytmu programu płytki NUCLEO



Rys. 6. Schemat algorytmu dla STM32.

4.2. Test innego peryferium...

4.2.1.Opis

4.2.2.Instrukcja obsługi

I. ...

II. ...

4.2.3.Opis algorytmu programu

Schemat blokowy i opis.

5. Hardware

5.1. Schematy ideowe

5.1.1. Wariant 1

Wybór testowanego kanału ADC przy pomocy zworki. Wymagane przestawienie zworki dla każdego testowanego kanału.

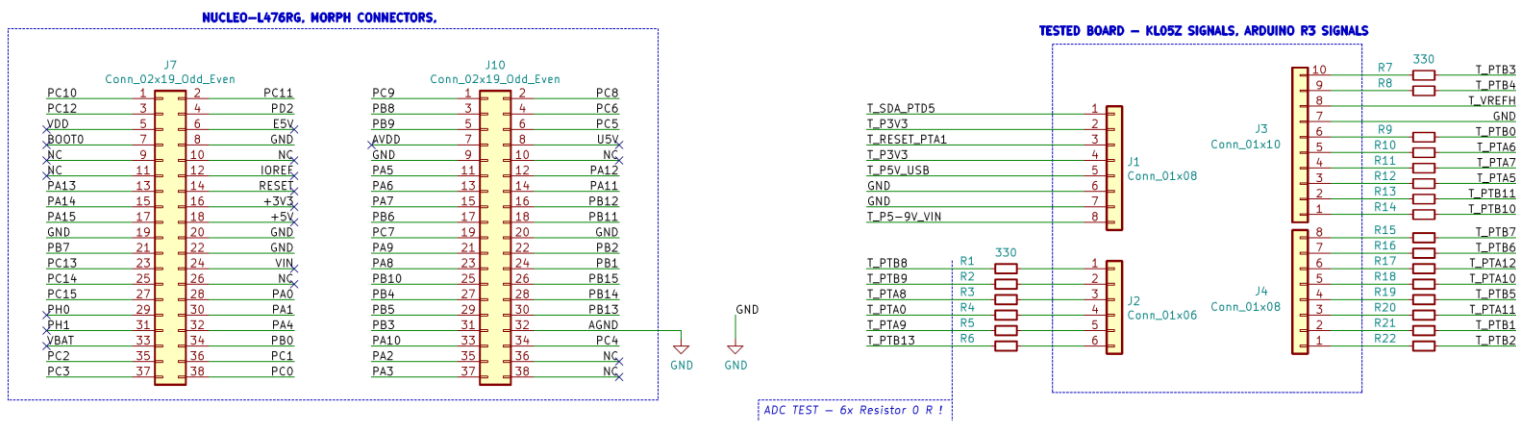
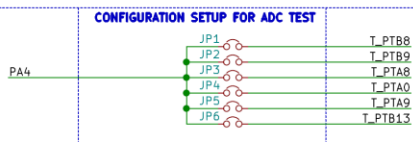
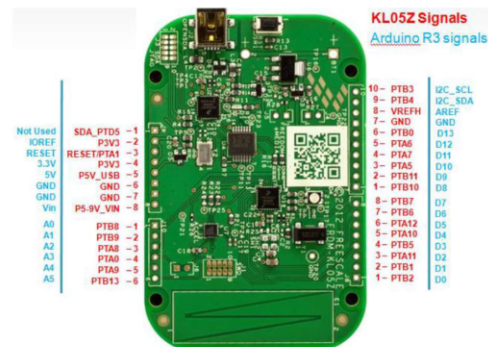
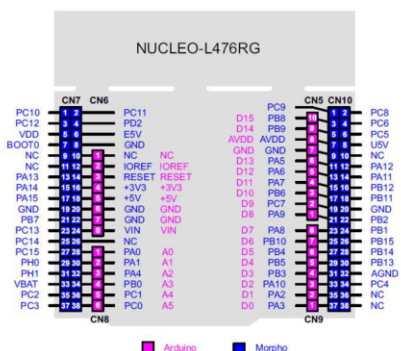


Figure 24. NUCLEO-L476RG



Rys. 7. Schemat elektryczny łóżka testowego dla wariantu 1.

5.1.2. Wariant 2 – przekaźniki

Przełączanie pomiędzy kanałami ADC odbywa się automatycznie poprzez przełączniki sterowane z NUCLEO.

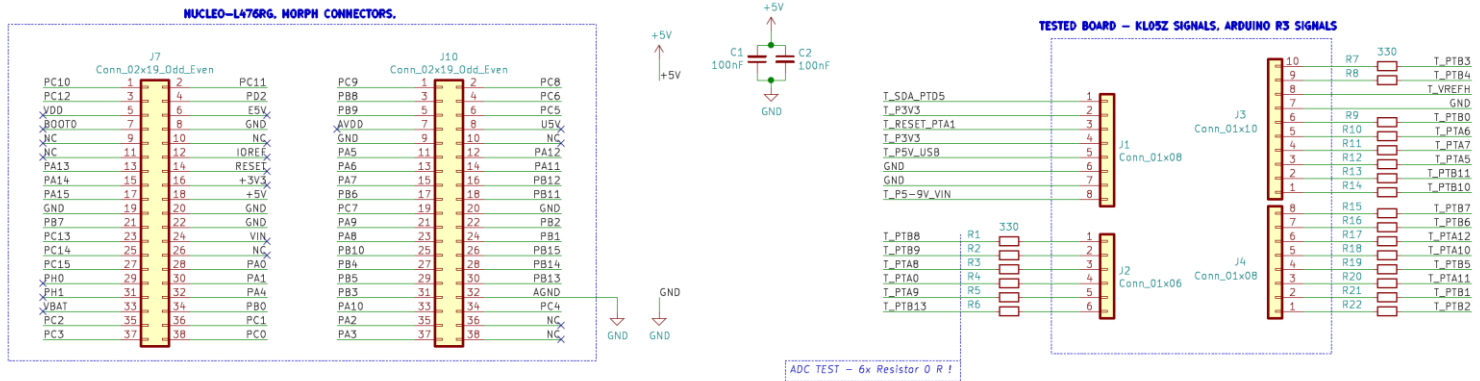
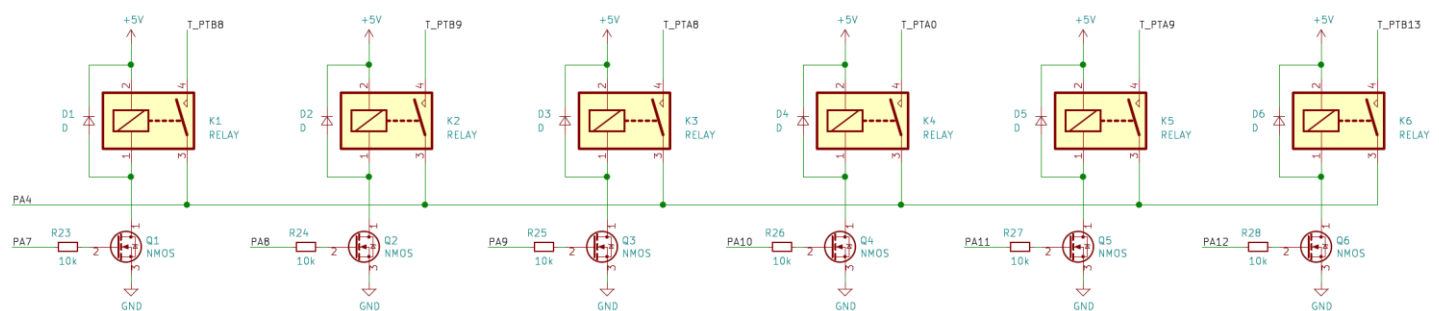
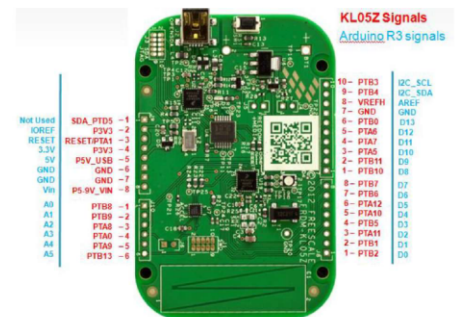
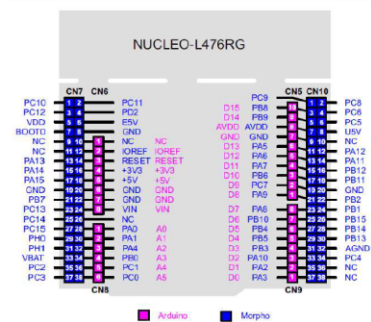


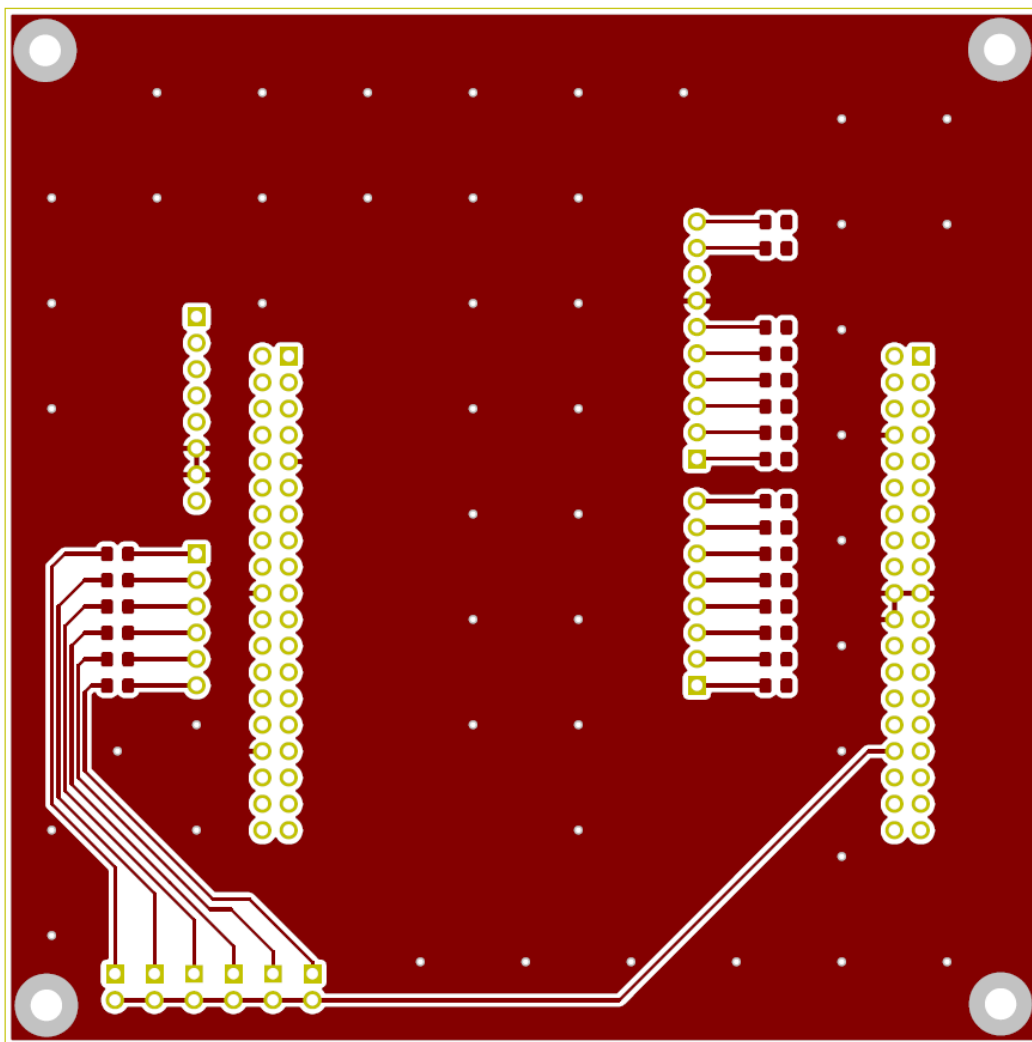
Figure 24. NUCLEO-L476RG



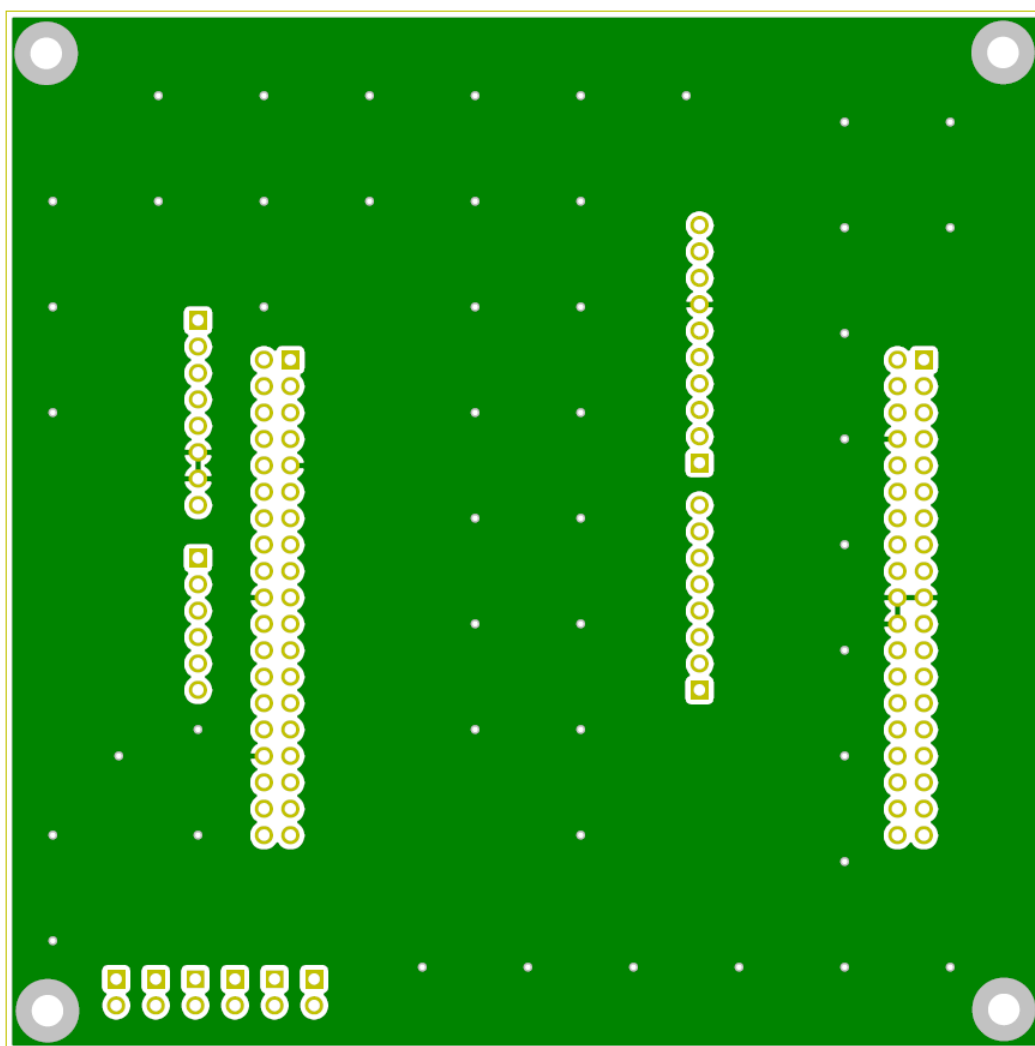
Rys.8. Schemat elektryczny łóżka testowego dla wariantu 2.

5.2. *Projekt PCB*

Schemat został zaprojektowany w programie KiCad 5.1.5. Płytką została zaprojektowana jako 2-warstwowa. Jej wymiary to 10x10cm. Na warstwie górnej znajdzie się testowana płytka z dostępem do pinów, natomiast na dolnej warstwie wpięta zostanie płytka NUCLEO sterująca testowaniem.

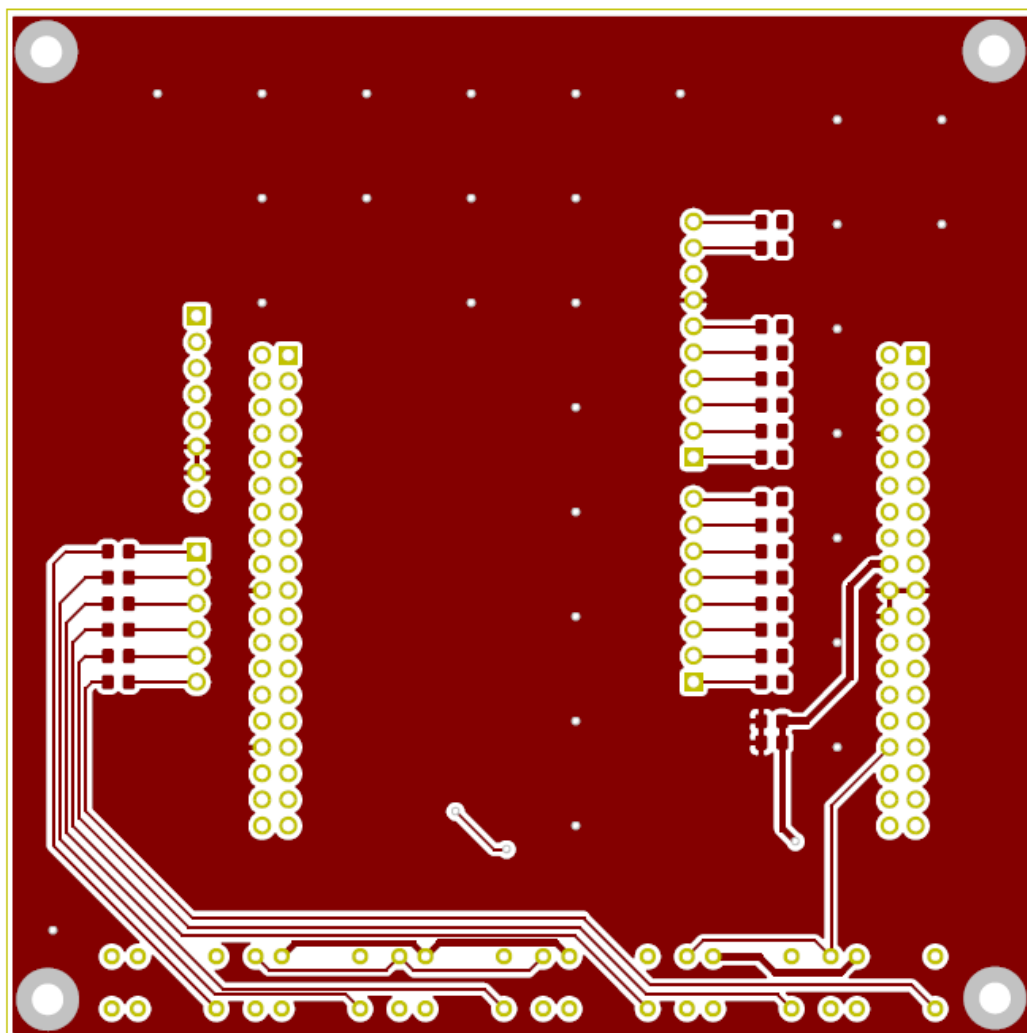


Rys. 9. Schemat layoutu PCB łóżka testowego dla wariantu 1.

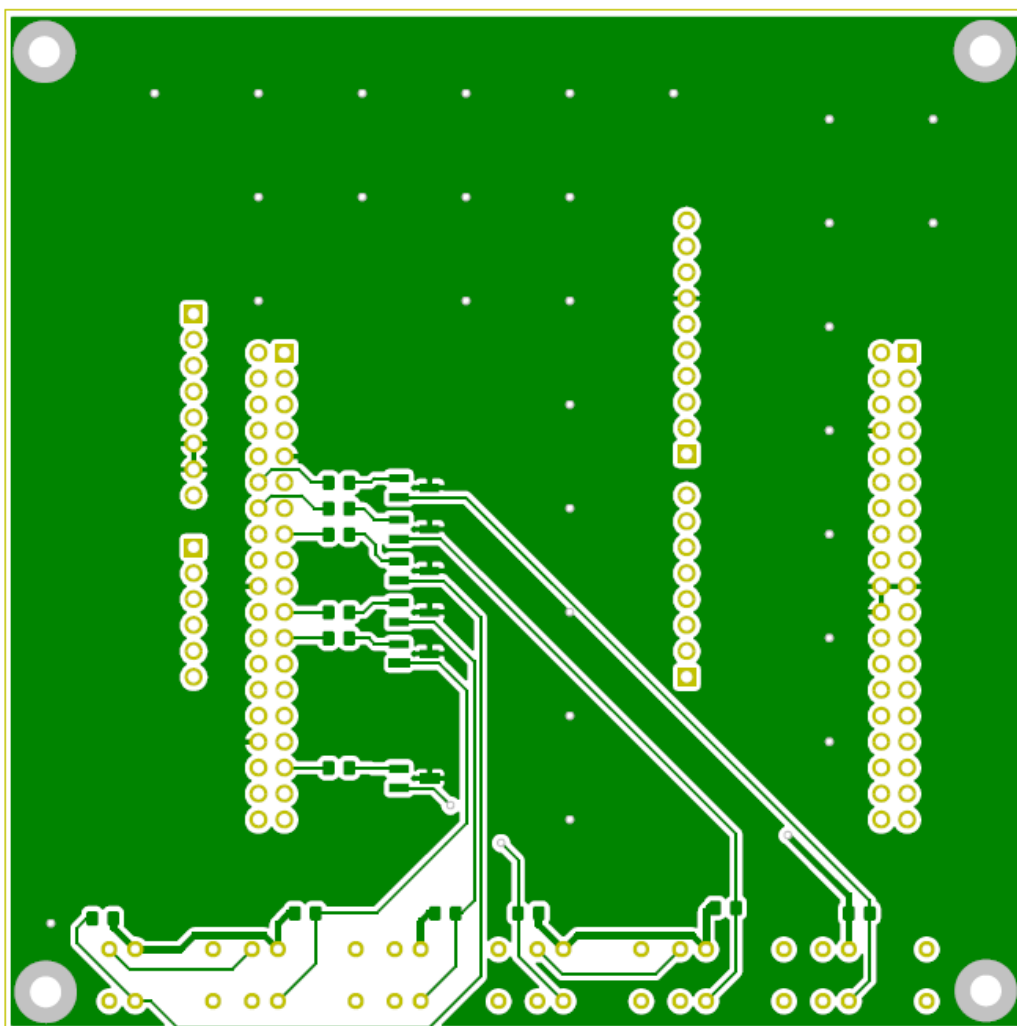


Rys. 10. Schemat layoutu PCB łóżka testowego dla wariantu 1.

W wariancie drugim użyte zostały przekaźniki HFD23/005-1ZS HONGFA.
[https://www.tme.eu/pl/details/hfd23_005-1zs/przekazniki-elektromagn-miniaturowe/hongfa-relay/]



Rys.12. Schemat layoutu PCB łóżka testowego dla wariantu 2.



Rys. 13. Schemat layoutu PCB łóżka testowego dla wariantu 2.

5.3. Wykaz elementów

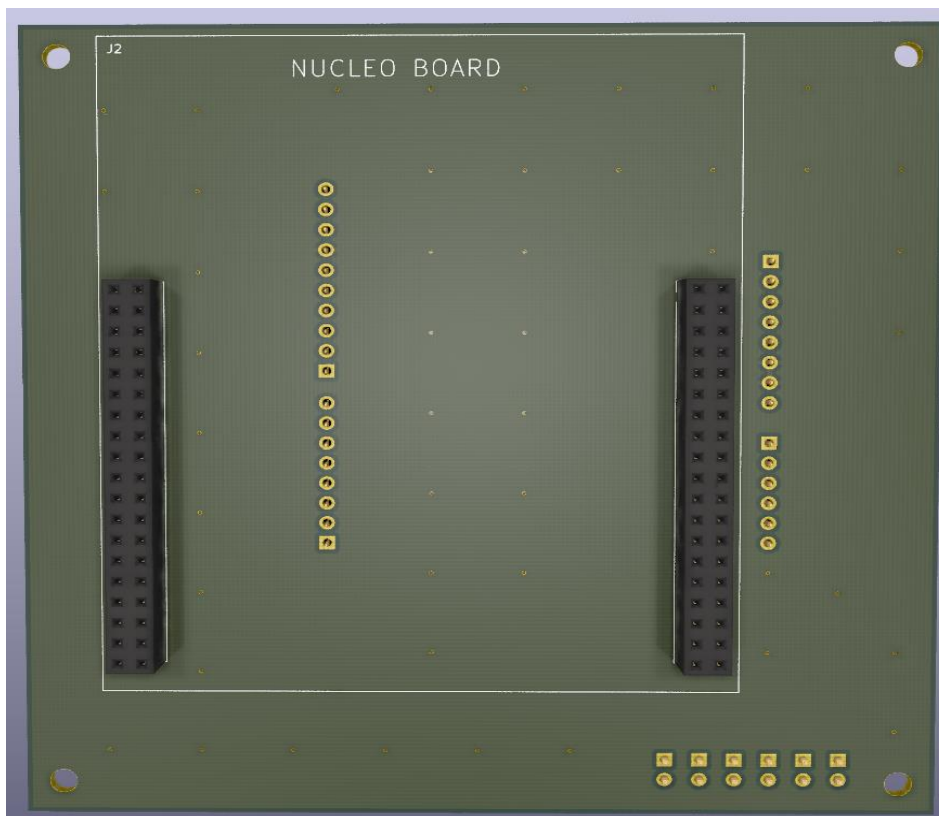
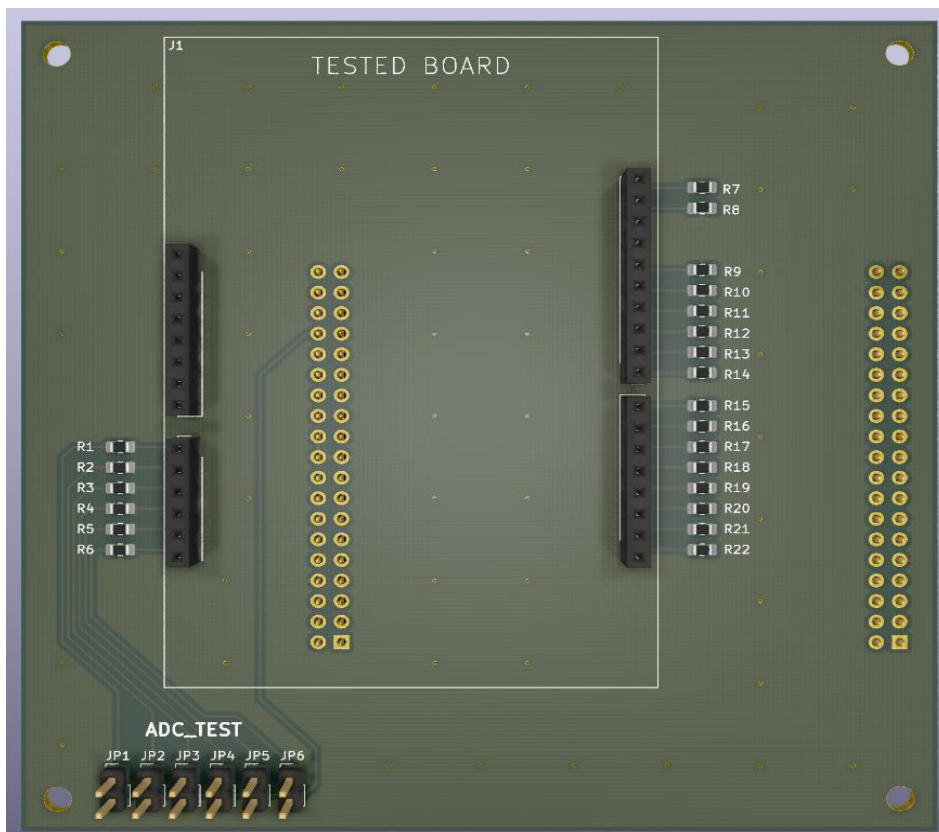
Elementy

Lp	Oznaczenie	Wartość	Typ budowy	Ilość
1	JP1...JP6	jumper	PinHeader 2.54mm	6
2	J1	PinSocket 2.54	1x06	1
3	J1	PinSocket 2.54	1x08	2
4	J1	PinSocket 2.54	1x10	1
5	J2	PinSocket 2.54	2x19	2
6	R1...R6	0R	0805	6
7	R7...R22	330R	0805	16
8	D1...D6	D	0805	6
9	K1...K6	HFD23/005-1ZS	-	6
10	R23...R28	10k	0805	6
11	Q1...Q6	N-MOS	SOT-23	6
12	C1,C2	100nF	0805	2

Tabela 1. Wykaz użytych elementów.

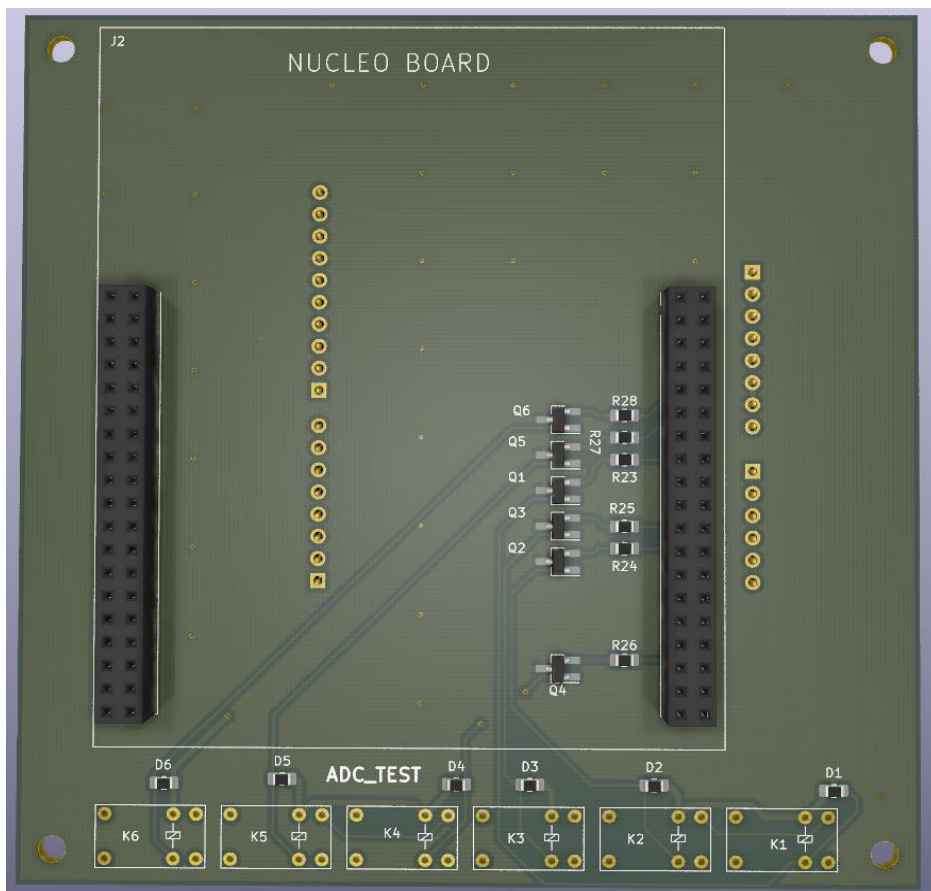
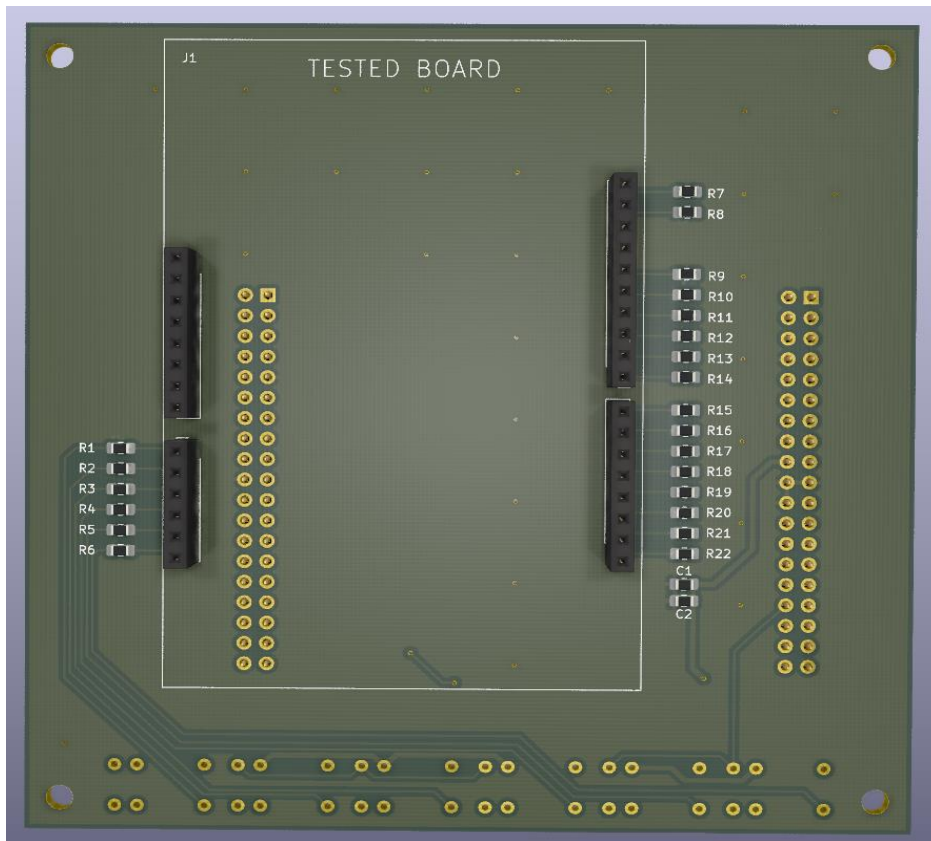
5.4. Wizualizacja

Wariant 1.



Rys. 11. Wizualizacja zaprojektowanej płyty PCB – wariant 1.

Wariant 2.



Rys. 12. Wizualizacja zaprojektowanej płyty PCB – wariant 2.

Źródła

1. Sztuka Elektroniki, Paul Horowitz, Winfield Hill
2. KiCad w pigułce, Krzysztof Kawa
3. Practical Design Techniques for signal conditioning, Analog Devices
4. Reference manual KL05Z
5. Dokumentacja KL05Z
6. Dokumentacja NUCLEO STM32 L476RG.