

北京航空航天大学  
2012 ~2013 学年第 二 学期  
《电子电路设计训练》期末考试试卷  
( 2013 年 6 月 22 日)

班级: \_\_\_\_\_; 学号: \_\_\_\_\_; 姓名: \_\_\_\_\_; 成绩: \_\_\_\_\_  
(宋体五号字)

- 注意事项: 1、本试卷为闭卷考试;  
2、解答问题时, 请给出必要的步骤, 并注意结构完整;  
3、请直接在试卷上作答;  
4、模拟部分和数字部分分别计分。

总计分栏:

模拟部分 (50 分)	数字部分 (50 分)	合计

**A. 模拟部分 (共 50 分)**

计分栏

1 (2 分)	2 (2 分)	3 (3 分)	4 (3 分)	5 (3 分)	6 (2 分)	7 (12 分)	8 (5 分)	9 (18 分)	合计

正题: (宋体五号字) (题单形式)

- 一、 ( 分)  
二、 ( 分)

## B. 数字部分 （共 50 分）

计分栏

一 (5 分)	二 (5 分)	三 (18 分)	四 (22 分)	合计

### 一、选择题（共 5 分，每空 1 分）

- 综合是 EDA 设计流程的关键步骤，在下面对综合的描述中，\_\_\_D\_\_\_是错误的。
  - 综合就是把抽象设计层次中的一种表示转化成另一种表示的过程；
  - 综合就是将电路的高级语言转化成低级的，可与 FPGA/CPLD 的基本结构相映射的网表文件；
  - 综合就是将行为描述逻辑转换成门级结构表示的一个映射过程；
  - 综合可理解为，用电路网表文件表示软件描述与给定硬件结构的映射过程，并且这种映射关系是唯一的。
- 不完整的 IF 语句，其综合结果可实现\_\_\_A\_\_\_。
  - 时序逻辑电路
  - 组合逻辑电路
  - 双向电路
  - 三态控制电路
- P、Q、R 都是同样大小的存储器类型变量，下面\_\_\_C\_\_\_表达式是正确的。
  - reg[n-1:0] P[m:1], Q, R
  - reg [m:1] P, Q, R
  - reg[n-1:0] P[m:1], Q[m:1], R[m:1]
  - reg[n-1:0] [m:1]P, [m:1]Q, [m:1]R
- 下列程序中，always 状态将描述一个带异步 Nreset 和 Nset 输入端的上升沿触发器，则下面\_\_\_D\_\_\_表述是正确的。
 

```
always@(
)
if(!Nreset)
  Q<=0;
else if(Nset)
  Q<=1;
else
  Q<=D;
A.posedge Nreset or posedge Clock or negedge Nset
B.negedge Nreset or posedge Clock or negedge Nset
C.negedge Nreset or negedge Clock or posedge Nset
D.negedge Nreset or posedge Clock or posedge Nset
```
- 下列表达式中正确的是\_\_\_C\_\_\_。
  - 4'b1010 & 4'b1101 = 1'b1;
  - ~4'b1100 = 1'b1;
  - !4'b1011 || !4'b0000 = 1'b1;
  - &4'b1101 = 1'b1;

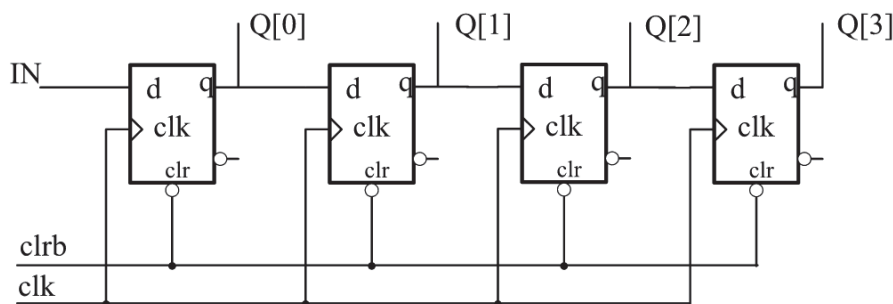
## 二、填空题（共 5 分，每空 1 分）

1. 相对于 VHDL, Verilog HDL 在语法结构方面更加灵活, 同时对于不同的行为抽象级别 (系统级、算法级等), Verilog HDL 在\_\_开关电路级\_\_层面比 VHDL 的描述能力更强。
2. 状态机按照输出逻辑可以分为两种, 一种称为\_\_Mealy\_\_状态机, 其时序逻辑的输出不仅取决于当前状态, 还取决于输入; 另一种称为\_\_Moore\_\_状态机, 其时序逻辑的输出只取决于当前状态。
3. 下面程序中, 语句\_\_4、5、6、11\_\_是并行执行, 语句\_\_8、9\_\_是顺序执行。

```
module M(.....);  
1    input  ..... ;  
2    output .....;  
3    reg    a,b,.....;  
4    always@(.....)  
5        assign f=c&d;  
6    always@(.....)  
7        begin  
8        a=.....;  
9        b=.....;  
10       end  
11    mux    mux1(out,in0,in1);  
endmodule
```

## 三、电路及时序分析题（共 18 分）

1. 请利用行为描述的方式设计一个 1 位 D 触发器, 包括一个异步清零端 `clr`, 一个时钟接入端 `clk`, 一个数据输入端 `d`, 一个数据输出端 `q`, 一个数据输出反向端 `qb`; 基于此, 利用模块实例化的方法设计一个 4 位的移位寄存器, `clrb` 是全局清零信号, `clk` 是全局时钟, `IN` 为串行输入信号, `Q` 为输出信号。(8 分)



```
module D_FF (d, clr, clk, q, qb);  
    input d, clk, clr;  
    output q, qb;  
    reg q;  
    assign qb = ~q;  
    always @(posedge clk or negedge clr)
```

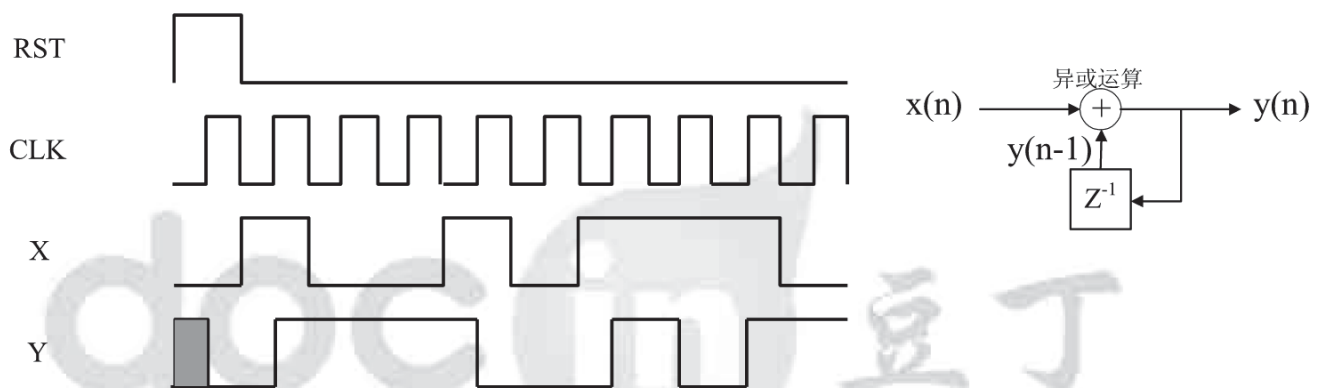
```
module shifter(IN, clrb, clk, Q);  
    input IN, clk, clrb;  
    output [3:0] Q;  
    D_FF D1(IN, clrb, clk, Q[0]),  
        D2(Q[0], clrb, clk, Q[1]),  
        D3(Q[1], clrb, clk, Q[2]),
```

```

begin
    if(!clr)
        Q <= 0;
    else
        Q <= D;
    end
endmodule
D3(Q[2], clrb, clk, Q[3],);

```

2. 设计如下码型变换器，并将图中输出信号的波形补充完整。输入信号 RST（复位信号），CLK（时钟信号，与数据 X 同步），X（输入待处理信号），Y（输出）。（异或运算：两个输入相同则输出 0，不同则输出 1， $Z^{-1}$  运算：信号延迟一个时钟输出）。注：复位之前输出信号的状态即波形图中黑色区域为未知状态）。（10 分）



```

module CodeTrans(RST, CLK, X, Y);
    input RST, CLK, X;
    output Y;
    reg Y;
    always @(posedge CLK)
    begin
        if(RST)
            Y <= 0;
        else
            Y <= Y^X;
        end
    end
endmodule

```

#### 四、电路设计题（共 22 分）

1. 设计一个 5 分频电路（输出信号的频率为输入信号频率的 1/5 倍），使输出信号相邻的两个时钟周期，占空比分别为 3:2 和 2:3，即如果当前输出信号周期的高电平比低电平长一个时钟周期，则下一个输出信号的周期高电平时间应该比低电平短一个周期。（输入信号为 rst（异步重置，低电平有效），clk，输出为 out）。（6 分）

```

module FenPin(rst, clk, out);
    input rst, clk;
    output out;
    reg out;
    reg[3:0] count;
    always @(posedge clk or negedge clr)
    begin
        if(!clr)
            count <= 4'd0;
        else if(count==4'd9)
            count <= 4'd0;
        else
            count<=count+1;
        if(!clr)
            out <= 0;
        else if(count==4'd0 || count==4'd3 || count==4'd5 || count==4'd7)
            out <= ~out;
    end
endmodule

```

2. 设计一个密码锁，密码控制电路由一个密码校验模块和时序控制模块组成。打开密码锁时，需先按“#”号（送往时序控制模块），时序控制模块开始 30s 计时，如果输入时间超过 30s，则自动清零，需重新按“#”号开启下一个开锁过程；如果在 30s 以内，密码输入完毕，则按“OK”按钮（送往密码校验模块和时序控制模块），当密码校验模块返回密码正确，则密码锁被打开，直到密码箱关闭并送给时序控制模块 close 信号；如果密码校验错误，则密码清零，需重新输入密码，并且计时初值恢复到 30s。（共 16 分）

1) 根据题干信息，设计该密码锁时序控制模块的状态转移图。（8 分）

a) 输入端口：

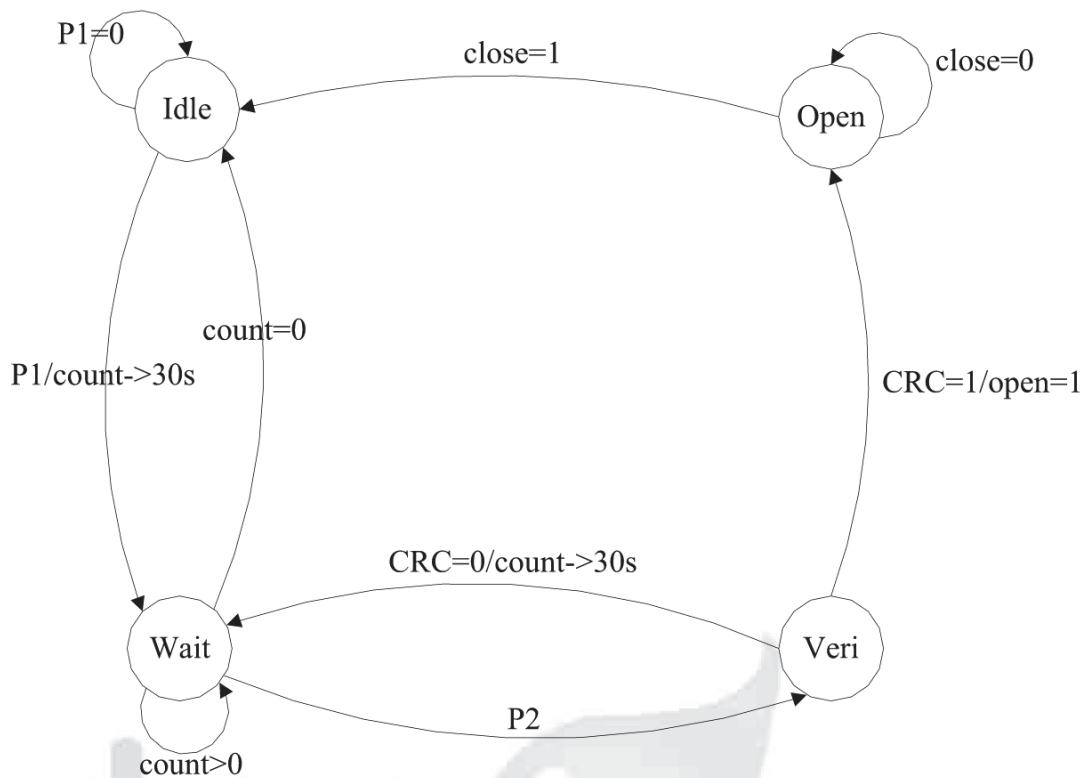
- clk      时钟信号（假设时钟频率 100Hz）
- p1      “#”电平（电平信号，高电平有效，手离开按钮信号消失）
- p2      “OK”电平（电平信号，高电平有效，手离开按钮信号消失）
- CRC      校验结果（电平信号，高电平有效，并假定校验稳态输出时间在一个时钟周期以内）
- close      密码锁关闭信号（电平信号，高电平有效）

b) 输出端口：

- open      开锁信号（电平信号，高电平有效）

c) 中间变量：

- count      计数器值



- 2) 为了实现密码管理功能增强, 约定密码校验时, 最多只能连续输入 3 次错误密码, 否则密码锁将被锁定 1 小时后才能恢复正常, 请根据题干信息, 对 1) 问中的状态转移图进行修正, 可以增加中间变量 flag 用于错误密码校验计数。(8 分)

