

北京航空航天大学
2011 ~2012 学年第二学期
数字 EDA 期末考试试卷
(2012 年 5 月 23 日)

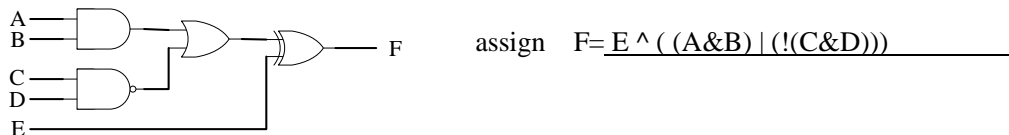
班级：_____；学号：_____；姓名：_____；成绩：_____

注意事项：1、填空题与选择题直接在试题上作答
2、设计题在答题纸上作答

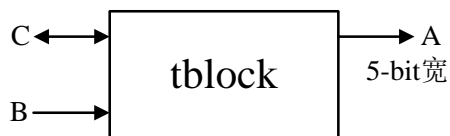
正题：

一、填空题（共 30 分，每道题 3 分）

1. 写出表达式以实现对应电路的逻辑功能。



2. 根据图中输入输出关系将 Verilog 模块定义补充完整，其中信号 A 为 5 比特宽度，其余信号为 1 比特宽度。



```
module tblock(A,B,C);  
  output [4:0] A;  
  input B;  
  inout C;  
  ..... //省略了功能描述  
endmodule //模块结束
```

3. IEEE 标准的硬件描述语言是 verilog HDL 和 VHDL。

4. 你所知道的可编程逻辑器件有（至少两种）：FPGA, CPLD, GAL, PAL（任写其二）。

5. 假定某 4 比特位宽的变量 a 的值为 4'b1011，计算下列运算表达式的结果

$\&a =$ <u>1'b0</u>	$\sim a =$ <u>4'b0100</u>
$\{3\{a\}\} =$ <u>12'b101110111011</u>	$\{a[2:0], a[3]\} =$ <u>4'b0111</u>
$(a < 4'd3) \parallel (a \geq a) =$ <u>1'b1</u>	$!a =$ <u>1'b0</u>

6. Verilog 语言规定了逻辑电路中信号的 4 种状态，分别是 0，1，X 和 Z。其中 0 表示低电平状态，1 表示高电平状态，X 表示 不定态（或未知状态），Z 表示 高阻态。

7. 下面两段代码中信号 in, q1, q2 和 q3 的初值分别为 0, 1, 2 和 3, 那么经过 1 个时钟周期后, 左侧程序中 q3 的值变成 0, 右侧程序中 q3 的值变成 2。

```
always @(posedge clk)
begin
    q1 = in;
    q2 = q1;
    q3 = q2;
end
```

```
always @(posedge clk)
begin
    q1 <= in;
    q2 <= q1;
    q3 <= q2;
end
```

8. Verilog 语言规定的两种主要的数据类型分别是 wire(或 net) 和 reg。程序模块中输入, 输出信号的缺省类型为 wire(或 net)。

9. 一个大型的组合电路总延时为 100ns, 采用流水线将它分为两个较小的组合电路, 理论上电路最高工作频率可达 20 MHz。

10. 块语句有两种, 一种是 begin-end 语句, 通常用来标志 顺序 执行的语句; 一种是 fork-join 语句, 通常用来标志 并行 执行的语句。

二、选择填空题 (共 30 分, 每道题 3 分)。

1. inout 端口可以定义成下列哪种数据类型 (B)。

A、reg 类型 B、net 类型 C、reg 或 net 类型 D、整数类型

2. 下列数组描述中不正确的代码是 (D)。

A、integer cou [7:0]; B、reg bool [16:0];

C、integer mat [4:0][0:127]; D、reg [8*8:1] cararray_value;

3. 下列描述中采用时钟正沿触发且 reset 异步下降沿复位的代码描述是 (C)

A、always @(posedge clk, negedge reset)

if(reset)

B、always@(posedge clk, reset)

if (!reset)

C、always @(posedge clk, negedge reset)

if(!reset)

D、always @(negedge clk, posedge reset)

if (reset)

4. 下列代码描述中, 不能产生时序逻辑的 (A)

A、always (*)

begin

if (a&b) rega=c;

else rega=0;

end

B、always (*)

begin

```

        if (a&b)    rega=c;
        y=rega;
    end
C、always @(a)
    begin
        Case(a)
            2'b00: out=4'b0001;
            2'b01: out=4'b0010;
            2'b10: out=4'b0100;
        endcase
    end
end

```

5. 在高速系统设计中，下列哪种优化方案的目的是为了提高系统的工作频率（ D ）
 A、流水线 B、树型结构 C、迟置信号后移 D、资源共享

6. 状态机的编码风格包括一段式、两段式和三段式，下列描述正确的是（ C ）
 A、一段式寄存器输出，易产生毛刺，不利于时序约束；
 B、二段式组合逻辑输出，不产生毛刺，有利于时序约束；
 C、三段式寄存器输出，不产生毛刺，有利于时序约束；
 D、所有描述风格都是寄存器输出，易产生毛刺，有利于时序约束。

7. 下列描述代码可综合的是（ C ）
 A、fork... join B、assign/deassign C、if...else 和 case D、repeat 和 forever

8. 关于过程块以及过程赋值描述中，下列正确的是（ A ）
 A、在过程赋值语句中表达式左边的信号一定是寄存器类型；
 B、过程块中的语句一定是可综合的；
 C、在过程块中，使用过程赋值语句给 wire 赋值不会产生错误；
 D、过程块中时序控制的种类有简单延迟、边沿敏感和电平敏感。

9. 关于函数的描述下列说法不正确的是（ B ）
 A、函数定义中不能包含任何时序控制语句；
 B、函数至少有一个输入，包含任何输出或双向端口；
 C、函数只返回一个数据，其缺省为 reg 类型；
 D、函数不能调用任务，但任务可以调用函数。

10. Verilog 语言与 C 语言的区别，不正确的描述是（ C ）
 A、Verilog 语言可实现并行计算，C 语言只是串行计算；
 B、Verilog 语言可以描述电路结构，C 语言仅仅描述算法；
 C、Verilog 语言源于 C 语言，包括它的逻辑和延迟；
 D、Verilog 语言可以编写测试向量进行仿真和测试。

三、（10 分）试设计一个 3/8 译码器，规定模块定义为 module Decoder(Out,In,En),其中 Out 为译码器输出，In 为译码器输入，En 为译码使能输入。要求：写出 3/8 译码器 Verilog HDL

设计程序并注释；

标准答案 1:

```
module decoder(Out,In,En); (2 分)
output [7:0] out;
input [2:0] in;
input en; //IO 定义 (3 分)
assign out = (en==0)?0:1'b1<<In; /*若 En 为高电平，3/8 译码，
                                     否则输出无效电平*/ (5 分)
endmodule
```

标准答案 2:

```
module decoder(Out,In,En); (2 分)
output [7:0] out;
input [2:0] in;
input en; //IO 定义 (3 分)
reg [7:0] out;

always @ (In or En)
begin
    if(En == 0) //若 En 为低电平，3 输出无效电平 (2 分)
        Out = 8'b0;
    else //若 En 为高电平，3/8 译码 (3 分)
        case(in)
            3'b000: Out = 8'b00000001; //0
            3'b001: Out = 8'b00000010; //1
            3'b010: Out = 8'b00000100; //2
            3'b011: Out = 8'b00001000; //3
            3'b100: Out = 8'b00010000; //4
            3'b101: Out = 8'b00100000; //5
            3'b110: Out = 8'b01000000; //6
            3'b111: Out = 8'b10000000; //7
        endcase
    end
end
```

四、(20 分) 试使用 Verilog HDL 设计一个 10 进制计数器，规定模块定义为 module count10(out,clr,clk),其中 clk 为时钟输入，clr 为同步清零输入，低电平有效，out 为计数器输出。要求

- (1) 写出 10 进制计数器 Verilog HDL 设计程序并注释；
- (2) 写出 10 进制计数器 Verilog HDL 测试文件并注释；

标准答案

(1)

```
module counter10(out,clr,clk);
input clr,clk; //IO 端口定义
```

```

output    out;

reg        [3:0] cnt;           //计数
always @ (posedge clk)
if(!clr)
    cnt <= 1'b0;
else if(cnt == 4'd9)
    cnt <= 1'b0;
else
    cnt <= cnt + 1'b1;

assign out = (cnt == 4'd9);     //计数结果输出
endmodule

```

```

(2)
module counter10_test;
reg    clk, rst;
wire   out;

initial                                //赋初值
begin
    rst = 1'b0;
    clk = 1'b0;
#100
    rst = 1'b1;
end

always #10 clk = ~clk;                //产生时钟信号

counter10 u0(.out(out),.clr(rst),.clk(clk)); //调用设计模型
endmodule

```

五、根据下列 Verilog 代码给出电路结构图，针对资源共享的思想分析电路的问题点并提出改进方法，用 Verilog 语言描写并给出电路结构图。（五题和六题任选一题）

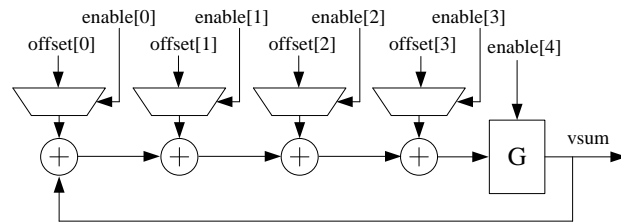
源代码描述如下：

```

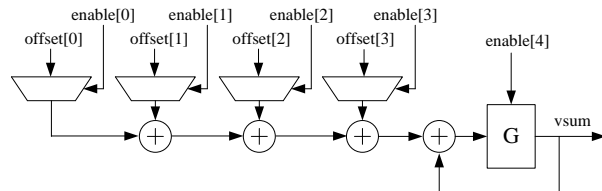
for (i=0,i<=3,i=i+1)
begin
    if (enable[i]==1)
        vsum = vsum+ offset[i];
    else
        vsum = vsum;
end

```

原代码对应的电路如下所示：



图中使用了 4 个选择器以及 4 个 4 位加法器。可将 4 个加法器中的共用部分进行共享，即对 4 个选择器的输出进行求和后再与之前的结果进行相加，其电路如下所示：

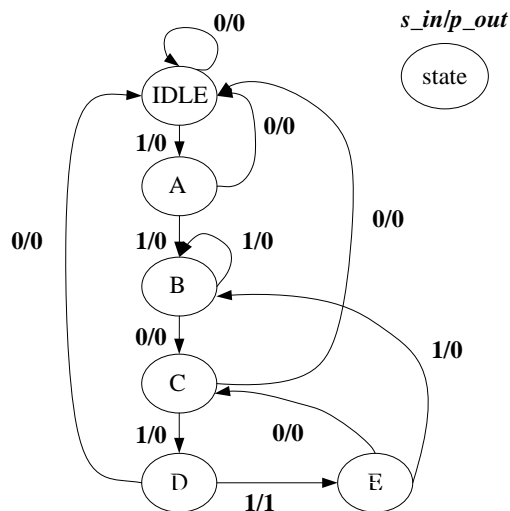


左图使用了 4 个选择器和 4 个加法器，包括 2 个 2 位的加法器和 1 个 3 位的加法器和 1 个 4 位的加法器。电路对应代码如下：

```
for (i=0;i<=3;i=i+1)
begin
    if (enable[i] ==1)
        offset_1= offset_1+ offset[i];
    else
        vsum = vsum;
end
vsum = vsum+offset_1;
```

评分标准：画出原代码对应的电路，并分析出资源特点得 4 分
画出优化后的电路，并分析出资源特点得 4 分
写出了优化后的源代码得 2 分。

六、（10 分）使用状态机设计一个“11011”序列检测器，序列输入为 s_in ，检测结果输出为 p_out ，高电平表示发现指定序列，低电平表示没有发现指令序列。请对状态进行定义，并画出状态转移图。（10 分）（五题和六题任选一题）



状态定义：

IDLE:	3'b000	未检出有效比特
A:	3'b001	检出有效比特 1
B:	3'b010	检出有效比特 11
C:	3'b011	检出有效比特 110
D:	3'b100	检出有效比特 1101
E:	3'b101	检出有效比特 11011

评分标准：6 个状态，每个状态转换正确得 1 分，共 6 分

进行状态定义与编码，得 1 分

定义了图例，及图中 sin/p_out，得 1 分

输入(即 s_in)书写正确得 1 分

输出(即 p_out)书写正确得 1 分