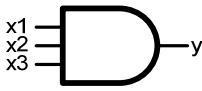
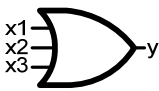
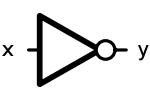

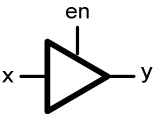


## A. 数字部分 （共 50 分）

计分栏

一 (10 分)	二 (16 分)	三 (24 分)	合计

门级电路名称	电路符号	接口
与门		<b>and(y,x1,x2,x3)</b>
或门		<b>or (y,x1,x2,x3)</b>
非门		<b>not(y,x)</b>
异或门		<b>xor(y,x1,x2)</b>
三态门（高电平使能） 当使能信号为低时，输出为高阻		<b>bufif0(y,x,en)</b>

### 一. 填空题（共 10 分，每空 1 分）

- IP 核在 EDA 技术和开发中具有十分重要的地位，提供用 Verilog 等硬件描述语言描述的功能块，但不涉及实现该功能块的具体电路的 IP 核为软核。
- 写出 HDL 英语全程：Hardware Description Language。
- $4'b\ 1001 \wedge 4'b\ 0101 =$   $4'b1100$ ； $\{3\{3'b\ 101\}\} =$   $9'b101\ 101\ 101$ 。
- 如下程序代码，V 的 8 位数分别为  $8'bxxxx\ xxxx$ 、 $8'b0000\ 001\ x$  和  $8'b0000\ 0011$ 。

```
reg [7:0]V
initial
begin
    V=8'bx;
    V=8'b1x;
    V=2'h0F;
end
```

- 将下列代码补充完整，需要仿真产生 1Mhz 的时钟信号。

```
`timescale 100ns/1ns
module ClockGen;
    reg clk;//定义变量
```

```

initial
begin
    clk=0 or clk=1 ;//初始化变量
end
always #5 clk=~clk or clk<=~clk ;//产生时钟
endmodule

```

## 二. 电路及时序分析题 (共 16 分)

6. 图 B-1 给出了一个用门级电路搭建的电路结构, 请回答如下问题: (10 分)

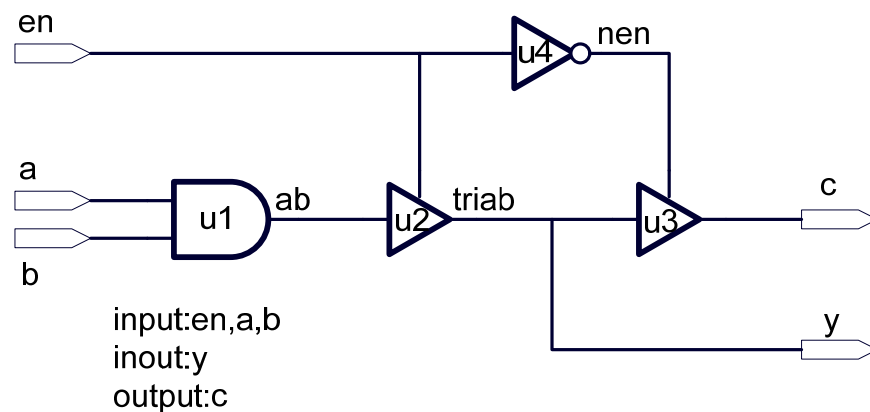


图 B-1 门级电路图

1) 试用 Verilog 语言, 利用内置基本门级元件, 采用结构描述方式生成图 B-1 所示电路。

(4 分)

```

module XX(en, a, b, y, c);
    input en,a,b;
    output c;
    inout y;

    wire nen,ab;
    wire nen,ab,triab;

    and u1(ab,a,b);
    or
    and u1(ab,a,b);
    not u4(nen,en);
    not u4(nen,en);
    bufif0 u2(y,ab,en);
    bufif0 u2(triab,ab,en);
    bufif0 u3(c,y,nen);
    bufif0 u3(c,triab,nen);
    assign y= triab;

endmodule

```

2) 试用 Verilog 语言, 采用可综合风格的行为描述方式生成图 B-1 所示电路。(6 分)

```
module XX(en, a, b, y, c);
    input en,a,b;
    output c;
    inout y;
    reg y,c;
    always@(a,b,en)                or                assign y=en?(a&b)>'bz;
        if(en)                    assign c=en?'bz:y;
            begin
                y<=a&b;
                c<='bz;
            end
        else
            begin
                c<=y;
                y<='bz;(可以不要)
            end
    endmodule
```

7. 根据图 B-2 所示时序图, 采用 Verilog 语言设计与之功能匹配的电路模块(边沿锁存器)。(6 分)

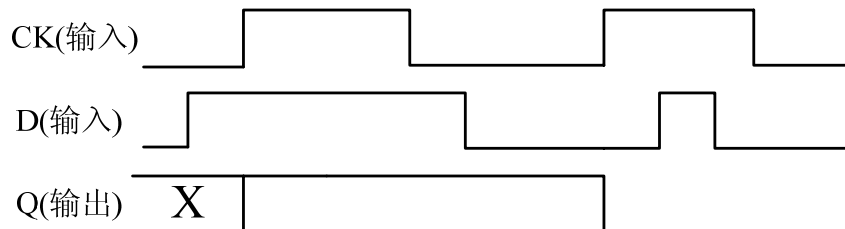


图 B-2 时序图

```
module XX(CK, D, Q);
    input CK,D;
    output D;
    reg Q;
    always@(posedge clk)
        q<=D;
endmodule
```

### 三. 电路设计题（共 24 分）

8. 利用 Verilog 语言，采用可综合风格设计一个带异步复位、同步置数（数据加载）和计数使能控制的 8 位二进制减法计数器。信号列表：（8 分）

- a) 输入端口：
- clk      时钟信号
  - rst      异步复位信号
  - en      计数使能信号
  - load      同步装载信号
  - data      装载数据
- b) 输出端口：
- q      计数输出

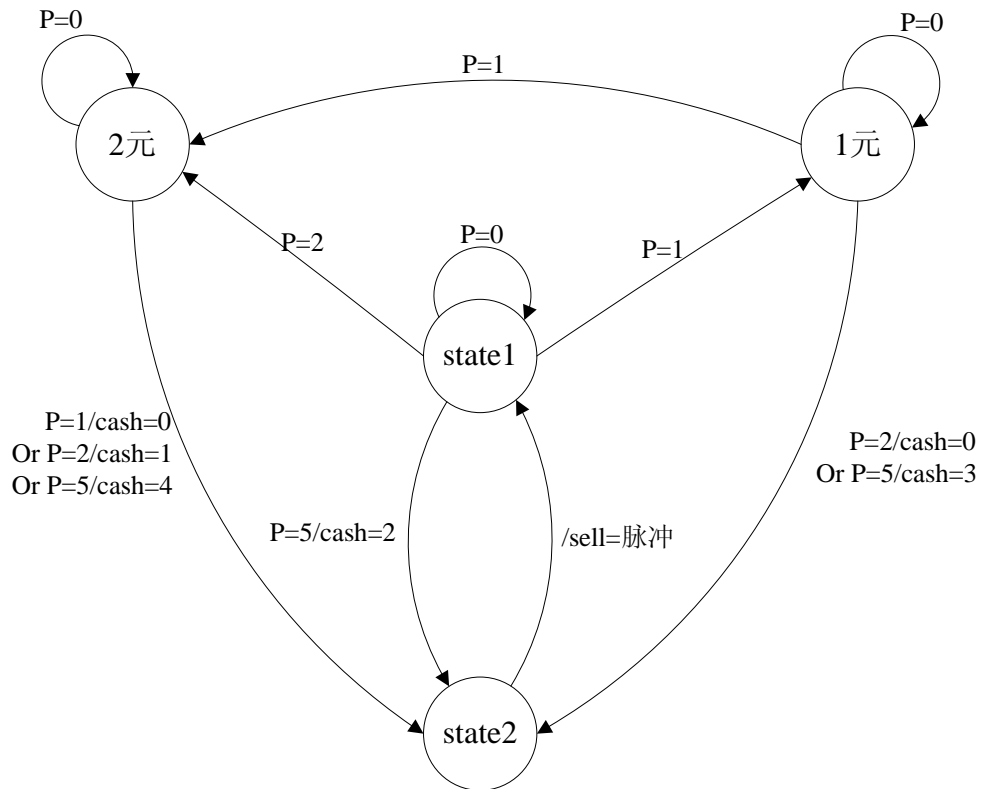
```
module XX(clk,rst,en,load,data,q);  
    input clk,rst,en,load;  
    input [7:0] data;  
    output [7:0] q;  
    reg[7:0] q;  
    always@(posedge clk or posedge rst)  
        if(rst)  
            q<=0;  
        else if(load==1)  
            q<=data;  
        else if(en==1)  
            q<=q-1;  
endmodule
```

9. 设计一个自动售货机系统，该售货机专售价值为 3 元的碳酸饮料，只能接收面值为 1 元、2 元和 5 元的纸币，并能正确找回钱数，请回到如下问题：（16 分）

- 1) 根据题干信息，设计该自动售货机的状态转移图。（10 分）

提示：假设售货机无人操作状态为 state1，投币满足购买条件并自动售出饮料，找回剩余钱数为 state2。并认为先投 1 元，再投 5 元这种类似操作合理，但当投币总数一旦超过购买条件，则自动售出饮料。

- a) 输入端口：
- clk 时钟信号
  - p 所投纸币钱数，可为 1、2、5 和 0
- b) 输出端口：
- sell 售出饮料信号（脉冲信号，为了能够生成脉冲，可在 state2 状态中通过判断计数器值来完成脉宽的给定）
  - cash 找零钱数，最大为  $2+5-3=4$  元，最小为 0 元
- c) 中间变量：
- count 计数器值（用于产生脉冲信号，假设脉宽需要计数器赋值为 VMax）



- 2) 假设时钟频率为 10Hz，为能够生成售出饮料信号的脉冲信号，脉宽需为 200ms，请用 Verilog 写出 state2 状态下的行为代码（局部代码），对于其他状态不需设计。（6 分）

```

case state2;
begin
  if(count>=3)
  begin
    count<=0;
    sell<=1;
  end
else
  begin
    count<=count+1;
    sell<=1;
  end
end
end

```