

Modelsim 使用指南

1 前言

作为一种简单易用，功能强大的逻辑仿真工具，Modelsim 具有广泛的应用。这里对 ModelSim 作一个入门性的简单介绍。首先介绍 ModelSim 的代码仿真，然后介绍门级仿真和时序验证。

2 代码仿真

在完成一个设计的代码编写工作之后，可以直接对代码进行仿真，检测源代码是否符合功能要求。这时，仿真的对象为 HDL 代码，比较直观，速度比较快，可以进行与软件相类似的多种手段的调试（如单步执行等）。在设计的最初阶段发现问题，可以节省大量的精力。

2.1 代码仿真需要的文件

1. 设计 HDL 源代码：可以使 VHDL 语言或 Verilog 语言。
2. 测试激励代码：根据设计要求输入/输出的激励程序，由于不需要进行综合，书写具有很大的灵活性。
3. 仿真模型/库：根据设计内调用的器件供应商提供的模块而定，如：FIFO（Altera 常用的 FIFO 有：lpm_fifo /lpm_fifo_dc 等）、DPRAM 等。

2.2 代码仿真步骤

1. **建立工程**：在 ModelSim 中建立 Project。如图 2.1 所示，点击 File⇒New⇒Project，得到 Create Project 的弹出窗口，如图 2.2 所示。在 Project Name 栏中填写你的项目名称，建议和你的顶层文件名字一致。Project Location 是你的工作目录，你可通过 Browse 按钮来选择或改变。Default Library Name 可以采用工具默认的 work。

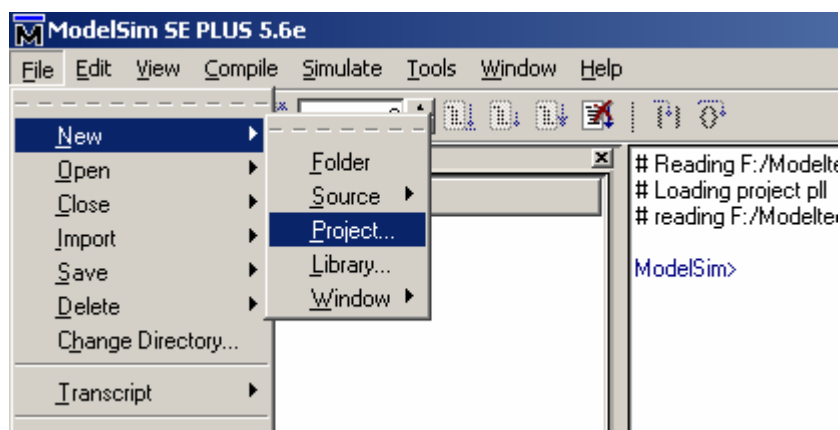


图 2.1

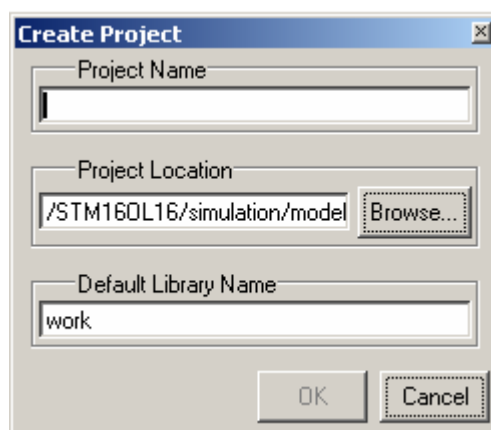


图 2.2

2. 给工程加入文件: ModelSim 会自动弹出 Add Items to the project 窗口, 如图 2.3 所示。选择 Add Existing File 后, 根据相应提示将文件加到该 Project 中。

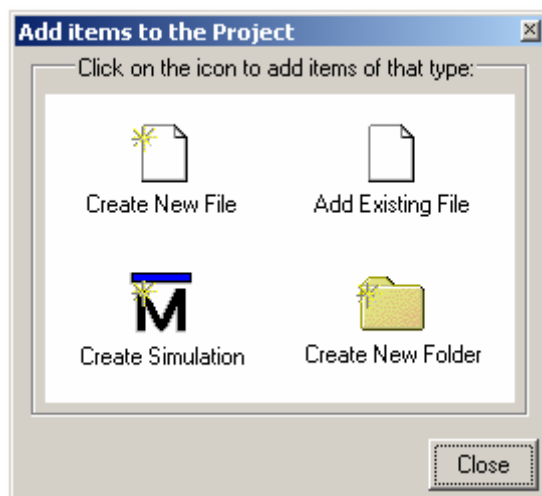




图 2.3

3. **编译：**编译（包括源代码和库文件的编译）。编译可点击 Comlile⇒Comlile All 来完成。

4. **装载文件：**如图 2.4，点击 Simulate⇒Simulate...后，如图 2.5 所示，选定顶层文件（激励文件），ADD 加入，然后点击 LOAD，装载。

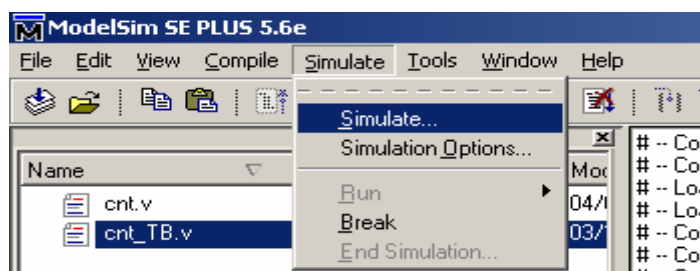


图 2.4

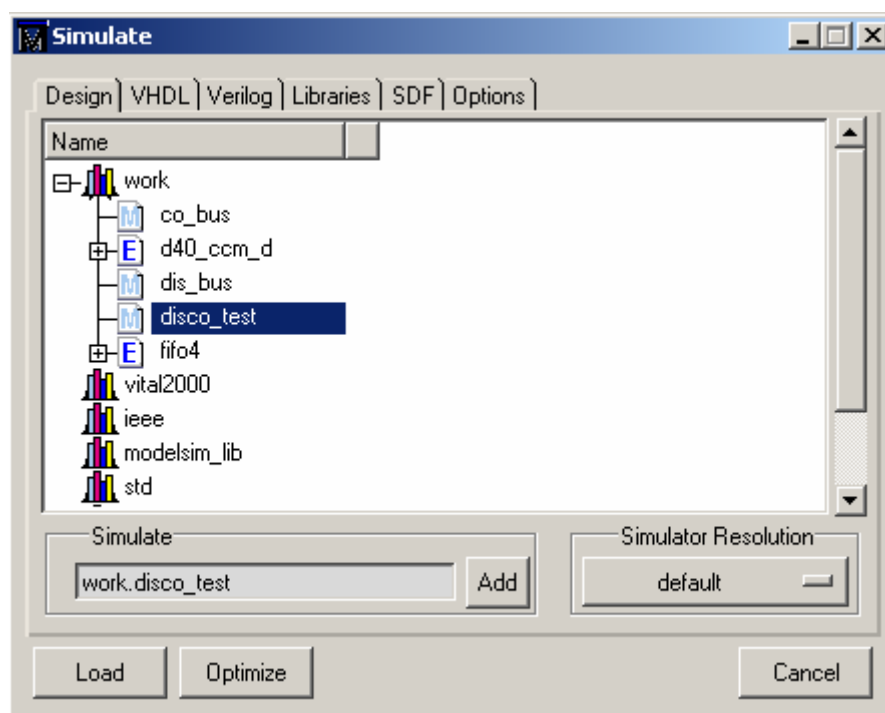


图 2.5

5. **开始仿真：**同过菜单：View -> Structure, View -> Signals, View -> Wave 打开 Structure, Signals, Wave 三个窗口。在 Structure 窗口内选定你所要观察的信号所在的模块，然后在 Signals 窗口选定信号，同过鼠标左键拖放到 Wave 窗口，如图

2.6. 然后在 Wave 窗口，点击 run all，运行，在波形窗口就可以看到信号的仿真波形。如图 2.7。

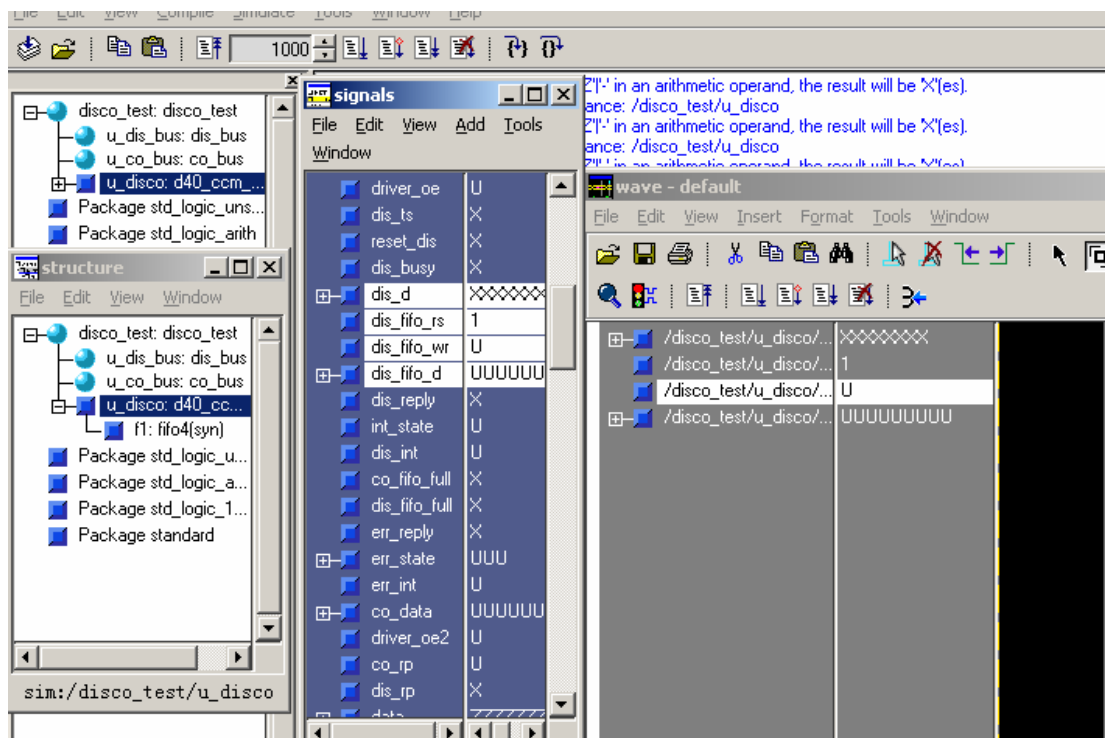


图 2.6

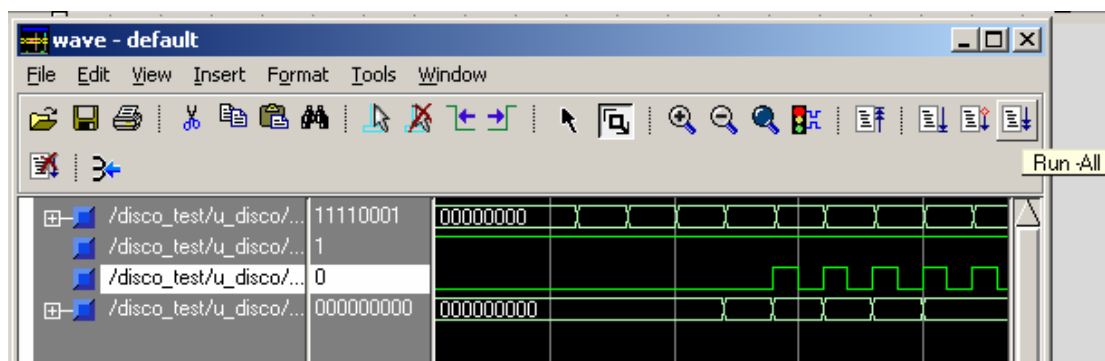


图 2.7

6. 波形信号的保存：有时，在波形窗口内拖放了较多的信号，可以保存起来以后调入。在 wave 窗口，File -> Save format，保存成*.do 文件。以后需要调入时，在 modelsim 主窗口命令行内执行：do *.do 即可。

3 门级仿真和时序仿真

使用综合软件综合后生成的门级网表或者是实现后生成的门级模型进行仿真，不加入时延文件的仿真就是门级仿真。可以检验综合后或实现后的功能是否满足功能要求，其速度比代码功能仿真要慢，但是比时序仿真要快。

在门级仿真的基础上加入时延文件“.sdf”文件的仿真就是时延仿真。优点是：比较真实的反映逻辑的时延与功能，缺点是速度比较慢，如果逻辑比较大，那么需要很长的时间。

在这里仿真以 Altera 的器件为例。利用经过综合布局布线的网表和具有时延信息的反标文件进行仿真，可以比较精确的仿真逻辑的时序是否满足要求。

3.1 仿真需要的文件

1. 综合布局布线生成的网表文件
2. 测试激励
3. 元件库
4. 时序仿真的话，还需要综合布局布线生成的具有时延信息的反标文件（sdf）

3.2 仿真步骤

1. 在 Quartus2 中正确设置仿真工具：如图 3.1 所示，点击 Quartus2 的 Assignment 菜单下的 EDA Tools Settings，进入图 3.2。在图 3.2 中，点击 EDA tool type，再在 Tools Settings 的下拉菜单中，根据你所使用的语言与 Modelsim 的版本，作相应的选择。

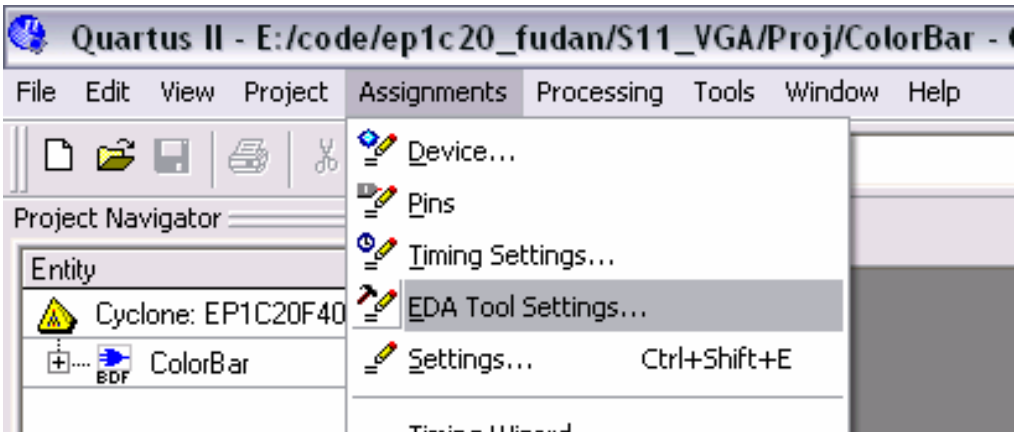


图 3.1

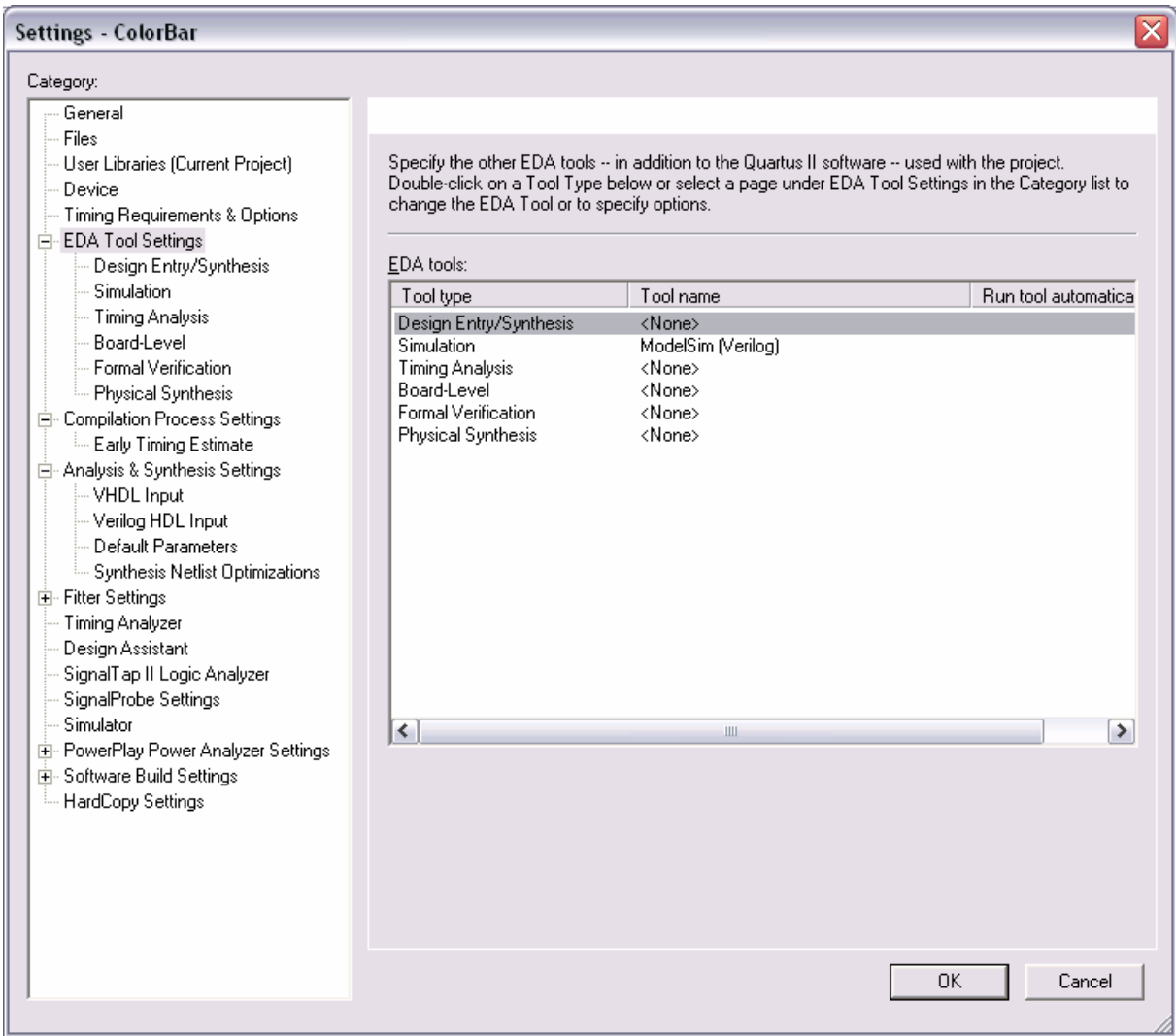



图 3.2

2. 用 Qusrtus2 产生仿真所需要的网表与 SDF 文件：在作了第一步的正确设置后，

每当你完成一次编译,Quartus2 会自动在你的当前 Project 目录下生成一个 simulation 目录,在该目录下有一个 modelsim 的目录。在该目录下,就有我们所需要的文件。如果使用 VHDL 语言,网表文件是 .VHO, SDF 文件是 SDO; 如果是使用 Verilog 语言,网表文件是 .VO, SDF 文件也是 SDO。你也可以通过 Quartus2 的 Processing-⇒start⇒ Start EDA Netlist Writer 来产生以上的文件,该方法如图 3.3 所示。

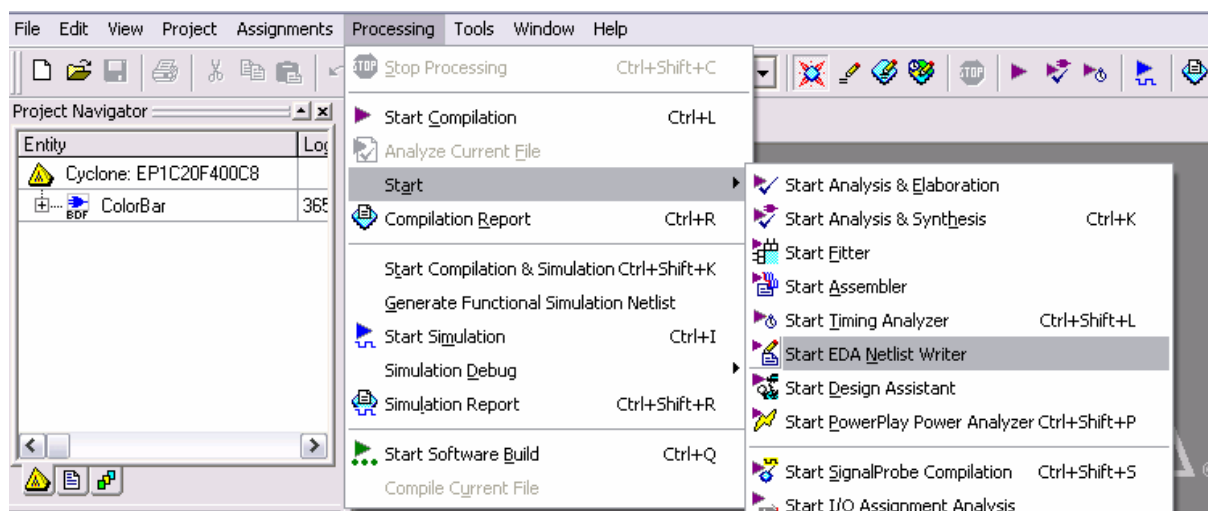


图 3.3

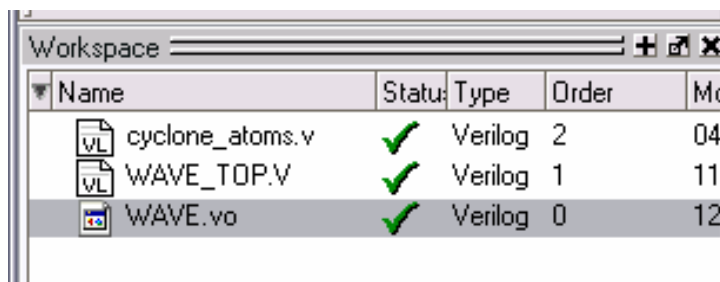
3. 在 ModelSim 中建立 Project: 与代码仿真相似, 建立工程, 并加入文建。不同的是, 门级仿真或时序仿真, 则是加入综合后的网表文件, 源代码文件不需要, 要将其从 Project 中删除。

4. 编译源代码和网表: 源代码的编译可点击 Comlile⇒Comlile All 来完成。

5. 加入库器件库文件: 加入库文件如下所述:

在工程中添加文件: C:\altera\quartus50\eda\sim_lib\ cyclone_atoms.v 文件
(由于我们使用的是 cyclone 系列的 FPGA 芯片)

编译成功如下所示



如果只进行门级仿真到这步就可以仿真了跳到第七步。如果要作时序仿真（后仿真）需要做第六步

6. 仿真准备：至此，我们已经准备好了仿真所需要的所有文件：源代码或网表文件，testbench 文件，库文件，SDF 文件。下面开始仿真。如图 3.10 所示，点击 Simulate⇒Simulate...后，

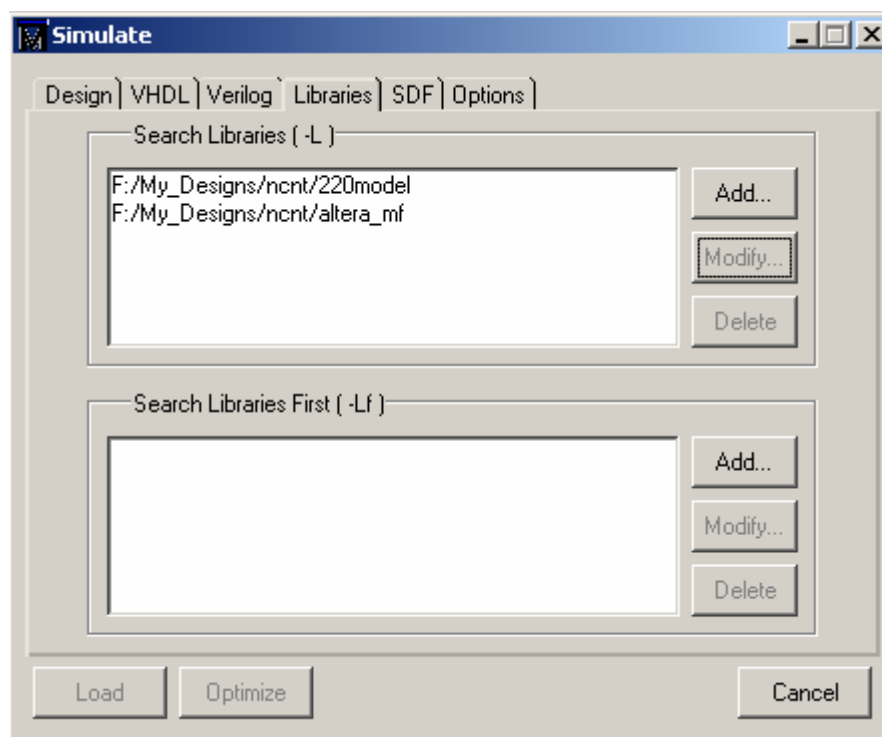


图 3.12

对于时序仿真，还要加入反标（sdf）文件，单击 SDF，再单击 Add，将 SDF 文件加入。如图 3.13。

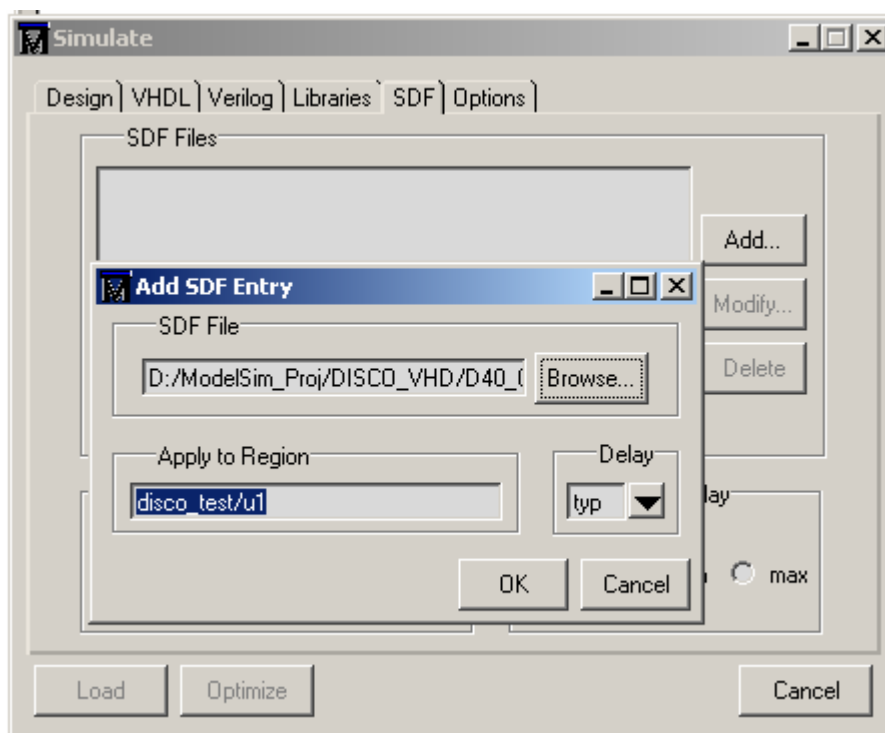


图 3. 13

同过 Browse 加入 SDF 文件，在 Apply to Region 框内填入反标文件所对应的模块。在图 2. 中，disco_test 为测试激励程序，u1 为被仿真的模块在激励程序中的例化名字。单击 ok 将 sdf 文件加入，然后单击 load，就可已开始仿真了。

7. 开始仿真：与代码仿真一样，在这里不在说明。