

一、 填空题（40 分， 每空 2 分， 除非特殊声明）

1、 $(57.25)_{10} = (111001.01)_2 = (71.2)_8$;

-26 的二进制反码为 (100101_)， 补码为 (100110_)。（每空一分）

2、 为了给 345 位同学进行 2 进制编码， 至少需要 (9) 位编码位数

3、 写出图 1 中 $Y = (\text{同或})$



图 1

4. 在图 2 中， 当输入为高电平， C 端接地， 则输出为(高阻抗)

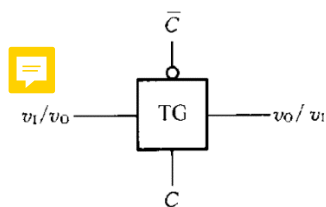


图 2

5. $Y = (A + (BC)')' + D$, 则 $Y' = ((A + B' + C')D')$

6. 在图 3 中， T1 属于 P 沟道增强型三极管。当输入 U_i 为高电平时， T2 导通， 输出 U_o 为低电平。

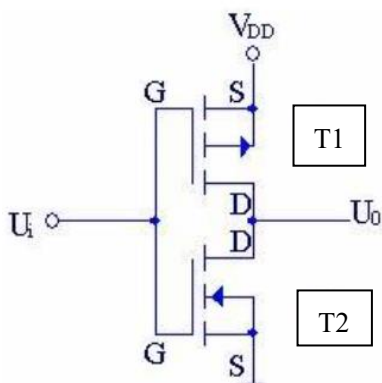


图 3

7. 组合逻辑电路和时序逻辑电路的根本区别在于组合电路无记忆功能， 时序电路有记忆功

能，__ 体现在电路上为：__组合电路无反馈，时序电路有反馈__。

8. 请写出 JK 触发器的特性方程 $Q^*=JQ' + K'Q$ 。

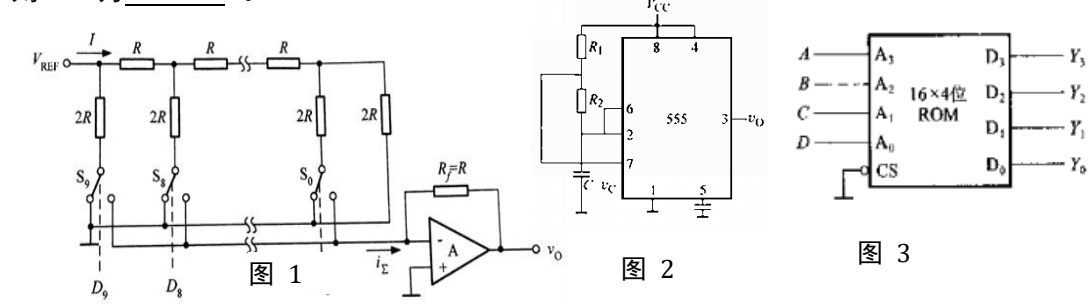
9. 用 JK 触发器转换为 T 触发器功能，那么 $J=$ T； $K=$ T。（每空一分）

10. 为构成 4096×8 的 RAM，需要 8 片 1024×4 的 RAM。

11. 状态机分为米利和摩尔两种类型，某状态机电路，输入为 X、状态变量为 $Q_0Q_1Q_2$ ，若输出为 $Y=X'Q_0Q_2'$ ，则该状态机属于 米利 型。

12. 施密特触发器、单稳态触发器和多谐振荡器中，__施密特触发器__的稳态数最多。

13. 10 位倒 T 电阻网络 DA 转换器。如图 4，当输入为 10 0000 0000 时，输出电压为 $V_o=5V$ 则 V_{REF} 为 10 V。



14. 某 D/A 转换器中，输入的数字量为 8 位，则其理论转换精度为 $1/255$ 。

9、图 2 中，用 555 定时器组成的多谐振荡器电路中，若 $R_1=10k\Omega$ ， $R_2=5k\Omega$ ， $C=0.01\mu F$ ， $V_{CC}=10V$ ，则该电路的振荡频率为 $5/\ln 2 = 7.2$ kHz。

15. 如图 3 所示，用 ROM 产生输出为 $Y_3Y_2Y_1Y_0$ 的组合逻辑。若 ROM 起始地址为全 0，则地址 1110B 的存储单元中的二进制值为 (0100)。 $Y_3=A'B'CD+AB'CD$ ； $Y_2=ABD'+A'CD+AB'C'D'$ ； $Y_1=AB'CD'+BC'D$ ； $Y_0=A'D'$ 。

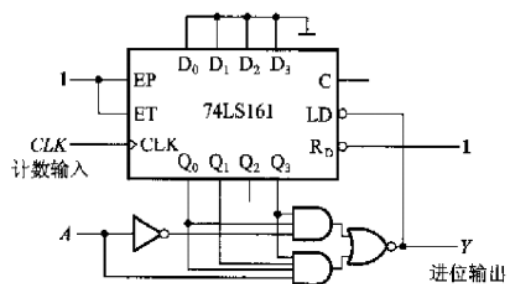
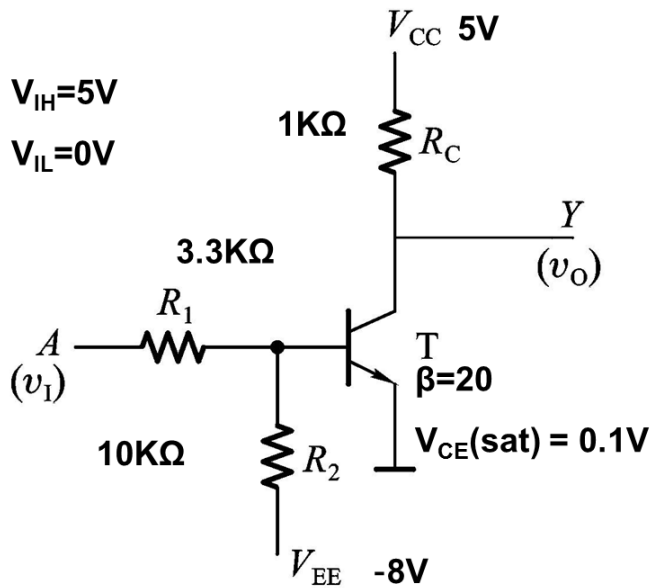


图 4

16. 对于逐次渐进型 A/D 转换器，有 N 位输出，需要 $N+2$ 个时钟周期。

二、计算、分析与简答 (20 分)

1. 某 TTL 电路如下图所示，所有参数均如下图所描述。请计算回答：（1）当输入为低电平时，T 工作在什么状态？（2）当输入为高电平时，T 工作在什么状态？（6 分）



(1) 当输入为低电平时：

$$V_I = V_{IL} = 0 \text{ 时, } V_B = 0 - \frac{8}{13.3} \cdot 3.3 = -2.0V$$

所以 T 截止, $i_c = 0$, $V_o = V_{OH} = V_{CC} = 5.0V$ -----2 分

(2) 当输入为高电平时：

首先，假设三极管截止，则：

$$V_B = V_I - \frac{R_1(V_I - V_{EE})}{R_1 + R_2}$$

$$= 5 - \frac{3.3(5 + 8)}{10 + 3.3} \approx 1.8 > 0.7$$

所以，三极管处于导通状态， $V_{BE} = 0.7V$ -----4 分

$$i_B = I_{R1} - I_{R2} = \frac{5 - 0.7}{3.3} - \frac{0.7 + 8}{10} = 0.43\text{mA}$$

$$i_{BS} = \frac{i_{CS}}{\beta} = \frac{V_{CC} - V_{CE(sat)}}{\beta * R_C} = 0.245\text{mA}$$

明显, $i_B > i_{BS}$, 属于深度饱和

$$V_O = V_{CE(sat)} = V_{OL} = 0.1\text{V}$$

---6 分

2. 简述, 在组合电路中, “竞争—冒险”产生的根本原因, 以及能够消去“竞争—冒险”的一些方法。(4 分)

解: 竞争: 信号经由不同的途径到达某一会合点的时间有先有后

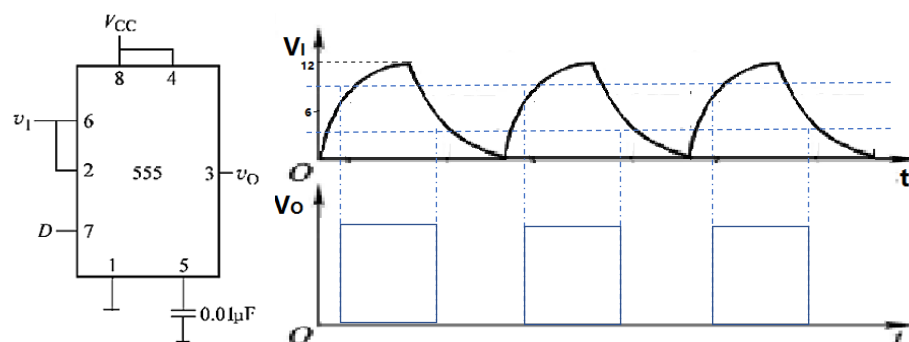
冒险: 由于竞争而引起电路输出发生瞬间错误现象 -----2 分

消除方法: (1) 增加冗余项, 修改逻辑设计

(2) 吸收法, 在输出端加小电容 C 可以消除由于竞争冒险产生的毛刺。但是输出波形的前后沿将变坏, 在对波形要求较严格时, 应再加整形电路。

(3) 取样法, 电路稳定后加入取样脉冲, 在取样脉冲作用期间输出的信号才有效, 可以避免毛刺影响输出波形。-----2 分

3. 如下图所示, 555 定时器构成的触发器。电源电压 $V_{CC}=15\text{V}$, 输入电压 V_I 最大幅值 12V , 请计算出上、下阈值电压 V_{T+} 、 V_{T-} , 并画出输出 v_o 的波形图。(5 分)



$$V_{T+} = (2/3) * V_{CC} = 10\text{V}; \quad \text{-----1 分}$$

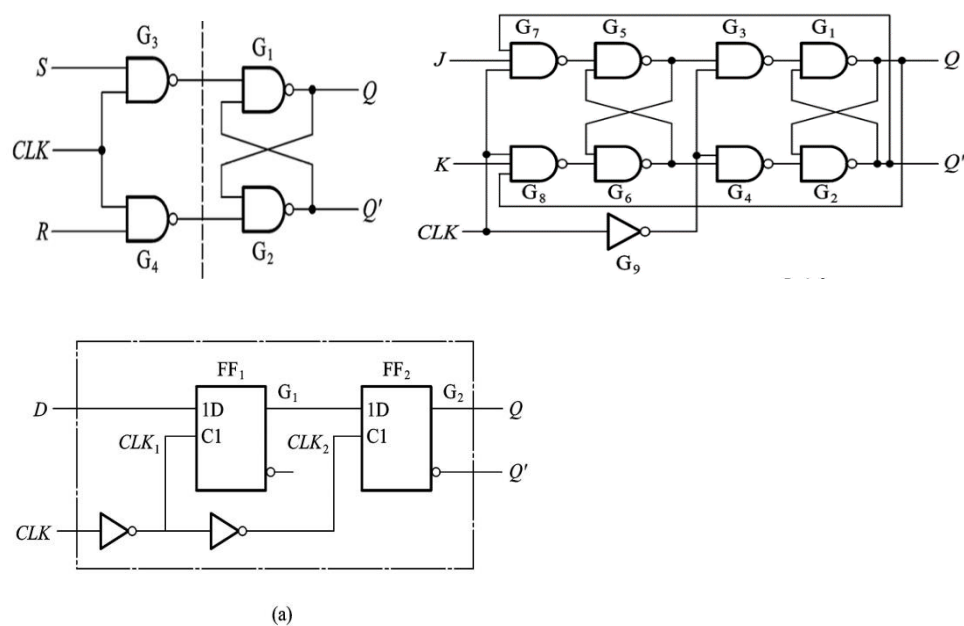
$V_T = (1/3) * V_{CC} = 5V$; -----2 分

在输入电压 V_i 上升时当 $V_i > 10V$, 输出为高电平。-----4 分

在输入电压 V_i 下降时当 $V_i < 5V$, 输出为低电平。-----5 分

因此输出波形图如上所示。

4. 请从 CLK 以及约束条件的角度, 简要阐述 SR 电平触发器、JK 脉冲触发器以及 D 边沿触发器 (其电路图分别如下所示) 各自的特点。(5 分)



- (1) SR 电平触发器: 在 CLK 为高电平期间输出随输入可以变化多次, SR 约束为 $SR=0$; -----2 分
- (2) JK 脉冲触发器: 在一个 CLK 周期内输出仅改变一次。但其输出取决于整个 CLK 周期内变化情况, SR 约束为接触 SR 约束。-----4 分
- (3) D 边沿触发器: 在一个 CLK 周期内输出仅改变一次, 且取决于上升沿(或者下降沿), 无 SR 约束。 -----5 分

三、组合电路、时序电路的分析与设计 (40 分)。

5. 某同学参加三类课程考试, 规定如下: 文化课程 (A) 及格得 2 分, 不及格得 0 分; 专

业理论课程 (B) 及格得 3 分, 不及格得 0 分; 专业技能课程 (C) 及格得 5 分, 不及格得 0 分。若总分大于 6 分则可顺利过关 (Y), 试根据上述内容完成: (8 分)

- (1) 列出真值表; (2 分)
- (2) 写出逻辑函数表达式, 并化简成最简式; (3 分)
- (3) 仅用与非门画出实现上述功能的逻辑电路。(3 分)

1) 设文化课为 A, 专业理论课为 B, 专业技能课为 C, 用 Y 表示输出。
A=1 为 A=1, 1 代表及格 (过关), 0 代表没及格 (未过关)。

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

12) $Y = A'BC + AB'C + ABC$
 $= BC + AB'C$

BC

A \ BC	00	01	11	10
0			1	
1		1	1	

Y 的最简式为 $Y = BC + AC$

13) $Y = ((BC)'(AC)')'$

6. 有一个 74LS151 芯片, 如真值表如下所示。试用 74LS151 芯片和最少量的必要的门电路来表达以下逻辑表达式: $Y = AB' C + BC' D + AC' D'$ 。(请直接在 74LS151 芯

片上画出) (10 分)

Truth Table

Inputs			Outputs	
Select			Y	W
C	B	A		
X	X	X	L	H
L	L	L	D0	$\overline{D0}$
L	L	H	D1	$\overline{D1}$
L	H	L	D2	$\overline{D2}$
L	H	H	D3	$\overline{D3}$
H	L	L	D4	$\overline{D4}$
H	L	H	D5	$\overline{D5}$
H	H	L	D6	$\overline{D6}$
H	H	H	D7	$\overline{D7}$

H = High Level, L = Low Level, X = Don't Care

D0, D1...D7 = the level of the respective D input

评分标准：能将 Y 写成 $Y=m_0D_0+\dots+m_7D_7$ 的形式。由此思维可得 3 分。

正确写成以上表现形式，得 5 分。

正确设计出那个是地址端，哪个是作为数据输入端，得 8 分

正确画出设计图得 10 分

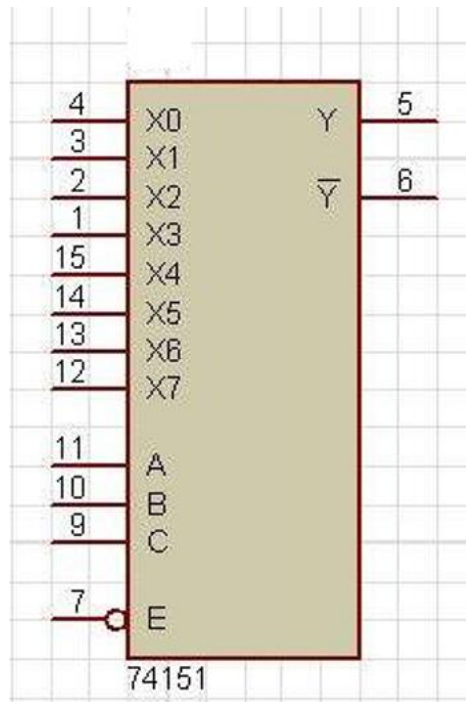
由 74LS151 真值表可得输出。

$$Y = m_0D_0 + m_1D_1 + m_2D_2 + \dots + m_7D_7$$

因此，C、B、A 表示地址位，D 用来表示数据位。
且 (C 表示高地址位)。

因此：
$$Y = AB'C + BC'D + AC'D'$$
$$= AB'C \cdot 1 + \underline{ABC'} \cdot D + \underline{A'BC'} \cdot D + \underline{ABC'D'} + AB'C'D'$$
$$= m_5 \cdot 1 + \underline{ABC'} + \underline{A'BC'} \cdot D + \underline{ABC'D'} + AB'C'D'$$
$$= m_5 \cdot 1 + m_3 \cdot 1 + m_2D + m_1D'$$

因此： $D_5=1; D_3=1; D_2=D; D_1=D'$
即： $X_5=1; X_3=1; X_2=D; X_1=D'$ ，其余数据均为 0。



7. 用 D 触发器，设计一个“011”序列检测器，每当输入“011”码时，对应最后一个 1，输出为 1，否则为 0. （10 分）

解：以下答案仅供参考。

评分标准：（1）输入、输出及状态定义 ---- 2 分

（2）正确画出状态转移图 -----4 分

（3）正确写出状态分配 -----6 分

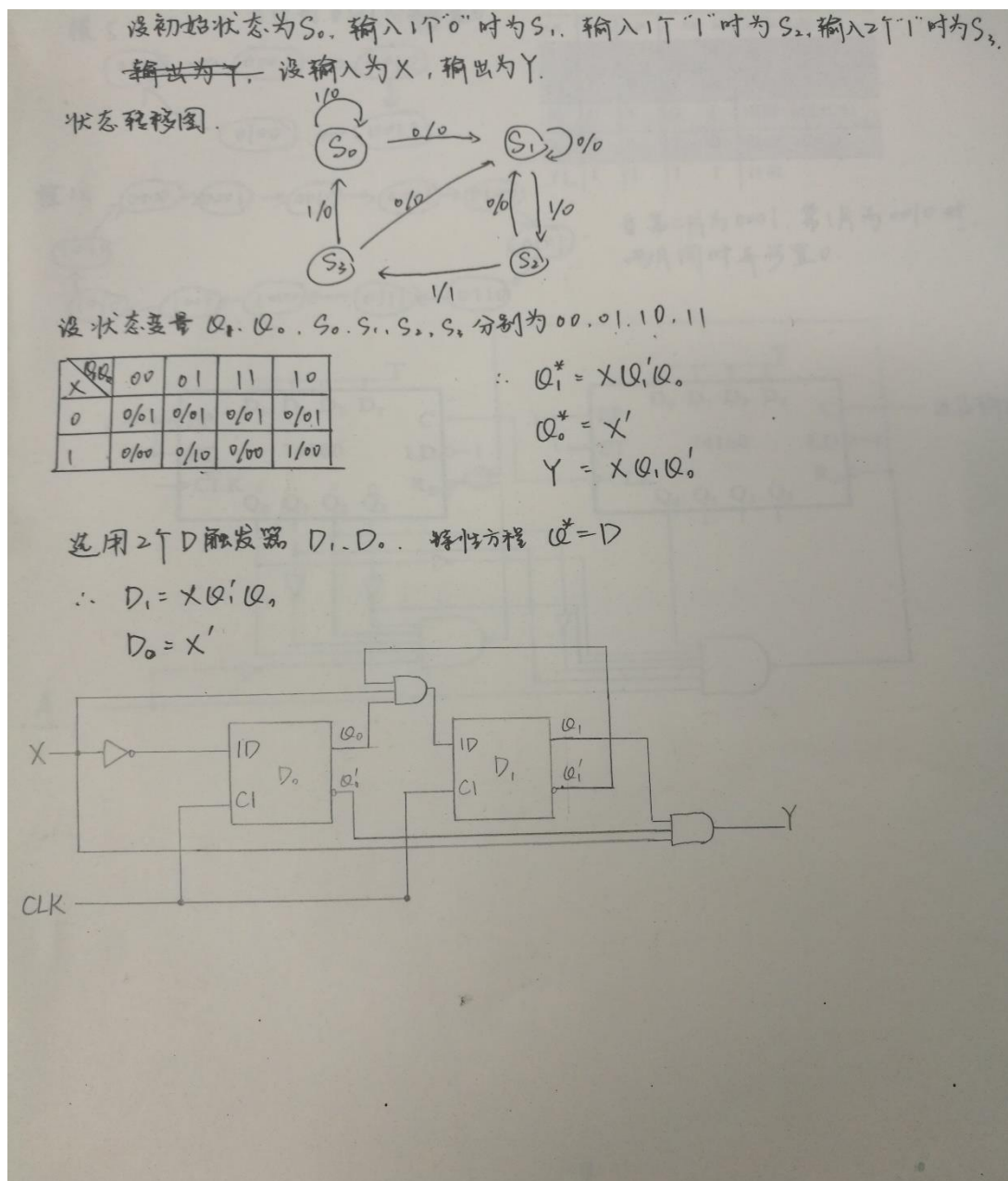
（4）正确写出驱动方程 ----8 分

（5）正确画出电路图 ----10 分

画出原始状态图（或称转移图）

输入端 X：输入一串行随机信号

输出端 Z：当 X 出现 011 序列时，Z=1；否则 Z=0



8. 74LS160 是同步模 10 进制计数器。A 为输入，试用二片 74LS160 设计一个多功能计数器。当 $A=1$ 时是一个模 12 计数器， $A=0$ 时是一个模 5 计数器。（10 分）

CLK	R_d'	LD'	EP	ET	工作状态
X	0	X	X	X	置 0 (异步)
	1	0	X	X	预置数 (同步)
X	1	1	0	1	保持 (包括 C)
X	1	1	X	0	保持 (C=0)
	1	1	1	1	计数

解：此题关键（1）计数器设计可以采用置 0 法和置数法，且由真值表可知都是异步的，因此需要注意计数器的状态数目。

（2）在设计模 12 进制计数器的时候，可以采用低位芯片的 C 位（进位）接高位芯片的控制位（EP，ET）也可以将 C 位接高位芯片的 CLK。

因此，本体可以有多种设计方法，以下答案仅供参考。

评分方法：（1）如果具有基本的置 0 置位思想，且能实现 2 个芯片相连得 3 分。

（2）正确完成 5 进制或者 12 进制得 5 分。

（3）2 者都完成，但是 A 输入的连法不正确得 7 分

（4）所有均正确，包括进位，控制位，置数置零得 10 分。

