

数 电 复 习 题

选择题：

1. 下列四个数中，与十进制数 $(163)_{10}$ 不相等的是 (D)
A. $(A3)_{16}$ B. 、 $(10100011)_2$
C. $(000101100011)_{8421BCD}$ D. 、 $(203)_8$
2. N个变量可以构成多少个最小项 (C)
A. N B. 、 2N
C. 2^N D. 、 2^N-1
3. 下列功能不是二极管的常用功能的是 (C)
A. 检波 B. 、 开关
C. 放大 D. 、 整流
4. 将十进制数 $(18)_{10}$ 转换成八进制数是 (B)
A. 20 B. 、 22
C. 21 D. 、 23
5. 译码器的输入地址线为 4 根，那么输出线为多少根 (C)
A. 8 B. 、 12
C. 16 D. 、 20
6. 能把正弦信号转换成矩形脉冲信号的电路是 (D)
A. 多谐振荡器 B. 、 D/A 转换器
C. JK 触发器 D. 、 施密特触发器
7. 三变量函数 $F(A, B, C) = A + BC$ 的最小项表示中不含下列哪项 (A)
A. m_2 B. 、 m_5
C. m_3 D. 、 m_7
8. 用 PROM 来实现组合逻辑电路，他的可编程阵列是 (B)
A. 与阵列 B. 、 或阵列
C. 与阵列和或阵列都可以 D. 、 以上说法都不对
9. A/D 转换器中，转换速度最高的为 (A) 转换
A. 并联比较型 B. 、 逐次逼近型
C. 双积分型 D. 、 计数型
10. 关于 PAL 器件与或阵列说法正确的是 (A)
A. 只有与阵列可编程 B. 、 都是可编程的
C. 只有或阵列可编程 D. 、 都是不可编程的
11. 当三态门输出高阻状态时，输出电阻为 (A)
A. 无穷大 B. 、 约 100 欧姆
C. 无穷小 D. 、 约 10 欧姆
12. 为使采样输出信号不失真地代表输入模拟信号，采样频率 f_s 和输入模

拟信号的最高频率 f_{Imax} 的关系是 (C)

A. $f_s = f_{\text{Imax}}$

B. $f_s = f_{\text{Imax}}$

C. $f_s = 2 f_{\text{Imax}}$

D. $f_s = 2 f_{\text{Imax}}$

13. 下列说法不正确的是 (C)

A. 集电极开路的门称为 OC 门

B. 三态门输出端有可能出现三种状态 (高阻态、高电平、低电平)

C. OC 门输出端直接连接可以实现正逻辑的线或运算

D. 利用三态门电路可实现双向传输

14. 以下错误的是 (B)

A. 数字比较器可以比较数字大小

B. 实现两个一位二进制数相加的电路叫全加器

C. 实现两个一位二进制数和来自低位的进位相加的电路叫全加器

D. 编码器可分为普通全加器和优先编码器

15. 下列描述不正确的是 (A)

A. 触发器具有两种状态, 当 $Q=1$ 时触发器处于 1 态

B. 时序电路必然存在状态循环

C. 异步时序电路的响应速度要比同步时序电路的响应速度慢

D. 边沿触发器具有前沿触发和后沿触发两种方式, 能有效克服同步触发器的空翻现象

16. 离散的, 不连续的信号, 称为 (B)。

A. 模拟信号

B. 数字信号

17. 组合逻辑电路通常由 (A) 组合而成。

A. 门电路

B. 触发器

C. 计数器

18. 8 线—3 线优先编码器的输入为 $I_0 \sim I_7$, 当优先级别最高的 I_7 有效时, 其输出 $\overline{Y_2} \cdot \overline{Y_1} \cdot \overline{Y_0}$ 的值是 (C)。

A. 111

B. 010

C. 000

D. 101

19. 十六路数据选择器的地址输入 (选择控制) 端有 (C) 个。

A. 16

B. 2

C. 4

D. 8

20. 一位 8421BCD 码译码器的数据输入线与译码输出线的组合是 (C)。

A. 4:6

B. 1:10

C. 4:10

D. 2:4

21. 函数 $F = A(A \oplus B)$ 的结果是 (C)

A. AB

B.

$\overline{A}B$

C. $A\overline{B}$

D.

$\overline{A}\overline{B}$

22. ROM 属于 (A)。

A. 组合逻辑电路 B. 时序逻辑电路

23. 有一个左移移位寄存器，当预先置入 1011 后，其串行输入固定接 0，在 4 个移位脉冲 CP 作用下，四位数据的移位过程是 (A)。

A. 1011--0110--1100--1000 —0000 B. 1011--0101--0010--0001 —0000

24. 一个二进制序列检测电路，当输入序列中连续输入 5 位数码均为 1 时，电路输出 1，则同步时序电路最简状态数为 (B)

A. 4 B. 5

C. 6 D. 7

25. 可以直接现与的器件是 (A)

A. OC 门 B. I²L 门

C. ECL 门 D. TTL 门

26. 16 个触发器构成计数器，该计数器可能的最大计数模值是 (D)

A. 16 B. 32

C. 16^2 D. 2^{16}

27. 用 $1K \times 1$ 位的 RAM 扩展成 $4K \times 2$ 位应增加地址线 (B) 根。

A. 1 B. 2

C. 3 D. 4

28. 能把正弦信号转换成矩形脉冲信号的电路是 (D)

A. 多谐振荡器 B. D/A 转换器

C. JK 触发器 D. 施密特触发器

29. 接通电源就能输出矩形脉冲波形的是 (A)

A. 多谐振荡器 B. D/A 转换器

C. JK 触发器 D. 施密特触发器

30. 在函数 $F=AB+CD$ 的真值表中， $F=1$ 的状态有多少个？ (D)。

A. 2 B. 4 C. 6 D. 7 E. 16

31. 对于题图 1 所示波形，其反映的逻辑关系是： (B)

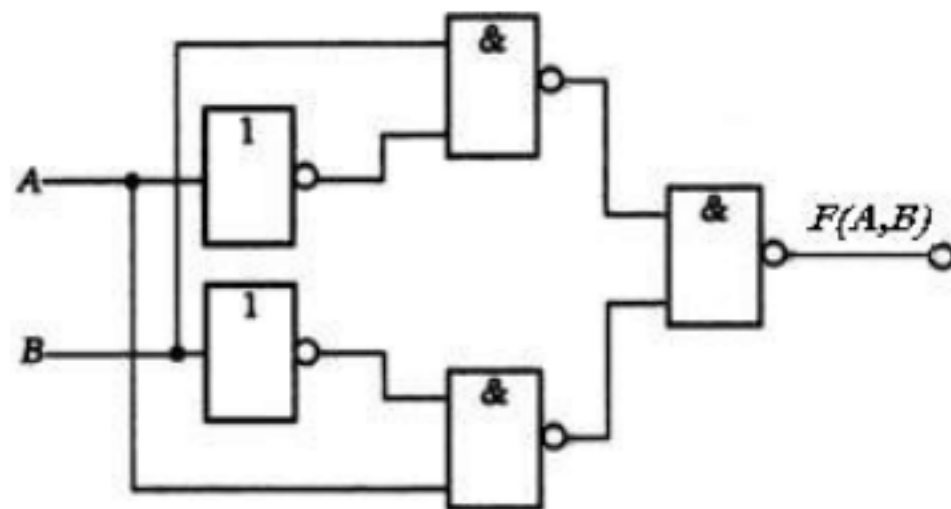


图 1

A. 与非关系； B. 异或关系； C. 同或关系； D. 或关系； E. 无法判断。

32、矩形脉冲信号的参数有 D。

A. 周期 B. 占空比 C. 脉宽 D. 以上都是

33、电路的输出态不仅与当前输入信号有关，还与前一时刻的电路状态有关，这种电路为 (B)。

A. 组合电路 B. 时序电路

34、米利和莫尔型时序电路的本质区别是 (B)

A. 没有输入变量。

B. 当时的输出只和当时电路的状态有关，和当时的输入无关。

C. 没有输出变量。

D. 当时的输出只和当时的输入有关，和当时电路状态无关。

35、十进制数 25 用 8421BCD 码表示为 B。

A. 10 101 B. 0010 0101 C. 100101 D. 1010

36、下列各函数等式中无冒险现象的函数式有 D。

A. $F = \overline{BC} + AC + \overline{AB}$ B. $F = \overline{AC} + BC + \overline{AB}$ C. $F = \overline{AC} + BC + \overline{AB} + \overline{AB}$

D. $F = \overline{BC} + AC + \overline{AB} + BC + \overline{AB} + \overline{AC}$ E. $F = \overline{BC} + AC + \overline{AB} + \overline{AB}$

37、在下列逻辑电路中，不是组合逻辑电路的有 D。

A. 译码器

B. 编码器

C. 全加器

D. 寄存器

38、把一个五进制计数器与一个四进制计数器串联可得到 D 进制计数器。

A. 4

B. 5

C. 9

D. 20

39、N 个触发器可以构成最大计数长度（进制数）为 D 的计数器。

A. N

B. 2N

C. N^2

D. 2^N

40、同步时序电路和异步时序电路比较，其差异在于后者 B。

A. 没有触发器

B. 没有统一的时钟脉冲控制

C. 没有稳定状态

D. 输出只与内部状态有关

41、寻址容量为 $16K \times 8$ 的 RAM 需要 C 根地址线。

A. 4

B. 8

C. 14

D. 16

E. 16K

42、只读存储器 ROM 中的内容，当电源断掉后又接通，存储器中的内容 D。

A. 全部改变

B. 全部为 0

C. 不可预料

D. 保持不变

43、将一个时间上连续变化的模拟量转换为时间上断续（离散）的模拟量的过程称为 A。

A. 采样

B. 量化

C. 保持

D. 编码

44、若某 ADC 取量化单位 $= \frac{1}{8} V_{REF}$ ，并规定对于输入电压 u_I ，在 $0 \leq u_I < \frac{1}{8} V_{REF}$

时，认为输入的模拟电压为 0V，输出的二进制数为 000，则 $\frac{5}{8}V_{REF}$ $u_i <$

$\frac{6}{8}V_{REF}$ 时，输出的二进制数为 B。

A. 001 B. 101 C. 110 D. 111

45、指出下列电路中能把串行数据转换为并行数据的是 (C)

A、JK 触发器 B、3 线 - 8 线译码器
C、移位寄存器 D、十进制计数器

46、逻辑函数 $F=A \oplus (A \oplus B) =$ A。

A. B B. A C. $A \oplus B$ D. $\overline{A \oplus B}$

47、在何种输入情况下，“与非”运算的结果是逻辑 0。 D

A. 全部输入是 0 B. 任一输入是 0 C. 仅一输入是 0 D. 全部输入是 1

48、若在编码器中有 50 个编码对象，则要求输出二进制代码位数为 B 位。

A. 5 B. 6 C. 10 D. 50

49、在下列逻辑电路中，不是组合逻辑电路的有 D。

A. 译码器 B. 编码器 C. 全加器 D. 寄存器

50、下列逻辑电路中为时序逻辑电路的是 C。

A. 变量译码器 B. 加法器 C. 数码寄存器 D. 数据选择器

51、随机存取存储器具有 A 功能。

A. 读 / 写 B. 无读 / 写 C. 只读 D. 只写

52、寻址容量为 $16K \times 8$ 的 RAM 需要 C 根地址线。

A. 4 B. 8 C. 14 D. 16 E. 16K

53、用二进制码表示指定离散电平的过程称为 D。

A. 采样 B. 量化 C. 保持 D. 编码

54、将幅值上、时间上离散的阶梯电平统一归并到最邻近的指定电平的过程称为 B。

A. 采样 B. 量化 C. 保持 D. 编码

填空题：

1. 数制转换： $(8F)_{16} = (143)_{10} = (10001111)_2 = (217)_8$ 。

2. 有一数码 10010011，作为自然二进制数时，它相当于十进制数 (147)，作为 8421BCD 码时，它相当于十进制数 (93)。

3. 已知某函数 $F = (B + \overline{A + CD})(\overline{AB} + \overline{CD})$ ，该函数的反函数 $\overline{F} = (\overline{B} \cdot \overline{\overline{A} \cdot \overline{CD}} + \overline{AB} \cdot \overline{CD})$

4. 如果对键盘上 108 个符号进行二进制编码，则至少要 (7) 位二进制数码。

5. 在 TTL 门电路的一个输入端与地之间接一个 $10\text{K}\Omega$ 电阻, 则相当于在该输入端输入 (高) 电平; 在 CMOS 门电路的输入端与电源之间接一个 $1\text{K}\Omega$ 电阻, 相当于在该输入端输入 (高) 电平。

6. 晶体三极管在工作时, 发射结和集电结均处正向偏置, 该晶体管工作在 (饱和导通) 状态。

7. 74LS138 是 3 线—8 线译码器, 译码为输出低电平有效, 若输入为 $A_2A_1A_0=110$ 时, 输出 $\overline{Y_7}\overline{Y_6}\overline{Y_5}\overline{Y_4}\overline{Y_3}\overline{Y_2}\overline{Y_1}\overline{Y_0}$ 应为 (10111111)。

8. 一个 10 位地址码、8 位输出的 ROM, 其存储容量为 (8K 或 2^{13})。

9. 将一个包含有 32768 个基本存储单元的存储电路设计 16 位为一个字节的 ROM。该 ROM 有 (11) 根地址线, 有 (16) 根数据读出线。

10. 能够实现“线与”的 TTL 门电路叫 (OC 门)。

11. 按逻辑功能的不同特点, 数字电路可分为 (组合逻辑电路) 和 (时序逻辑电路) 两大类。

12. 在逻辑电路中, 三极管通常工作在 (饱和) 和 (截止) 状态

13. $(406)_{10} = (0100\ 0000\ 0110)_{8421\text{BCD}}$

14. 一位数值比较器的逻辑功能是对输入的 (A 和 B 两个) 数据进行比较, 它有 ($Y_{A>B}$) ($Y_{A<B}$) ($Y_{A=B}$) 三个输出端。

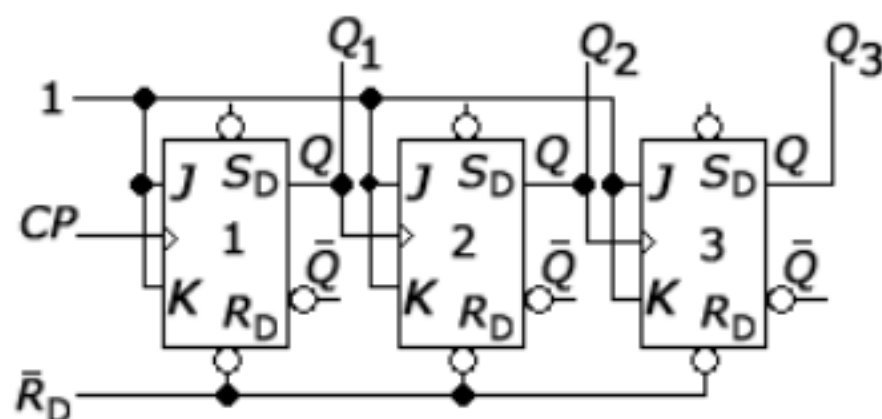
15. TTL 集成 JK 触发器正常工作时, 其 $\overline{R_D}$ 和 $\overline{S_D}$ 端应接 (高) 电平。

16. 单稳态触发器有两个工作状态 (稳态) 和 (暂稳态), 其中 (暂稳态) 是暂时的。

17. 一般 ADC 的转换过程由 (采样) (保持) (量化) 和 (编码) 4 个步骤来完成。

18. 存储器的存储容量是指 (存储单元的总和)。某一存储器的地址线为 $A_{14} \sim A_0$, 数据线为 $D_3 \sim D_0$, 其存储容量是 ($2^{15} \times 4$)。

19. 电路如下图 (图中为上升沿 Jk 触发器), 触发器当前状态 $Q_3 Q_2 Q_1$ 为 “100”, 请问在时钟作用下, 触发器下一状态 ($Q_3 Q_2 Q_1$) 为 (011)



20. 如果对 160 个符号进行二进制编码, 则至少需要 (8) 位二进制数。

21. 组合逻辑电路任何时刻的输出信号, 与该时刻的输入信号 (有关); 与电路原来所处的状态 (无关); 时序逻辑电路任何时刻的输出信号, 与该时刻的输入信号 (有关); 与信号作

用前电路原来所处的状态（有关）。（答案填有关或无关）

22. OC 门称为（集电极开路）门，多个 OC 门输出端并联到一起可实现（线与）功能。

23. 发光二极管半导体数码显示器的内部接法有两种形式：共（阴）接法和共（阳）接法。对于以上两种接法的发光二极管数码显示器，应分别采用（高）电平驱动和（低）电平驱动的七段显示译码器。

24. 时序逻辑电路按照其触发器是否有统一的时钟控制分为（同步）时序电路和（异步）时序电路。

25. $(5E.C)_{16} = (1011110.11)_2 = (136.6)_8 = (94.75)_{10} = (1001\ 0100.0111\ 0101)_{8421BCD}$

26. 逻辑函数 $F = \bar{A} + B + \bar{C}D$ 的反函数 $\bar{F} = (\bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}D)$ 。

27. 逻辑函数 $F = A(B+C) \cdot 1$ 的对偶函数是 $(A + BC + 0)$ 。

28. 集电极开路门的英文缩写（OC）门，工作时必须外加（电源）和（电阻）。多个集电极开路门输出端并联到一起可实现（线与）功能。

29. 时序逻辑电路按照其触发器是否有统一的时钟控制分为（同步）时序电路和（异步）时序电路。

30. 在数字电路中，常用的计数制除十进制外，还有（二进制）、（八进制）、（十六进制）。

判断题：

1. TTL 或非门多余输入端可以接高电平。（ × ）

2. 寄存器属于组合逻辑电路。（ × ）

3. 构成一个 5 进制计数器需要 5 个触发器（ × ） 4. 石英晶体振荡器的振荡频率取决于石英晶体的固有频率。（ × ）

5. 当时序逻辑电路存在有效循环时该电路能自启动（ × ） 6. 八路数据分配器的地址输入（选择控制）端有 8 个。（ × ）

7. 关门电平 U_{OFF} 是允许的最大输入高电平。（ × ）

8. 最常见的单片集成 DAC 属于倒 T 型电阻网络 DAC。（ × ）

9. TTL 门电路在高电平输入时，其输入电流很小，74LS 系列每个输入端的输入电流在 40uA 以下（ × ）

10. 三态门输出为高阻时，其输出线上电压为高电平（ × ）

11. 超前进位加法器比串行进位加法器速度慢（ × ）

12. 译码器哪个输出信号有效取决于译码器的地址输入信号（ × ）

13. 五进制计数器的有效状态为五个（ × ）

14. 施密特触发器的特点是电路具有两个稳态且每个稳态需要相应的输入条件维持。（ × ）

15. 当时序逻辑电路存在无效循环时该电路不能自启动（ × ）

16. RS 触发器、JK 触发器均具有状态翻转功能（ × ）

17. D/A 的含义是模数转换（ × ）

18. 构成一个 7 进制计数器需要 3 个触发器 ()
19. 两个二进制数相加，并加上来自高位的进位，称为全加，所用的电路为全加器 (×)
20. 判断时序逻辑电路能否自启动可通过判断该电路是否存在有效循环来实现 (×)
21. 利用三态门可以实现数据的双向传输。 ()
22. 有些 OC 门能直接驱动小型继电器。 ()
23. 555 定时器可以构成多谐振荡器、单稳态触发器、施密特触发器。 ()
24. RS 触发器、JK 触发器均具有状态翻转功能 (×)
25. PLA 的与阵列和或阵列均可编程。 ()
26. 施密特触发器电路具有两个稳态，而单稳态触发器电路只具有一个稳态 ()
27. 可用 ADC 将麦克风信号转换后送入计算机中处理时 ()
28. TTL 输出端为低电平时带拉电流的能力为 5mA (×)
29. TTL、CMOS 门中未使用的输入端均可悬空 (×)
30. 当决定事件发生的所有条件中任一个 (或几个) 条件成立时，这件事件就会发生，这种因果关系称为与运算。 (×)
31. 将代码状态的特点含义“翻译”出来的过程称为译码。实现译码操作的电路称为译码器。 ()
32. 设计一个 3 进制计数器可用 2 个触发器实现 ()
33. 移位寄存器除了可以用来存入数码外，还可以利用它的移存规律在一定的范围内构成任意模值 n 的计数器。所以又称为移存型计数器 ()
34. 在优先编码器电路中允许同时输入 2 个以上的编码信号 ()
35. 施密特触发器电路具有两个稳态，而多谐振荡器电路没有稳态 ()
36. DRAM 需要定期刷新，因此，在微型计算机中不如 SRAM 应用广泛 (×)

证明题：

1、利用基本定律和运算规则证明逻辑函数 $ABC + \overline{A}BC + A\overline{B}C = AB + AC$

证明：左边

$$\begin{aligned}
 &= ABC + \overline{A}BC + A\overline{B}C \\
 &= ABC + \overline{A}BC + A\overline{B}C + A\overline{B}\overline{C} \\
 &= AB(C + \overline{C}) + AC(\overline{B} + B) \\
 &= AB + AC \\
 &= \text{右边}
 \end{aligned}$$

原式得证

2、利用基本定律和运算规则证明逻辑函数 $\overline{A}B + BD + DCE + \overline{A}D = \overline{A}B + D$

证明：左边 $= \overline{A}B + BD + AD + \overline{A}D + DCE$

$$= \overline{A}B + BD + D + DCE$$

$$= \overline{A}\overline{B} + D$$

$$= \text{右边}$$

原式得证

3、利用基本定律和运算规则证明逻辑函数 $\overline{AB + \overline{A}\overline{B} + \overline{C}} = (A \oplus B)C$

$$\text{证明：左边} = \overline{(A \oplus B) + C}$$

$$= \overline{A \oplus B} \cdot \overline{C}$$

$$= (\overline{A \oplus B}) \cdot \overline{C}$$

$$= \text{右边}$$

原式得证

4、利用基本定律和运算规则证明逻辑函数 $(A + B + C)(\overline{A} + \overline{B} + \overline{C}) = \overline{A}\overline{B} + \overline{A}\overline{C} + \overline{B}\overline{C}$

$$\text{证明：左边} = ABC + \overline{A}\overline{B}\overline{C}$$

$$\text{右边} = (A + B)(A + C)(B + C)$$

$$= (A\overline{A} + AC + \overline{B}C + \overline{A}B)(B + C)$$

$$= (AC + \overline{A}B + \overline{B}C)(B + C)$$

$$= (AC + \overline{A}B)(B + C)$$

$$= ABC + ACC + \overline{A}BB + \overline{A}BC$$

$$= ABC + \overline{A}\overline{B}\overline{C}$$

$$= \text{左边}$$

原式得证

化简题：

1、用卡诺图化简函数 $Y(A, B, C, D) = \sum (m_0, m_1, m_2, m_6, m_8, m_9, m_{10}, m_{12}, m_{13})$

CD \ AB	00	01	11	10
00	1	1		1
01		1		
11	1	1		
10	1	1		1

解：卡诺图

$$\text{化简得：} Y = \overline{A}\overline{C} + \overline{B}\overline{D} + \overline{C}D$$

2、用卡诺图化简函数 $Y(A, B, C, D) = \sum m(0, 2, 4, 5, 7, 13) + \sum m_d(8, 9, 10, 11, 14, 15)$

AB \ CD	CD			
	00	01	11	10
00	1			1
01	1	1	1	
11		1	x	x
10	x	x	x	x

解：卡诺图

化简得： $Y = BD + BD + ABC$

3、用卡诺图化简下列函数 $Y = (\overline{A} + \overline{B})D + (\overline{A}B + BD)\overline{C} + \overline{A}CDB + \overline{D}$

解： $= AB + \overline{D} + \overline{A}BC + B\overline{C}D + \overline{A}CDB$

卡诺图：

AB \ CD	CD			
	00	01	11	10
00	1	1		1
01	1	1		1
11	1	1	1	1
10	1			1

化简得： $Y = AB + AC + D$

4、用卡诺图化简具有约束项的逻辑函数

$Y_1(A, B, C, D) = \sum m(0, 1, 2, 3, 6, 8) + \sum m_d(10, 11, 12, 13, 14, 15)$

AB \ CD	CD			
	00	01	11	10
00	1	1	1	1
01				1
11	x	x	x	x
10	1		x	x

解：卡诺图

化简得： $Y_1 = BD + AB + CD$

5、用公式法化简 $Y = ABC + \bar{A}BC + B\bar{C}$

解： $= (A + \bar{A})BC + B\bar{C}$

$= BC + B\bar{C}$

$= B(C + \bar{C})$

$= B$

6、用公式法化简 $Y = ABC + AB + A\bar{C}$

解： $= ABC + A(B + \bar{C})$

$= ABC + A\bar{B}\bar{C}$

$= A(BC + \bar{B}\bar{C})$

$= A$

简答题：

1、试说明施密特触发器的工作特点和主要用途。

答：施密特触发器的工作特点：电路有两个稳态，是一个双稳态电路，但这两个稳态是靠触发信号维持的；电路状态的翻转由外触发信号的电平决定，当外加触发信号高于上限触发电平 U_{T+} 值时电路处于一种稳态，低于下限触发电平 U_{T-} 值时电路处于另一种稳态。电路存在回差特性或叫滞回特性。通常用于波形变换与整形、接口电路、幅度鉴别、和方波发生器。 电

2、什么叫单稳态触发器？单稳态触发器和双稳态触发器的区别是什么？

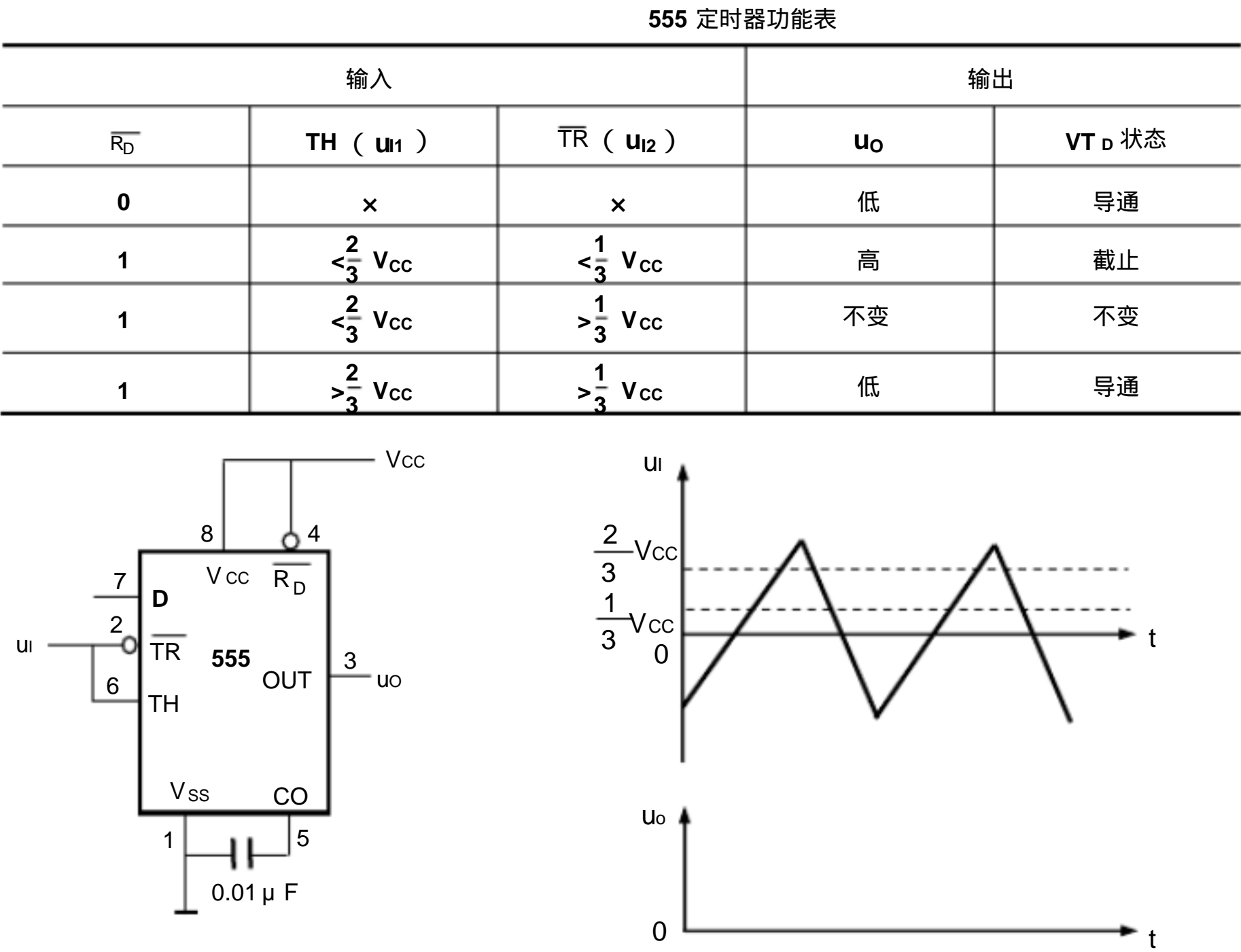
答：具有稳态和暂稳态两种工作状态，在外界触发脉冲的作用下，能从稳态翻转到暂稳态，暂稳态维持一段时间后，再自动返回稳态，暂稳态持续时间由电路参数决定。双稳态触发器具有两种稳定状态，外界触发脉冲消失后，保持状态不变。

3、什么是量化单位和量化误差，减小量化误差可以从那几个方面考虑？

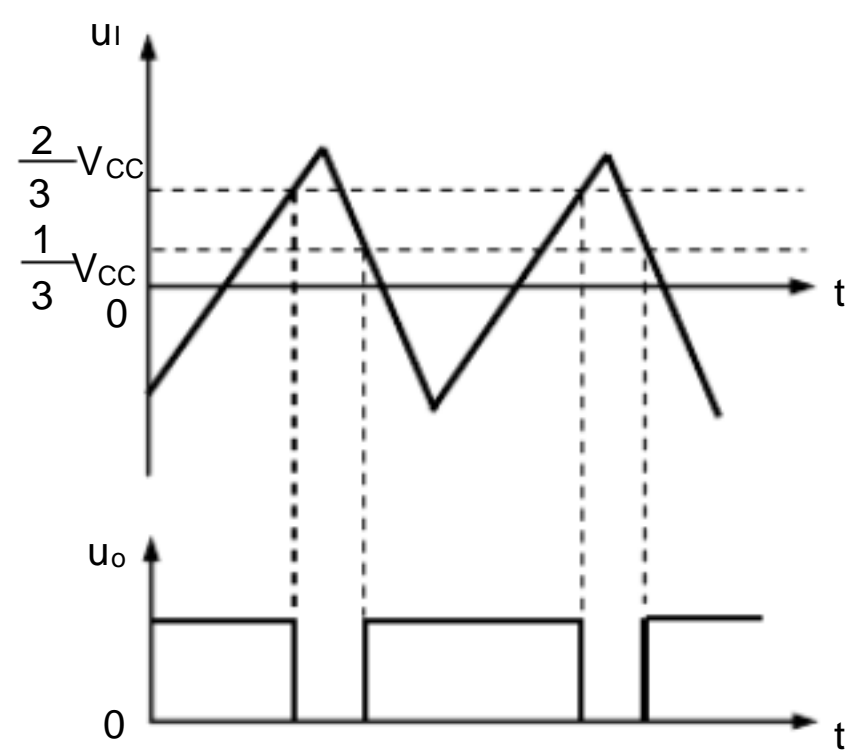
答：量化过程中所取得最小的数量单位叫做量化单位。因为模拟电压是连续的，就不一定能被量化单位整除，在量化过程中就会引入误差，称为量化误差。减小量化误差可以将量化电平取在量化范围的中间值。

作图题：

1、555 定时器的功能表如下，（1）该 555 定时器组成什么电路，（2）在题中输出电压 u_o 的坐标上画出相应的输出波形。

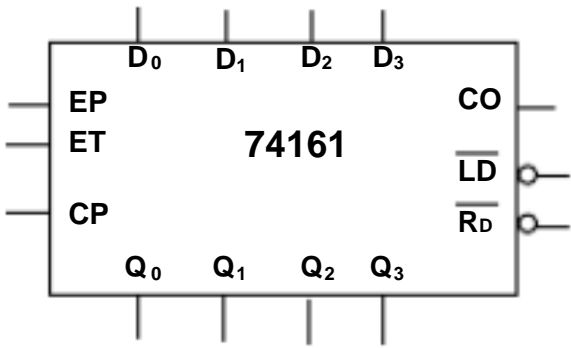


解（1）该电路组成施密特触发器。
（2）波形图

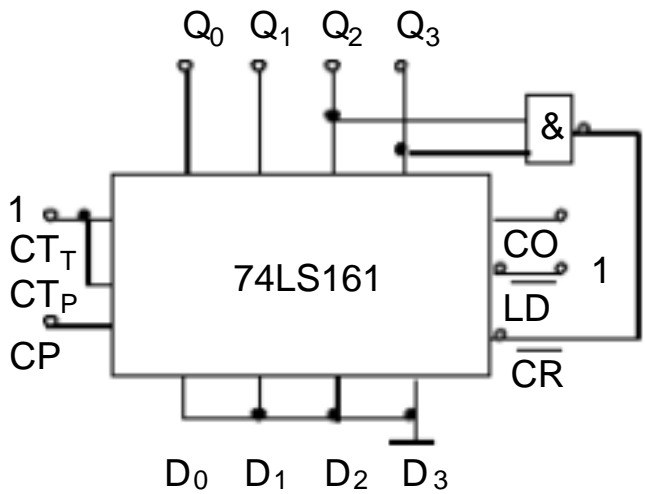


2、用 74LS161来构成一个十二进制计数器。 74LS161的功能表如图所示。

74161 功能表												
—	—		输	入						输	出	
R_D	LD	ET	EP	CP	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
0	x	x	x	x	x	x	x	x	0	0	0	0
1	0	x	x	\uparrow	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3
1	1	1	1	\uparrow	x	x	x	x	计 数			
1	1	0	x	x	x	x	x	x	保 持, CO = 0			
1	1	1	0	x	x	x	x	x	保 持			

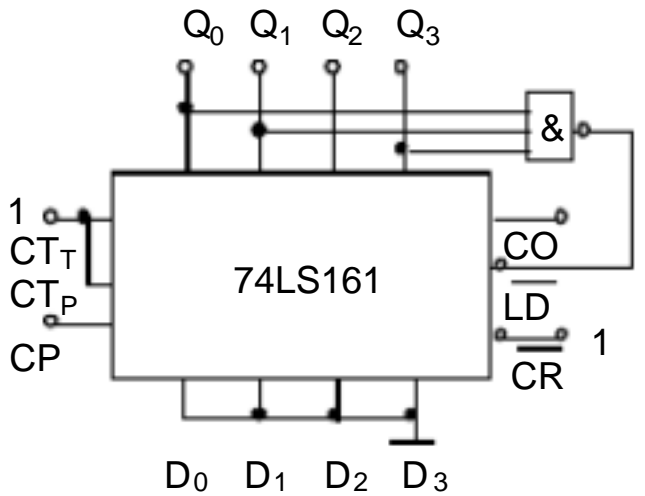


解：用异步清零端 \overline{CR} 归零 $S12 = 1100 \quad \overline{CR} = Q_3^n Q_2^n$



(a) 用异步清零端 \overline{CR} 归零

或：用同步置数端 \overline{LD} 归零 $S11 = 1011 \quad \overline{LD} = \overline{Q_3^n Q_1^n Q_0^n}$



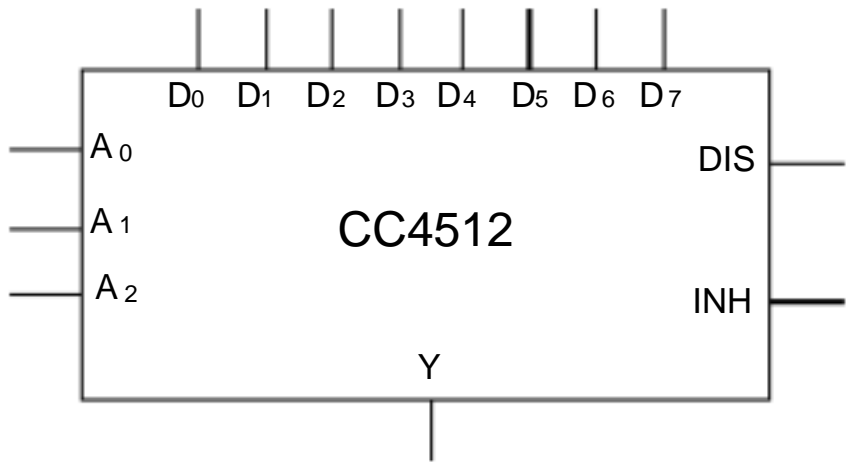
(b) 用同步置数端 \overline{LD} 归零

3、8 选 1 数据选择器 CC4512的逻辑功能如表所示， 电路符号如图所示。 用 CC4512和最少的门电路产生如下逻辑函数，要求变量 ABC分别对应于 $A_2A_1A_0$ 输入管脚，写出分析过程并在 CC4512的框图上画出电路连接图。

$$F = ABCD + \overline{A}CD + \overline{B}\overline{C}D + B(A + \overline{C})D$$

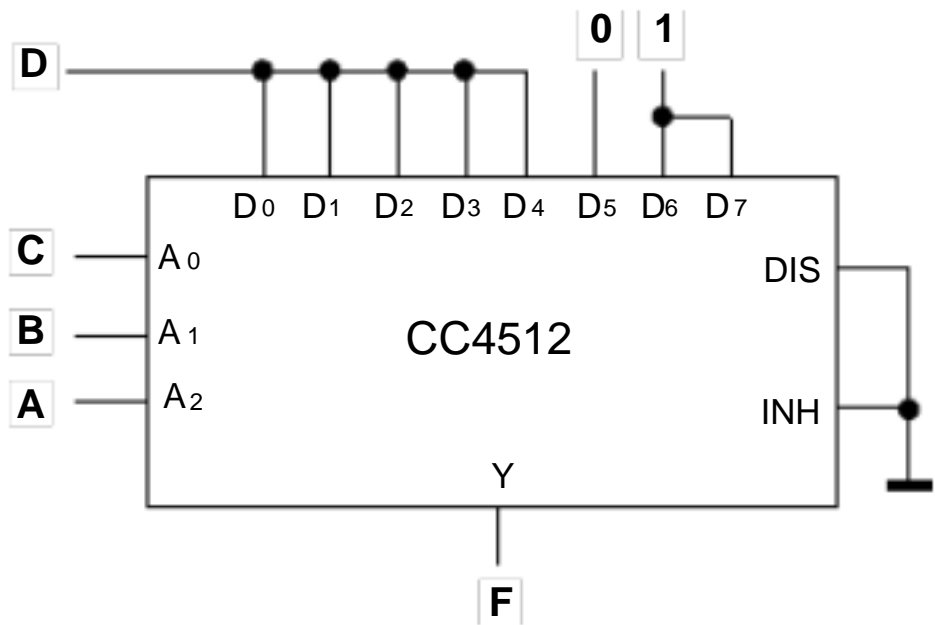
CC4512 功能表

DIS	INH	A ₂	A ₁	A ₀	Y
0	0	0	0	0	D ₀
0	0	0	0	1	D ₁
0	0	0	1	0	D ₂
0	0	0	1	1	D ₃
0	0	1	0	0	D ₄
0	0	1	0	1	D ₅
0	0	1	1	0	D ₆
0	0	1	1	1	D ₇
0	1	x	x	x	0
1	x	x	x	x	高阻

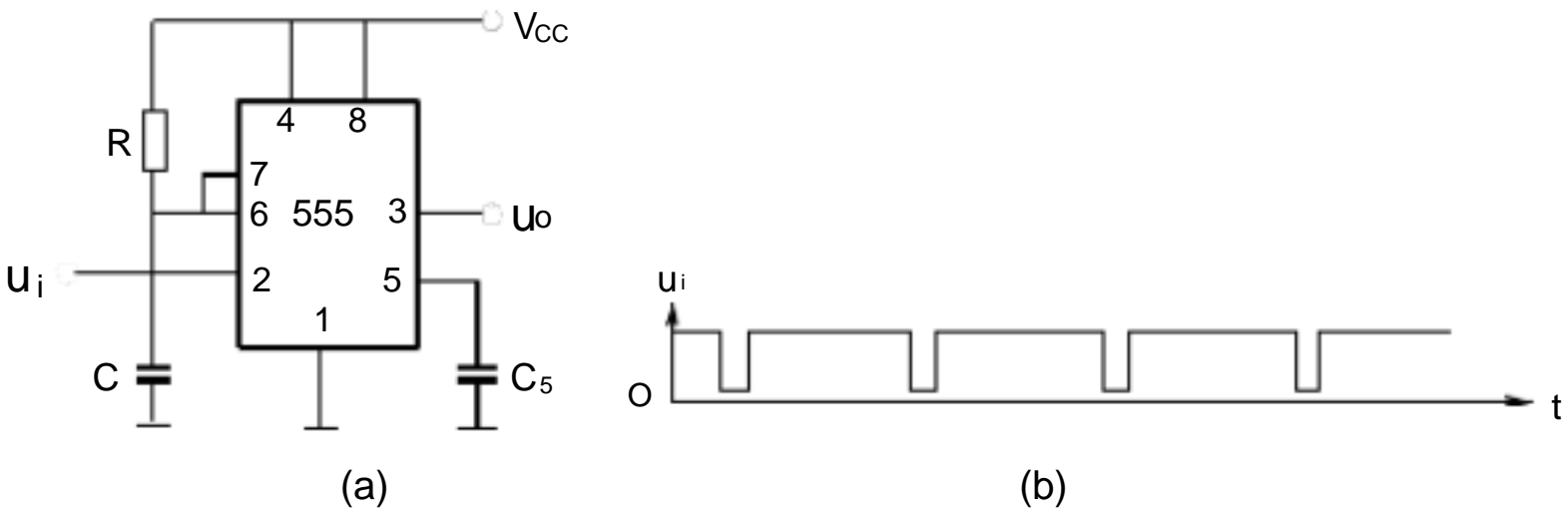


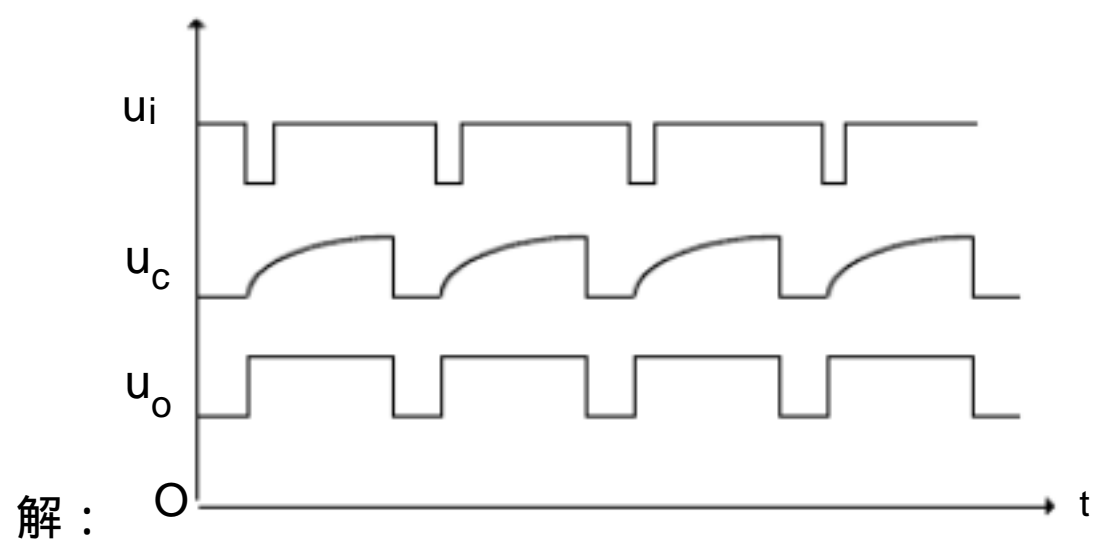
解：逻辑函数： $F = AB\overline{C}\overline{D} + \overline{A}CD + \overline{B}\overline{C}D + B(A + \overline{C})D = AB + \overline{C}D + \overline{A}CD$

电路连接图为：

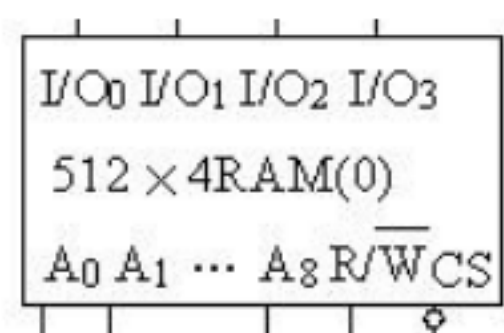


4、555 定时器构成单稳态触发器如图（ a ）所示，输入如图（ b ）。画出电容电压 u_c 和输出波形 u_o 。

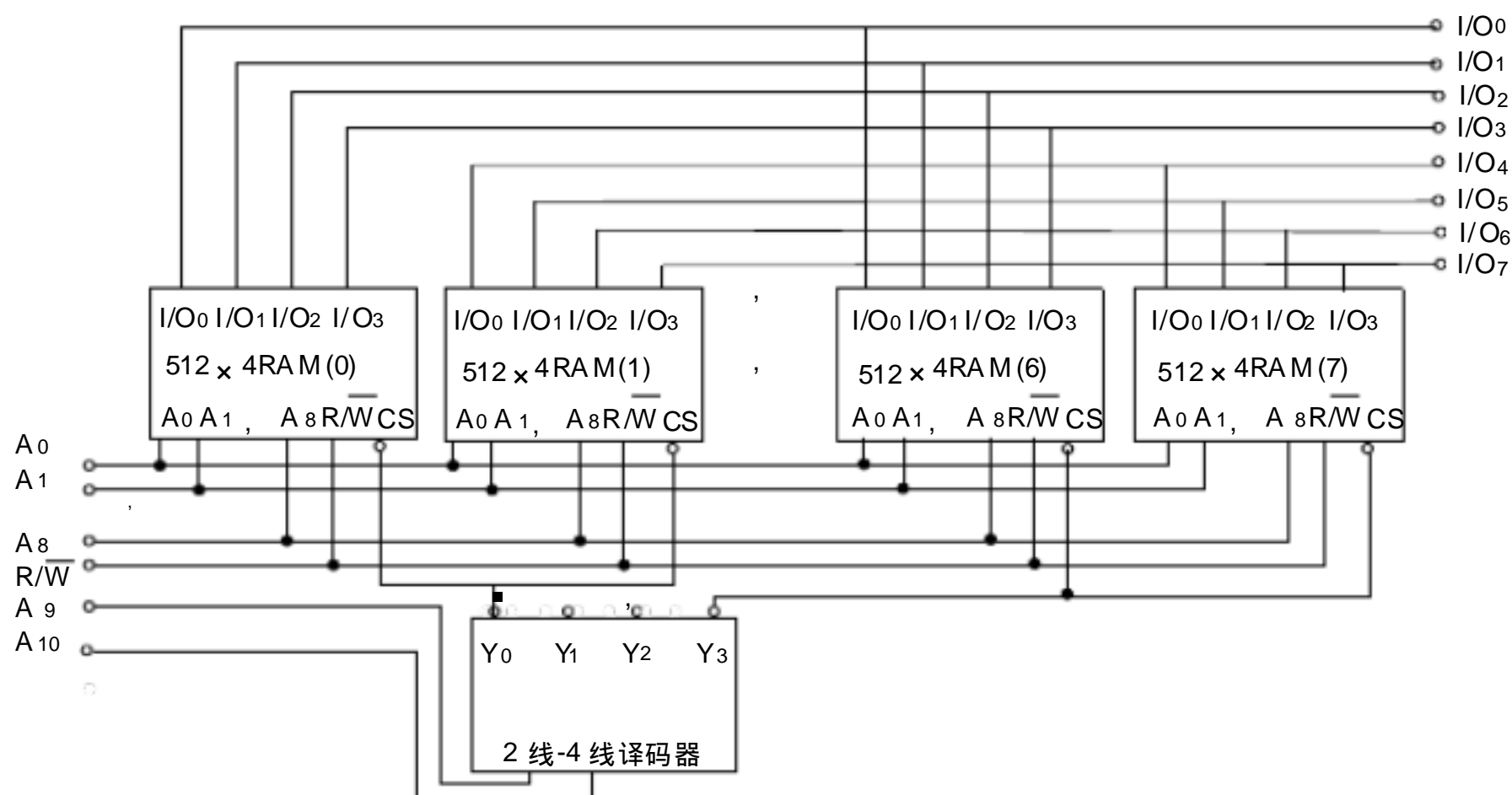




5、用 512×4 的 RAM 扩展组成一个 $2K \times 8$ 位的存储器。需要几片 RAM 试画出它们的连接图，用图示 RAM 实现。

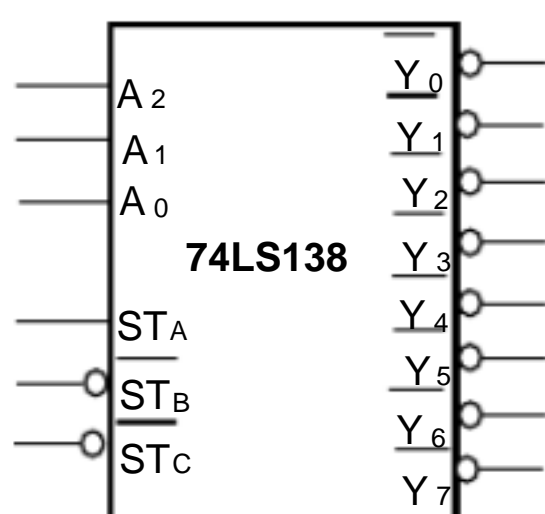


答：需要 8 片 RAM 同时做字扩展和位扩展。连接图如下：



6、试用 3 线—8 线译码器 74LS138 和门电路实现下列函数。

$$Z(A, B, C) = AB + \bar{A}C$$

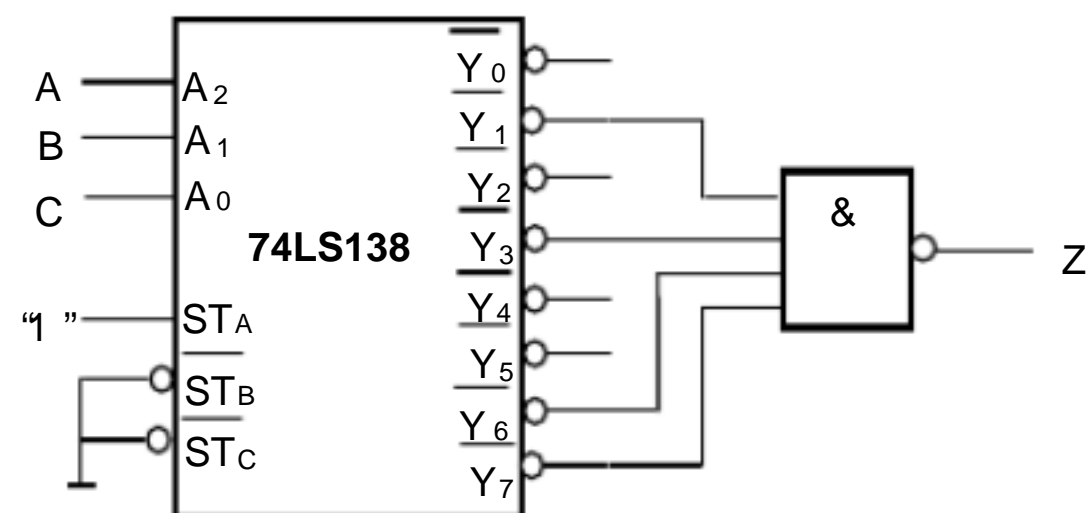


解： $Z(A, B, C) = AB + \bar{A}C = AB(C + \bar{C}) + \bar{A}C(B + \bar{B})$

$$= ABC + AB\bar{C} + \bar{A}BC + \bar{A}\bar{B}C$$

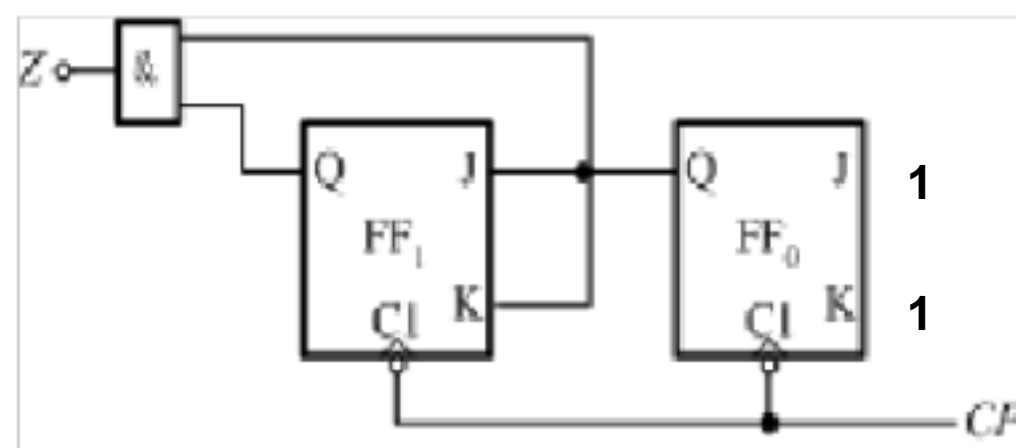
$$= m_1 + m_3 + m_6 + m_7$$

$$= \overline{m_1 \cdot m_3 \cdot m_6 \cdot m_7}$$



分析题：

1、分析下列电路是几进制的计数器。



解： 驱动方程： $J_0 = 1, K_0 = 1, J_1 = Q_0^n, K_1 = Q_0^n$

输出方程： $Z = Q_1 Q_0$

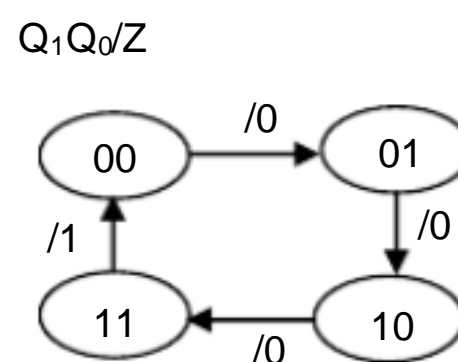
特性方程： $Q^{n+1} = JQ^n + \bar{K}Q^n$ (CP ↓) (1分)

状态方程： $Q_0^{n+1} = J_0 \bar{Q}_0^n + \bar{K}_0 Q_0^n = 1 \cdot \bar{Q}_0^n + 1 \cdot Q_0^n = \bar{Q}_0^n$ (CP ↓)

$Q_1^{n+1} = J_1 \bar{Q}_1^n + \bar{K}_1 Q_1^n = Q_0^n \bar{Q}_1^n + \bar{Q}_0^n Q_1^n$ (CP ↓)

状态表

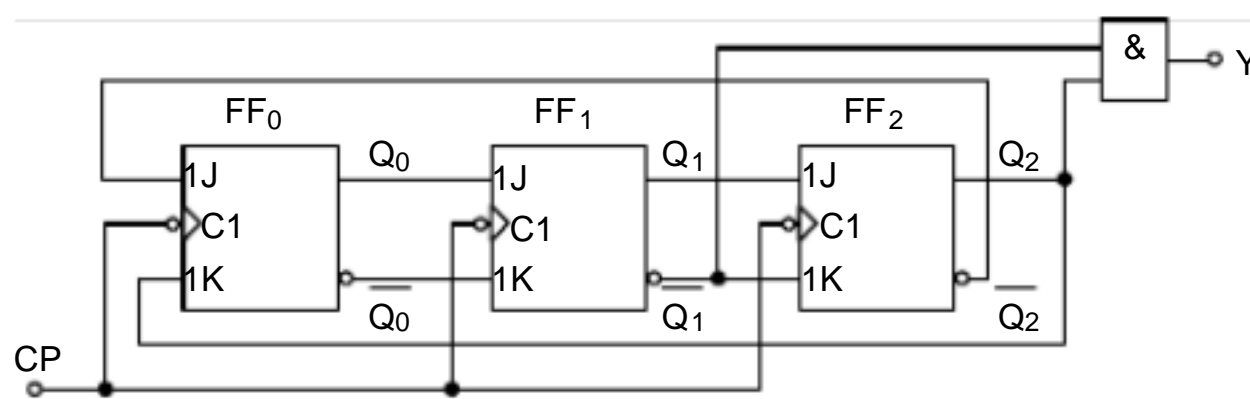
CP	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	1	0
1	0	1	1	0	0
2	1	0	1	1	0
3	1	1	0	0	1



状态表或状态图任写一种即可

归纳上述分析结果可知，该时序电路为同步 4 进制加法计数器。

2、分析图示电路的逻辑功能。要求有明确的分析步骤和过程并画出时序图。



解：

驱动方程：

$$\begin{cases} J_2 = Q_1^n & K_2 = \overline{Q_1^n} \\ J_1 = Q_0^n & K_1 = \overline{Q_0^n} \\ J_0 = \overline{Q_2^n} & K_0 = Q_2^n \end{cases}$$

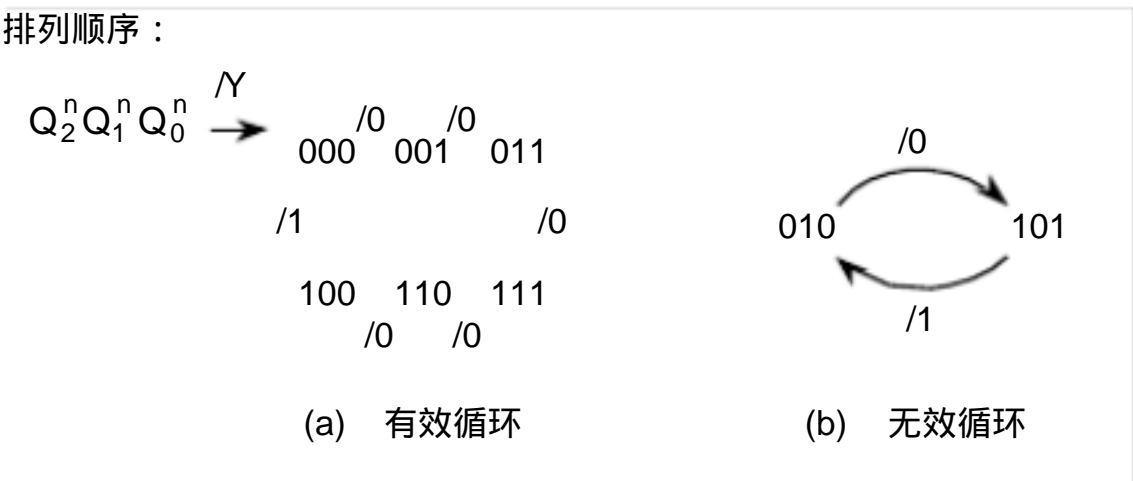
代入特性方程求状态方程：

$$\begin{cases} Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = Q_1^n \overline{Q_2^n} + Q_1^n Q_2^n = Q_1^n \\ Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = Q_0^n \overline{Q_1^n} + Q_0^n Q_1^n = Q_0^n \\ Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_2^n} \overline{Q_0^n} + \overline{Q_2^n} Q_0^n = \overline{Q_2^n} \end{cases}$$

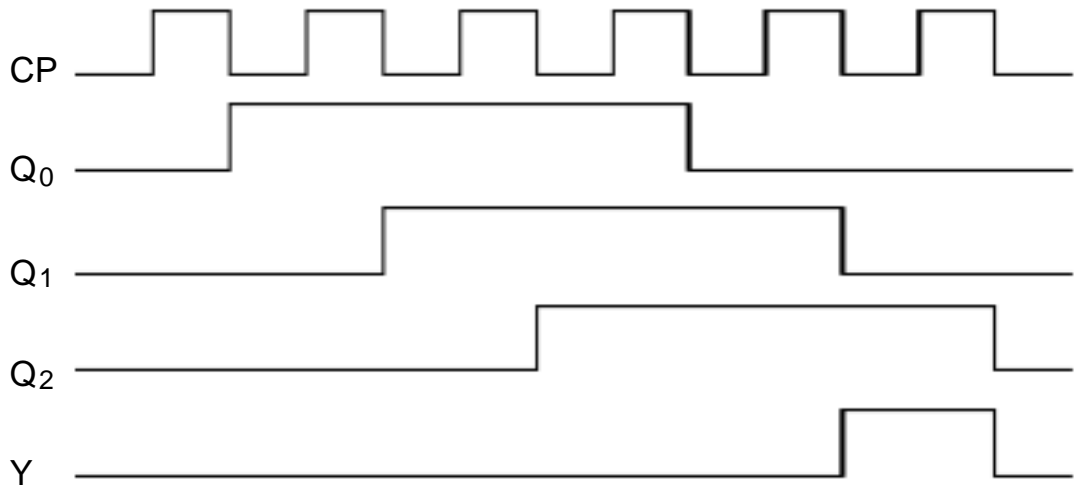
输出方程： $Y = Q_1^n Q_2^n$

求各触发器的次态和电路输出，列状态转换图或状态转换表

现 态	次 态			输 出
$Q_2^n \ Q_1^n \ Q_0^n$	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0 0 0	0	0	1	0
0 0 1	0	1	1	0
0 1 0	1	0	1	0
0 1 1	1	1	1	0
1 0 0	0	0	0	1
1 0 1	0	1	0	1
1 1 0	1	0	0	0
1 1 1	1	1	0	0



时序图：

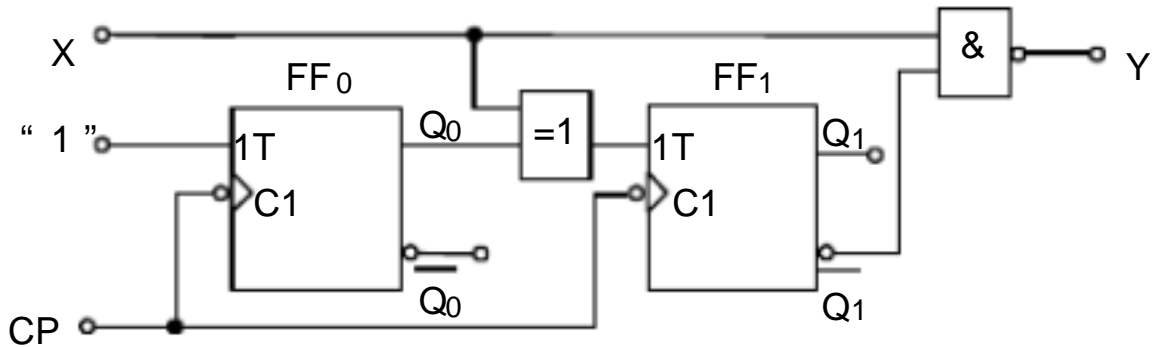


电路功能：

有效循环的 6 个状态分别是 0~5 这 6 个十进制数字的格雷码，并且在时钟脉冲 CP 的作用下，这 6 个状态是按递增规律变化的，即：

000 001 011 111 110 100 000 ...所以这是一个用格雷码表示的六进制同步加法计数器。当对第 6 个脉冲计数时，计数器又重新从 000 开始计数，并产生输出 $Y = 1$ 。

3、分析图示电路的逻辑功能。



解：此电路为同步时序电路

驱动方程： $T_1 = X \oplus Q_0^n$ ； $T_0 = 1$

输出方程： $Y = XQ_1^n = \overline{X} + Q_1^n$

T 触发器的特性方程： $Q^{n+1} = T \oplus Q^n$

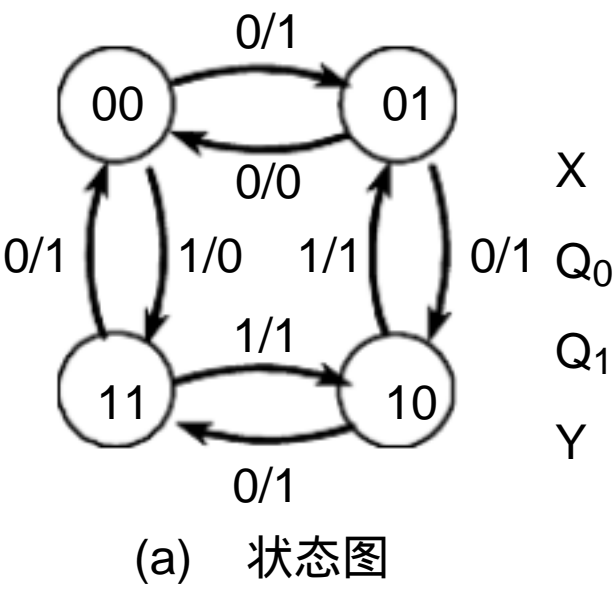
将各触发器的驱动方程代入，即得电路的状态方程：

$$Q_1^{n+1} = T_1 \oplus Q_1^n = X \oplus Q_0^n \oplus Q_1^n$$

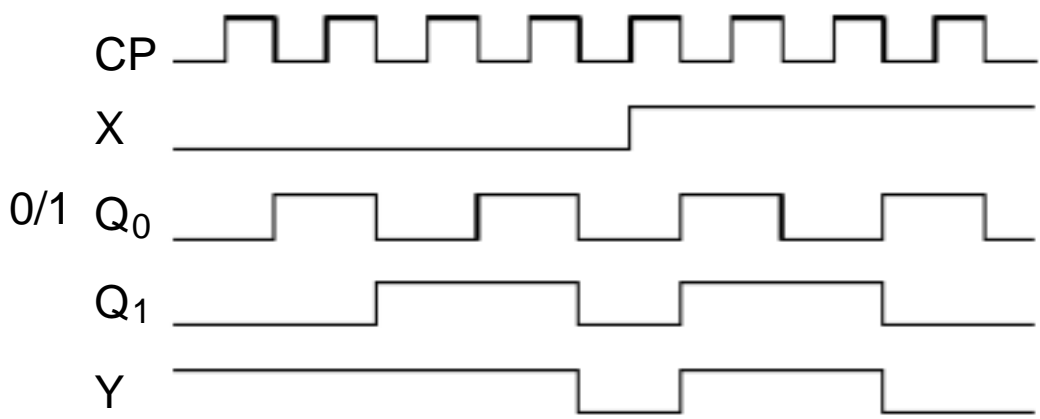
$$Q_0^{n+1} = T_0 \oplus Q_0^n = 1 \oplus Q_0^n = \overline{Q_0^n}$$

通过计算得状态表或状态转换图：

输入	现 态		次 态		输出
X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	1	1
0	0	1	1	0	1
0	1	0	1	1	1
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	0	0
1	1	0	0	1	1
1	1	1	1	0	1



时序图：



电路功能：

由状态图可以看出，当输入 $X = 0$ 时，在时钟脉冲 CP 的作用下，电路的 4 个状态按递增规律循环变化，即：

00 01 10 11 00 ...

当 $X = 1$ 时，在时钟脉冲 CP 的作用下，电路的 4 个状态按递减规律循环变化，即：

00 11 10 01 00 ...

可见，该电路既具有递增计数功能，又具有递减计数功能，是一个 2 位二进制同步可逆计数器。

4、8 位 A/D 输入满量程为 10V ,当输入下列电压时， 数字量的输出分别为多少？ （1）3.5V ；
（2）7.08V ；（3）5.97V

解：（1）第一步，当 $V_N = \frac{1}{2}V_{REF} = \frac{10}{2} = 5V$ 时，因为 $V_N > V_x$ ，所以取 $d_7=0$ ，存储。

第二步，当 $V_N = (\frac{0}{2} + \frac{1}{4})V_{REF} = 2.5V$ 时，因为 $V_N < V_x$ ，所以取 $d_6=1$ ，存储。

第三步，当 $V_N = (\frac{0}{2} + \frac{1}{4} + \frac{1}{8})V_{REF} = 3.75V$ 时，因为 $V_N > V_x$ ，所以取 $d_5=0$ ，存储。

如此重复比较下去，经过 8 个时钟脉冲周期，转换结束，最后得到 A/D 转换器的转换结果 $d_7 \sim d_0=01011001$ ，则该数字所对应的模拟输出电压为

$$V_N = (\frac{0}{2} + \frac{1}{4} + \frac{0}{8} + \frac{1}{16} + \cdots + \frac{1}{2^7})V_{REF} = 3.4765625V$$

同理（2）10110101=7.0703125V

(3)10011000=5.9375V

设计题：

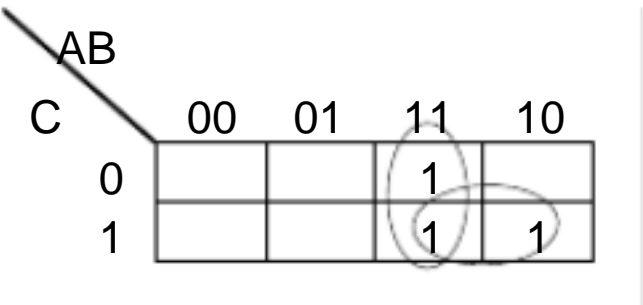
1、用与非门设计一个举重裁判表决电路。设举重比赛有 3 个裁判，一个主裁判和两个副裁判。杠铃完全举上的裁决由每一个裁判按一下自己面前的按钮来确定。 只有当两个或两个以上裁判判明成功，并且其中有一个为主裁判时，表明成功的灯才亮。

解：设主裁判为变量 A，副裁判分别为 B 和 C；表示成功与否的灯为 Y，根据逻辑要求列出真值表

A	B	C	Y	A	B	C	Y
0	0	0	0	1	0	0	0
0	0	1	0	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	0	1	1	1	1

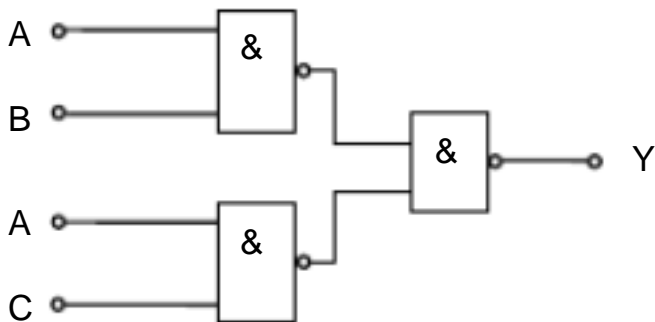
逻辑表达式

$$Y = m_5 + m_6 + m_7 = ABC + ABC + ABC$$



$$Y=AB+AC$$

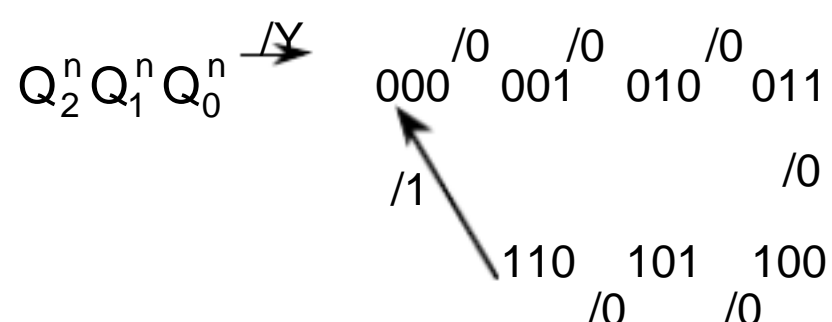
逻辑电路图： $Y = \overline{AB} \cdot \overline{AC}$



2、设计一个按自然态序变化的 7 进制同步加法计数器，计数规则为逢七进一，产生一个进位输出。

解：建立原始状态图：

排列顺序：



因需用 3 位二进制代码，选用 3 个 CP 下降沿触发的 JK 触发器，分别用 FF0、FF1、FF2 表示。由于要求采用同步方案，故时钟方程为：

$$CP_0 = CP_1 = CP_2 = CP$$

卡诺图化简输出方程：

$Q_2^n Q_1^n$		Q_0^n			
		00	01	11	10
Q_0^n	0	0	0	1	0
	1	0	0	x	0

Y 的卡诺图

$$Y = Q_1^n Q_2^n$$

卡诺图化简状态方程：

$Q_2^n Q_1^n$		Q_0^n			
		00	01	11	10
Q_0^n	0	1	1	0	1
	1	0	0	x	0

(a) Q_0^{n+1} 的卡诺图

$Q_2^n Q_1^n$		Q_0^n			
		00	01	11	10
Q_0^n	0	0	0	0	1
	1	0	1	x	1

(c) Q_2^{n+1} 的卡诺图

$Q_2^n Q_1^n$		Q_0^n			
		00	01	11	10
Q_0^n	0	0	1	0	0
	1	1	0	x	1

(b) Q_1^{n+1} 的卡诺图

$Q_2 Q_1 Q_0$ 的卡诺图也可以画在一个图中。

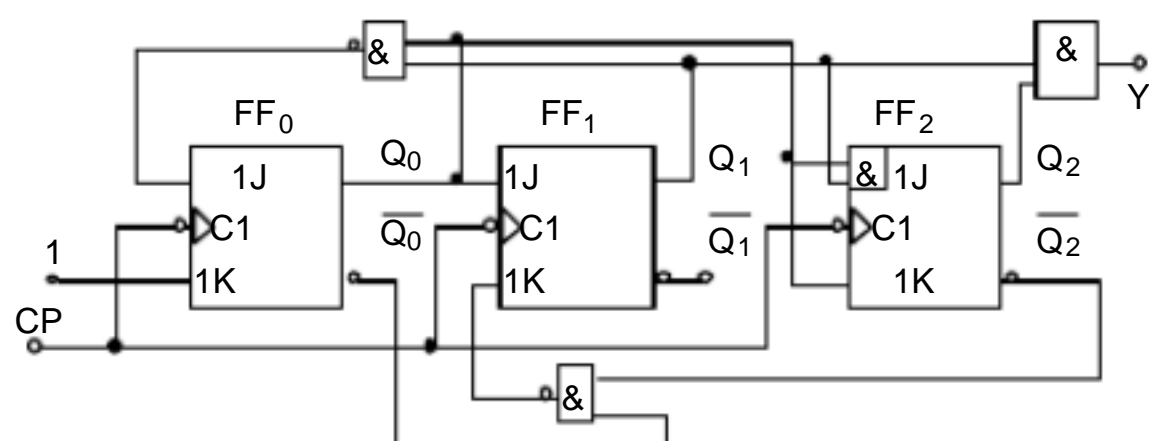
得状态方程：

$$\begin{cases} Q_0^{n+1} = \overline{Q_2^n} \overline{Q_0^n} + \overline{Q_1^n} \overline{Q_0^n} \\ \quad \quad \quad = \overline{Q_2^n} Q_1^n \overline{Q_0^n} + 1 Q_0^n \\ Q_1^{n+1} = Q_0^n Q_1^n + Q_2^n Q_0^n Q_1^n \\ Q_2^{n+1} = Q_1^n Q_0^n \overline{Q_2^n} + \overline{Q_1^n} Q_2^n \end{cases}$$

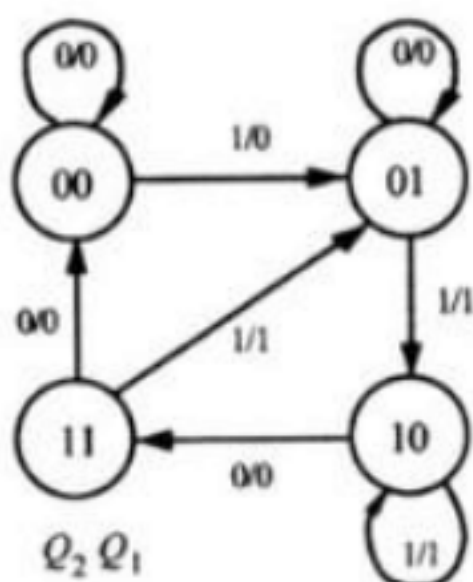
比较特性方程： $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$

得驱动方程：

电路图并检查电路能否自启动：



3、已知某同步时序电路状态图如图所示，完成以下任务（1）做出状态转换真值表；（2）若用 D 触发器实现，请求出相应的激励方程；（3）求输出方程；（4）画出电路图；



解：(1) 状态转换真值表

Q_2^n	Q_1^n	X	Q_2^{n+1}	Q_1^{n+1}	Z
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	1	0	1
1	0	0	1	1	0
1	0	1	1	0	1
1	1	0	0	0	0
1	1	1	0	1	1

(2) 求激励方程

		Q_1X			
		00	01	11	10
Q_2	00			1	
	01	1	1		

$$D_2 = Q_2^{n+1} = Q_2 \bar{Q}_1 + \bar{Q}_2 \bar{Q}_1 X$$

		Q_1X			
		00	01	11	10
Q_2	00		1		1
	01	1		1	

$$D_1 = \bar{Q}_2 \bar{Q}_1 X + \bar{Q}_2 Q_1 \bar{X} + Q_2 \bar{Q}_1 \bar{X} + Q_2 Q_1 X = Q_2 \oplus Q_1 \oplus X$$

(3) 求输出方程

		Q_1X			
		00	01	11	10
Q_2	00			1	
	01		1	1	

$$Z = Q_2 X + Q_1 X$$

(4) 作电路图 (略)

4、旅客列车分为特快、直快和慢车，它们的优先顺序为特快、直快、慢车。在同一时间里，只能有一趟列车从车站开出，即只能给出一个开车信号，试设计一个满足上述要求的组合逻辑电路。

解：根据命题要求该排队电路有三个输入端 A、B、C 和三个输出端 X、Y、Z，用 A、B、C 分别代表特快、直快、慢车，三趟车的开出信号分别为 X、Y、Z。输入变量的赋值是：

1 表示该车要求开出，0 表示该不要求开出，输出函数的赋值是：1 表示列车可以开出，0 表示不准列车开出。

列出该题真值表如下：

A	B	C	X	Y	Z
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	0
1	0	0	1	0	0

1	0	1	1	0	0
1	1	0	1	0	0
1	1	1	1	0	0

用卡诺图化简后写出逻辑函数表达式：

$$X = A \quad Y = \overline{A}B \quad Z = \overline{A}\overline{B}C$$

根据表达式画出的逻辑图如图所示：

