

| | |
|----|--|
| 得分 | |
|----|--|

一、 选择题 （每小题 1 分，共 15 分）

（注意：请将答案直接填在下表中）

| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
|----|----|----|----|----|---|---|---|---|----|
| | | | | | | | | | |
| 11 | 12 | 13 | 14 | 15 | | | | | |
| | | | | | | | | | |

- 在下列有关补码和移码关系的叙述中，（ ）是不正确的。
 - 相同位数的补码和移码表示具有相同的表数范围
 - 零的补码和移码表示相同
 - 同一个数的补码和移码表示，其数值部分相同，而符号相反
 - 一般用移码表示浮点数的阶，而补码表示定点整数
- 以下关于冯·诺依曼计算机工作方式的叙述中，错误的是（ ）。
 - 计算机完成的所有任务都必须执行相应的程序来完成
 - 某任务用某语言（如 C++）编好程序后，一旦被启动，则马上可调至主存直接执行
 - 程序执行时，CPU 按指令地址自动按序到内存读取指令并执行
 - 冯·诺依曼计算机工作方式称为“存储程序”控制方式
- 冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU 区分它们的依据是（ ）。
 - 指令操作码的译码结果
 - 指令和数据的寻址方式
 - 指令周期的不同阶段
 - 指令和数据所在的存储单元
- 程序 P 在机器 M 上的执行时间是 30 秒，编译优化后，P 执行的指令数减少到原来的 50%，而 CPI 增加到原来的 1.4 倍，则 P 在 M 上的执行时间是（ ）。
 - 15 秒
 - 42 秒
 - 21 秒
 - 18 秒
- 以下有关对摩尔定律的描述中，错误的是（ ）。
 - 每 18 个月，集成电路芯片上集成的晶体管数将翻一番
 - 每 18 个月，集成电路芯片的速度将提高一倍
 - 每 18 个月，集成电路芯片的价格将降低一半
 - 集成电路技术一直会遵循摩尔定律发展下去
- 某字长为 8 位的计算机中，已知整型变量 x、y 的机器数分别为[x]补=11110100，[y]补=10110000。若整型变量 $z=2*x+y/2$ ，则 z 的机器数为（ ）。
 - 11110100
 - 10110000
 - 11110000
 - 10110100

- A. 10101010 B. 00100100 C. 11000000 D. 溢出
7. 某数采用 IEEE 754 单精度浮点数格式表示为 C640 0000H, 则该数的值是 ()。
- A. -1.25×2^{17} B. -1.5×2^{17} C. -1.25×2^{16} D. -1.5×2^{16}
8. 假定某计算机按字节编址, 采用大端方式, 有一个 float 型变 x 的地址为 0x8688D000, x=11223344H, 则在内存单元 0x8688D002 中存放的内容是 ()。
- A. 00100010B B. 00110011B C. 00010001B D. 00110100B
9. 某 8 位计算机中, 假定 x 和 y 是两个带符号整数变量, 用补码表示, x=63, y=-31, 则 x+y 的机器数及其相应的溢出标志 OF 分别是什么 ()。
- A. 1FH, 0 B. 20H, 0 C. 1FH, 1 D. 20H, 1
10. 下列关于中断 I/O 方式和 DMA 方式比较的叙述中, 错误的是
- A. 中断 I/O 方式请求的是 CPU 处理时间, DMA 方式请求的是总线使用权
- B. 中断响应发生在一条指令执行结束后, DMA 响应发生在一个总线事务完成后
- C. 中断 I/O 方式下数据传送通过软件完成, DMA 方式下数据传送由硬件完成
- D. 中断 I/O 方式适用于所有外部设备, DMA 方式仅适用于快速外部设备
11. 考虑以下 C 语言代码:
- ```
short si = -8196
int i = si
```
- 执行上述程序后, i 的机器数表示为 ( )。
- A. 0000 9FFCH      B. 0000 DFFCH      C. FFFF 9FFCH      D. FFFF DFFCH
12. 下面是有关 MIPS 系统的 lw/sw 指令数据通路设计的叙述: ①. lw/sw 指令数据通路中要有一个符号扩展部件 ②. lw/sw 指令数据通路中, ALU 的控制信号一定为“Add”(即: ALU 做加法) ③. 寄存器堆的写控制信号在 lw 指令执行时为“1”, 在 sw 指令执行时为“0” ④. 数据存储器的写使能信号在 lw 指令执行时为“0”, 在 sw 指令执行时为“1” 以上叙述中, 正确的有 ( )。
- A. ①和②和③      B. ①和②和④      C. ②和③和④      D. 全部
13. 下列有关数据通路的叙述中, 错误的是 ( )。
- A. 数据通路由若干操作元件和状态元件连接而成
- B. 数据通路的功能由控制部件送出的控制信号决定
- C. ALU 属于操作元件, 用于执行各类算数运算和逻辑
- D. 通用寄存器属于状态元件, 但不包含在数据通路中
14. DDR3 SDRAM 芯片内部 I/O 缓冲可以进行 8 位预取, 如果存储器芯片内部的时钟频率为 200MHz, 存储器总线在每个时钟周期内可传送两次数据, 若每次传送 64 位, 则对应存储器总线的最大数据传输率(即带宽)为 ( ) (以字节位单位)。
- A. 6.4GB/s      B. 12.8GB/s      C. 25.6GB/s      D. 3.2GB/s

15. 某机器字长 16 位，主存按字节编址，转移指令采用相对寻址，由两个字节组成，第一字节为操作码字段，第二字节为相对位移量字段。假定取指令时，每取一个字节 PC 自动加 1。若某转移指令所在主存地址为 2000H，相对位移量字段的内容为 06H，则该转移指令成功转以后目标地址是（ ）。

- A. 2006H      B. 2007H      C. 2008H      D. 2009H

|    |  |
|----|--|
| 得分 |  |
|----|--|

## 二、 填空题（每空 1.5 分，共 15 分）

（注意：请将答案直接填在括弧中）

1. 影响并行加法器速度的关键因素是（ ）。
2. MIPS 指令系统中条件转移分支指令 beq 指令（例如 beq \$s1, \$s2, L）采用的是（ ）寻址方式。
3. 进位/借位标志 CF 表示无符号数加/减运算时的进位/借位。计算 CF 的逻辑表达式为（ ）。
4. 通常把 I/O 接口中各种数据缓冲寄存器、状态/控制寄存器称为（ ）。
5. 为节省引脚数，DRAM 芯片大都采用地址线复用技术。假定一个 DRAM 芯片的地址引脚线为 16 根，则该芯片的存储阵列中有（ ）个位单元。
7. 一条指令的功能通过执行一系列基本操作来完成，这些基本操作称为（ ）。每个微操作在相应控制信号的控制下执行，这些控制信号在微程序设计中称为（ ）。
8. 在计算机系统层次结构中，（ ）处于硬件和软件交界面，硬件所有功能由它集中体现，软件通过它在硬件上执行。
9. MIPS 指令系统中 R-Type 类型指令，操作数在（ ）中。
10. 假定在指令的地址字段中，直接指出操作数本身，则该方式称为（ ）寻址。

|    |  |
|----|--|
| 得分 |  |
|----|--|

### 三、分析计算题 （33 分，一定要写出计算依据）

1. (9 分) 某计算机主存容量为 16MB，按字节编址，Cache 容量为 4KB，字块长度为 8 个字，每个字长为 32bit，Cache 的地址映射采用直接映射。

(1) 给出反应主存和 Cache 映射关系的主存地址结构，说明各字段的长度。

(2) 若 Cache 初始状态为空，CPU 从第 0 号单元开始，顺次读出 100 个字（每次读 1 个字），重复读取上述数据 5 次，其命中率是多少？

2. (9 分) 设有一个具有 12 位地址的存储器，按字节编址问：

(1) 该存储器能存储多少字节信息？

(2) 如果存储器由 1K×4 位 RAM 芯片组成，需要多少片，并写出每个芯片的地址范围？

(3) 需要多少位地址作为芯片的片选逻辑，芯片内部地址为多少位？

3. (6 分) 假设某计算机字长 32 位, CPU 有 32 个 32 位的通用寄存器, 指令长度为单字长, 指令操作码占 6 位。请问:

(1) 对于存储器直接寻址方式的 R-S 型指令, 能直接寻址的最大主存空间是多少? 并给出 R-S 型指令的指令格式。

(2) 对于采用通用寄存器作为基址寄存器的 R-S 型指令, 则能直接寻址的最大主存空间是多少? 此时 R-S 型指令的指令格式是什么?

4. (9 分) 在主存中有一个递减空堆栈, 以字编址, 堆栈指针 SP 的内容为 600H (H 表示十六进制), 栈顶内容为 4000H, 一条双字长子程序调用指令位于主存地址 2000H 和 2001H 中, 2001H 的内容是地址字段, 内容为 3000H。回答下列问题:

(1) 子程序调用指令读取之前 SP, PC 及栈顶内容。

(2) 子程序调用指令执行之后 SP, PC 及栈顶内容, 并画出此时堆栈示意图。

(3) 从子程序返回主程序之后 SP, PC 及栈顶内容。

|    |  |             |
|----|--|-------------|
| 得分 |  | 四、问答题（25 分） |
|----|--|-------------|

1. （12 分）请辨析以下概念：

- （1）微程序控制器、硬布线逻辑控制器；
- （2）指令、微指令；
- （3）精简指令集计算机、复杂指令集计算机。

2. （7 分）请简述对指令集体系结构 ISA 的理解，并辨析 ISA 与组成原理的关系（可举例说明）。

3. (6 分) 请简述中断响应的条件, 即当处理器同时满足哪些条件时, 就响应中断, 进入中断响应周期; CPU 进入中断响应周期后需要做那几件事情?

|    |  |
|----|--|
| 得分 |  |
|----|--|

## 五、综合题 (共 12 分)

1. 画出单总线 CPU 内部数据通路示意图, CPU 内部需具有以下部件: ALU, IR, PC, 指令译码器, MAR, MDR, 通用寄存器 R0、R1 和 R2, 其中 ALU 的两个输入端通过 X 和 Y 两个暂存器连接内部总线, ALU 的输出通过暂存器 Z 连接内部总线。基于上面的 CPU 数据通路写出减法指令 SUB R1, [R2] 的微操作流程, 其中 R1 为目的操作数, [R2] 为源操作数且寻址方式为寄存器间接寻址, 功能表达:  $R[R1] \leftarrow R[R1] - M[R[R2]]$  或  $(R1) - M[(R2)] \rightarrow R1$ 。(12 分)

