

A卷

**2019—2020学年第2学期**

**《数字逻辑电路》试卷**

专业班级\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

姓 名

学 号

开课系室 海空学院通信工程系

考试日期 \_ 2020年5月24日

|  |  |  |  |
| --- | --- | --- | --- |
| 题 号 | 一 | 二 | 总 分 |
| 得 分 |  |  |  |
| 阅卷人 |  | | |

**一**、填空题（共10空，每空2分，共20分）

**得分**

1. 数字电路分为两大类，分别是组合逻辑电路和\_\_\_\_\_\_\_\_\_\_\_\_\_电路。

2. 二进制数（1011.0101）2对应的等值八进制数为\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

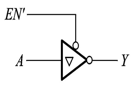
3.用补码表示的有符号二进制数11011对应的十进制数是\_\_\_\_\_\_\_\_\_\_。

4. 逻辑函数的反演式为\_\_\_\_\_\_\_\_\_。

5. 对于D触发器，若现态Q=0，要使次态Q\*=1，则输入D=\_\_\_\_\_\_\_\_\_\_\_。

6. SR触发器的特性方程为\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

7．一个4位权电阻网络D/A转换器，最低位对应的电阻值为40千欧，则最高位对应的阻值为             千欧。

8. 三态门逻辑符号如下图，写出输出Y与输入A和之间的关系\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

9. 若在编码器中有40个编码对象，则输出二进制代码位数至少需要\_\_\_\_\_\_\_\_\_\_\_位。

10. 并联比较型A/D转换器中, N 位输出需要\_\_\_\_\_\_\_\_\_\_个比较器和触发器。

二、综合题（共10题，共80分）

**得分**

(说明：所有的综合题请详细写明步骤以及每一步的因果关系，切忌直接连线或者写答案。)

1.（5分）用逻辑代数公式将下列逻辑函数化成最简与或表达式。



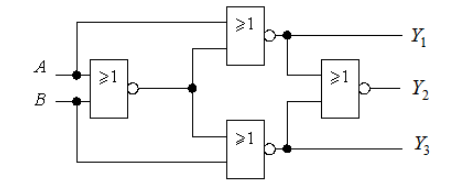
2.（5分）用卡诺图将下列逻辑函数化成最简的与或表达式。



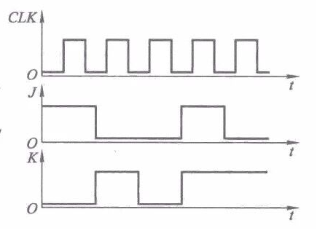
3. （5分）分析下图所示的组合逻辑电路：

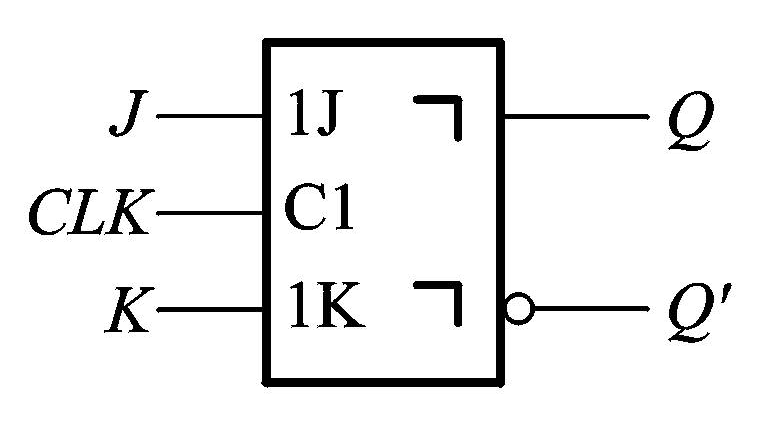
（1）写出Y的逻辑表达式，并化为最简与或式；

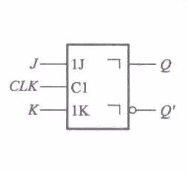
（2）列出真值表，说明其逻辑功能。



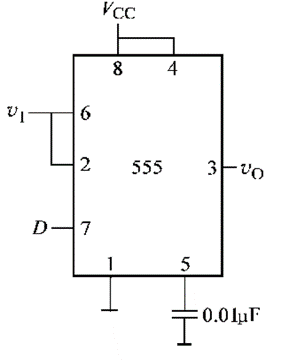
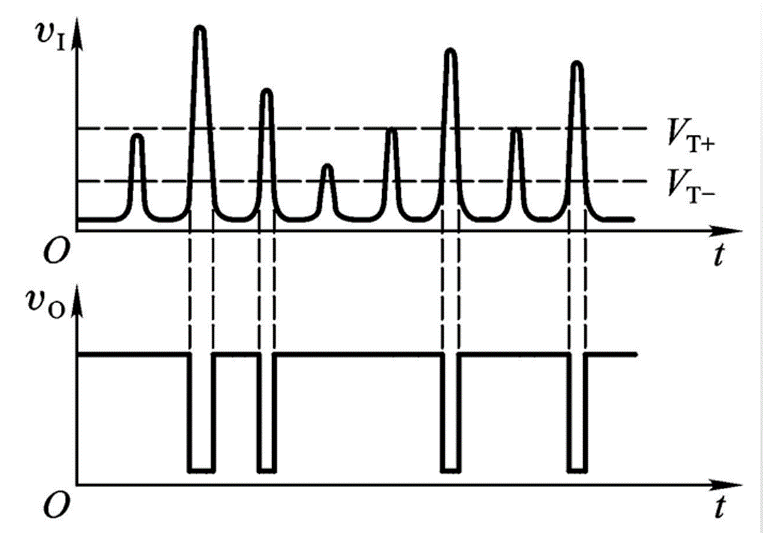
4.（5分）在脉冲触发JK触发器中，已知J、K、CLK端的电压波形如图3所示，试画出Q和Q’端对应的电压波形。设触发器的初始状态为Q=0。







5.（10分）某电路如下图所示，假设要设计实现以下的鉴幅工作，请问该如何设计：Vcc, 输入VI有什么要求？

6.（10分）用四选一数据选择器实现函数。

7. （10分）有A、B、C、D四台电机，要求A动B必动，C、D不能同时动，否则报警。试设计一个满足上述要求的逻辑电路。

8.（15分）请用十进制计数器74160设计32进制计数器。

9.（15分）用JK脉冲触发器设计一个加减可逆同步6进制计数器。