

**ACHILLE
CANNAVALE**

APPUNTI ELETTRONICA DIGITALE 2024

**CIAO! QUESTI APPUNTI SONO
FRUTTO DEL MIO STUDIO E
DELLA MIA INTERPRETAZIONE,
QUINDI POTREBBERO
CONTENERE ERRORI, SVISTE O
COSE MIGLIORABILI. BUONO
STUDIO 📖 ✍️**

Elettronica Digitale

Achille Cannavale

Corso di Laurea Magistrale in Ingegneria Informatica Intelligenza
Artificiale e Robotica

Università degli Studi di Cassino e del Lazio Meridionale

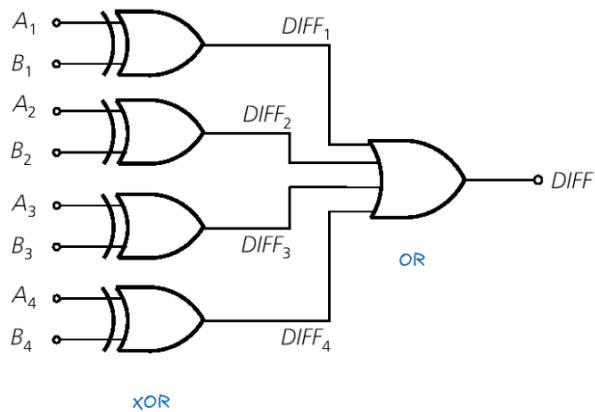
Indice

1	Circuiti Comparatori	3
1.1	Decodificatore	3
1.1.1	Schema Circuitale	4
1.2	Codificatore	4
1.2.1	Schema Circuitale	4
1.3	DEMUX	5
1.4	MUX	5
1.5	Unità Logica Booleana	6
2	Circuiti Sequenziali	7
2.1	Schema Elementare Bistabile	7
2.2	Circuito Bistabile SR a porte NOR	7
2.2.1	Diagramma di Temporizzaizione	8
2.3	FLIP FLOP SR Sincronizzato	8
2.3.1	FLIP FLOP JK	8
2.4	FLIP FLOP Master Slave	9
2.5	FLIP FLOP D	9
2.6	FLIP FLOP T	10
3	PLA	11
3.1	Terminali di In/Out	12
3.2	CPLD - PLD Complessi	13
3.3	FPGA (Field Programmable Gate Arrays)	14
4	Fully CMOS	15
4.1	Logiche a Porte di Trasmissione	16
4.2	Porte di Trasmissione PMOS	17
5	Logiche Dinamiche	18
5.1	Funzionamento	19
5.2	Logica Dinamica a 2 Fasi	20
5.3	Logica Dinamica Domino	20
5.4	Logica NORA (No Race)	20
5.5	Latch in Logica Dinamica	21

6	Memorie ROM	22
6.1	Memorie ad Accesso Casuale	22
6.2	Memoria ROM	22
6.3	Matrice di Codifica a Porte NOR	22
6.4	ROM con amplificatori per la lettura	23
6.5	Amplificatore Differenziale	23
6.6	Matrice di Codifica ROM a porte NAND	23
6.7	FAMOS MOSFET A Gate Fluttuante	24
6.8	Flotox	25
6.9	Flasy	25
7	Memorie RAM	26
7.1	Cella di Memoria	27
7.2	Circuito con Rete di Precarica	27
7.3	Operazione di Lettura	28
7.4	Fase di Scrittura	29
7.5	Amplificatori di Lettura e Scrittura NMOS	29
7.6	RAM Dinamiche	30

Capitolo 1

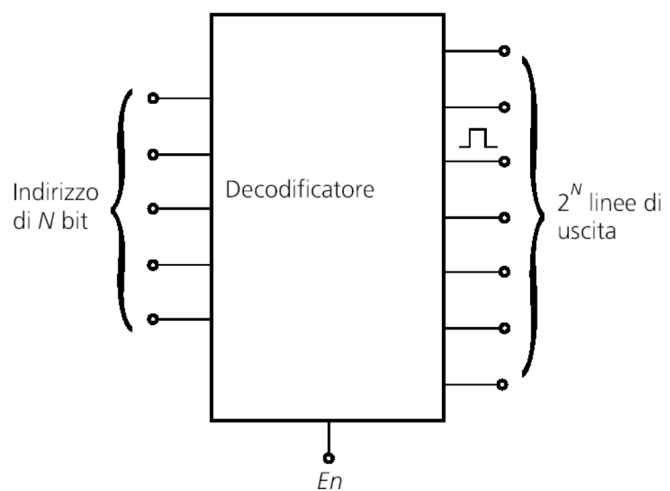
Circuiti Comparatori



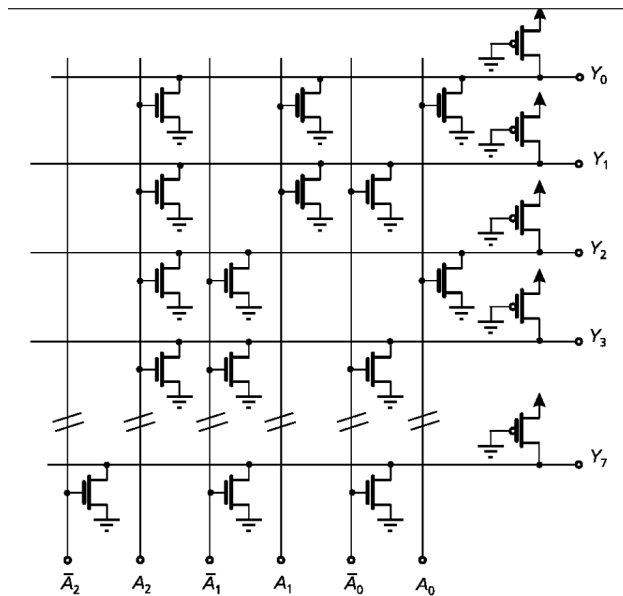
Circuito in cui inserisco 2 stringhe di bit e voglio vedere se sono uguali

1.1 Decodificatore

Ha 2^N linee in uscita e può portare alimentazione solo ad una.

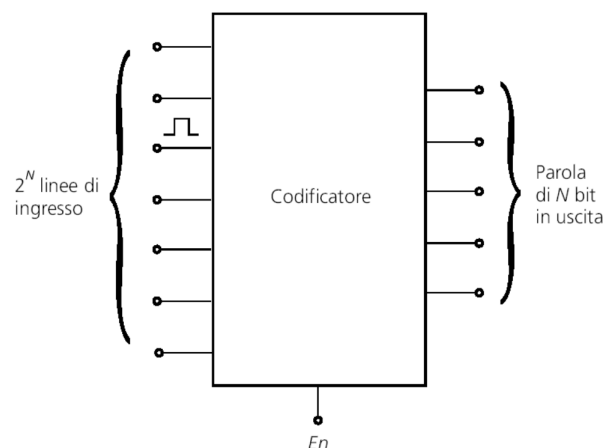


1.1.1 Schema Circuitale



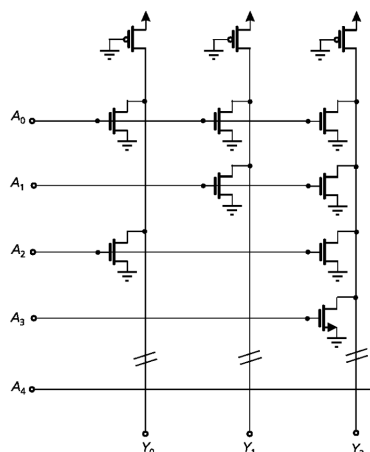
Struttura ordinata di tipo MATRICIALE. Collego un dispositivo con gli ingressi che la pilotano. Usa la tecnologia PSEUDO NMOS con Porte NOR.

1.2 Codificatore



Ha in ingresso 2^N linee di cui una è alta e deve restituire l'indirizzo.

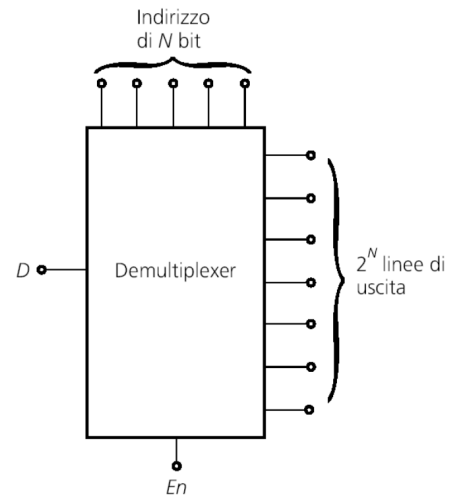
1.2.1 Schema Circuitale



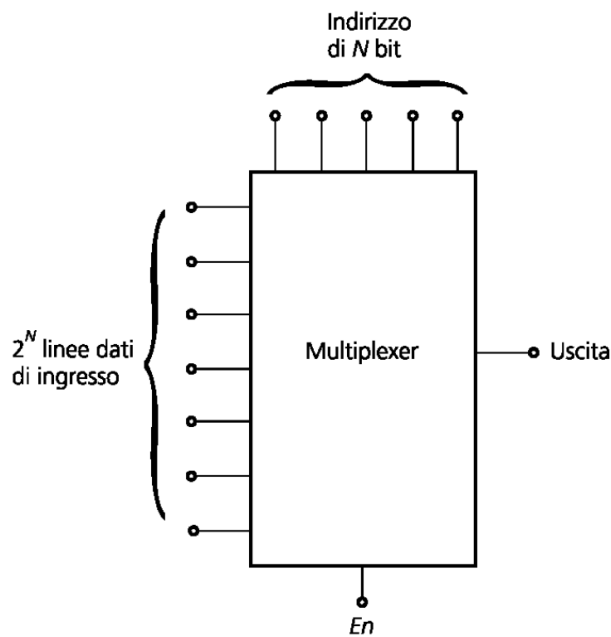
Ingressi in parallelo. Porte NOR.

1.3 DEMUX

Invece di accendere solo la linea scelta, devo trasmettere un dato, quindi è uguale al decodificatore, solo con un ingresso in più.



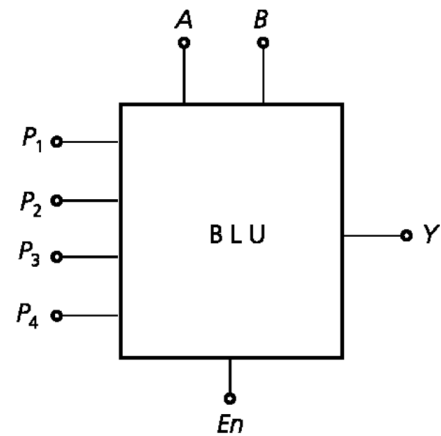
1.4 MUX



Solo la linea scelta trasmette il dato, quindi è come una codifica con un OR finale.

1.5 Unità Logica Booleana

Collegando opportunamente gli ingressi con tutte le possibili uscite con una struttura MUX posso fare tutte le funzioni che prima non sapevo fare (es. porta AND)

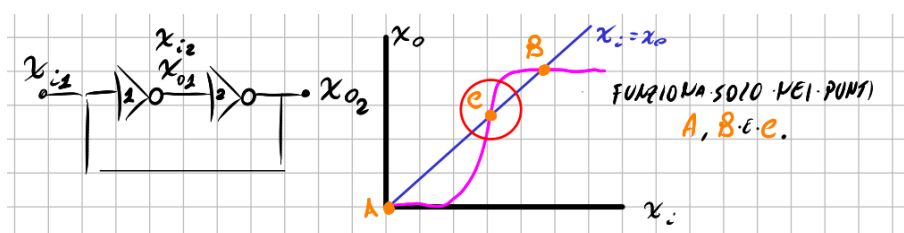


Capitolo 2

Circuiti Sequenziali

Circuiti in cui l'uscita in un certo istante dipende anche dai valori di uscita precedenti, per questo sono circuiti che hanno una memoria...

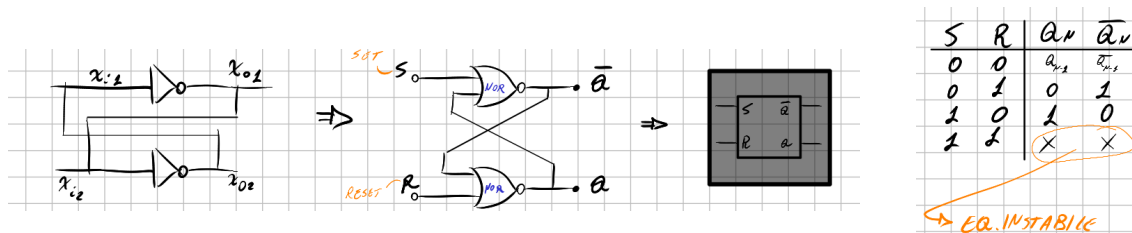
2.1 Schema Elementare Bistabile



Questo circuito consente di memorizzare 1 bit. E qui di seguito possiamo anche vedere nel dettaglio i punti della caratteristica:

- A e B sono punti di equilibrio STABILI
- C è un punto di equilibrio INSTABILE, dato che un rumore può portare il sistema in A o in B

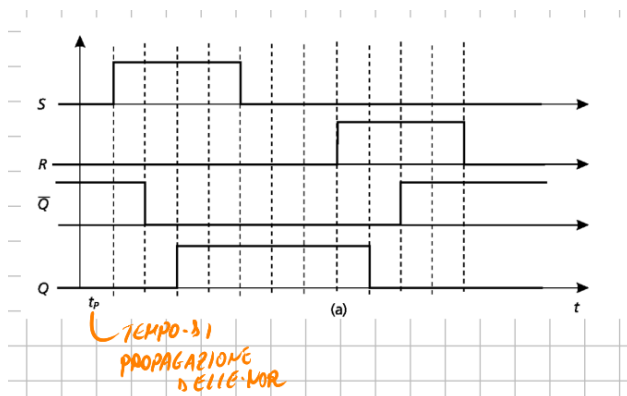
2.2 Circuito Bistabile SR a porte NOR



Nell'ultimo caso della tabella delle verità dovrei avere $Q_N = \bar{Q}_N = 0$ ma non è possibile, quindi corrisponde al punto C. Quindi non so in che stato mi troverò.

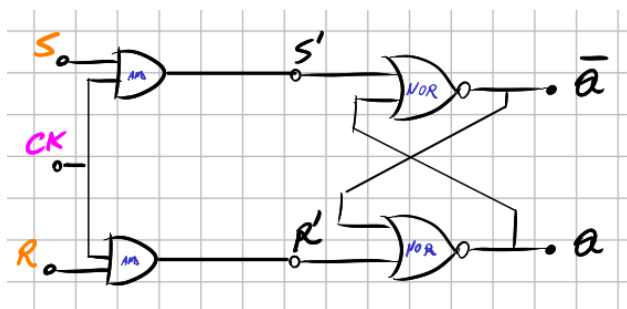
Devo fare un circuito più stabile e con un clock che mi garantisca la sincronia tra i dispositivi.

2.2.1 Diagramma di TempORIZZAZIONE



Il tempo di SETUP deve essere superiore al ritardo di propagazione, perchè il segnale in ingresso deve avere abbastanza tempo per propagarsi almeno una volta nel circuito altrimenti si ha la Metastabilità.

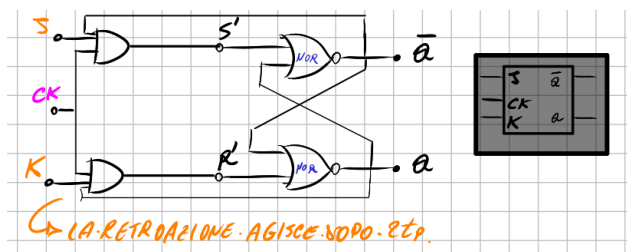
2.3 FLIP FLOP SR Sincronizzato



Con l'impiego del segnale di clock il bistabile è abilitato a cambiare il suo stato solo negli intervalli di tempo in cui il clock è alto.

- Latch: circuiti che cambiano il loro stato nelle transizioni
- Flip-Flop: la modifica degli stati avviene negli istanti determinati dal clock

2.3.1 FLIP FLOP JK

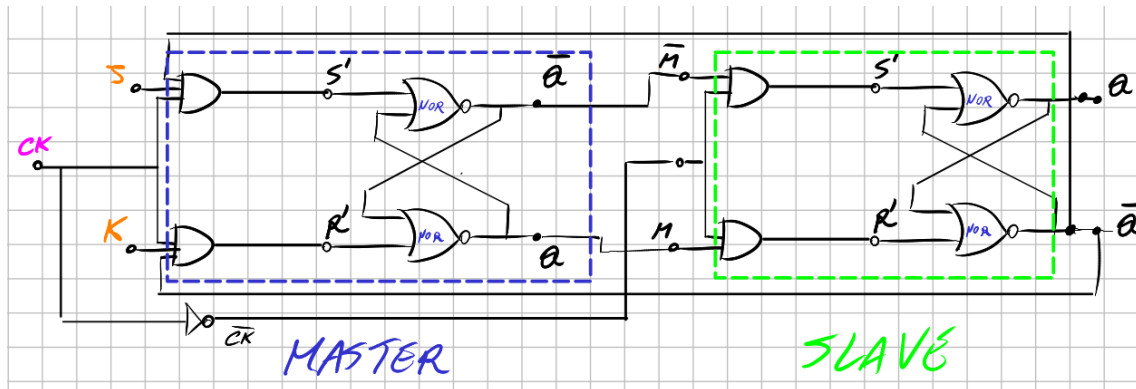


RIPORTANDO IN RETRO-LE USCITE POSSO ANCHE ELIMINARE IL METASTATO DI INSTABILITÀ

S	K	Q_{n+1}	\bar{Q}_{n+1}
0	0	Q_{n+1}	\bar{Q}_{n+1}
0	1	0	1
1	0	1	0
1	1	\bar{Q}_{n+1}	Q_{n+1}

NON C'È PIÙ LO STATO DI INSTABILITÀ SOSTITUITO DALL'INVERSIONE DELL'USCITA.

2.4 FLIP FLOP Master Slave



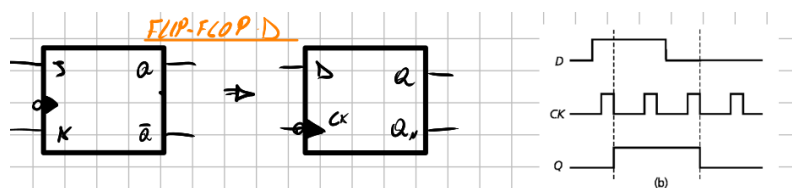
Esso è costituito da due FLIP FLOP in cascata, controllati dallo stesso segnale di clock. QUando il clock è alto, il Master è attivo, mentre lo Slave è disabilitato (Fase di Memorizzazione). Le uscite Q e \bar{Q} dello slave continuano a riflettere lo stato precedente. Le uscite del Master cambiano in base alla tabella delle verità di un FLIP FLOP JK.

Quando il clock è basso, le uscite del Master diventano ingressi per lo Slave. Quindi il cambiamento di stato finale delle uscite del Master-Slave avviene sul fronte di discesa del Clock.

Se $S = K = 1$ il Master-Slave entra in modalità di TOGGLE: ad ogni fronte di discesa del clock, si invertono le uscite Q e \bar{Q} .

Si utilizza il fronte di discesa e non quello di salita perchè al momento dell'accensione il circuito si trova in uno stato indefinito. Usando il fronte di salita potrebbe verificarsi una condizione incerta al primo colpo di clock.

2.5 FLIP FLOP D



Per la realizzazione dei registri viene utilizzato il FLIP FLOP D (Delay) che agisce come elemento di ritardo in quanto fornisce all'uscita Q la variabile D dopo un tempo ΔT .

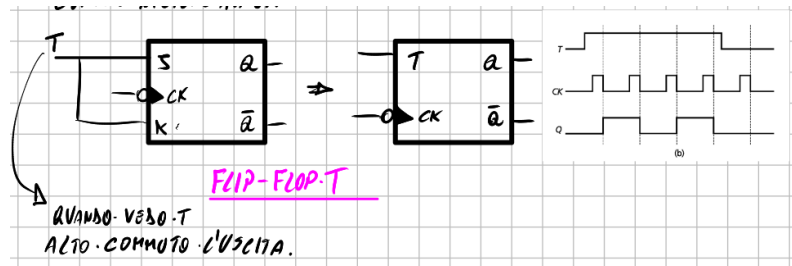
Si realizza mandando in ingresso ad un Master-Slave JK il dato e il suo negato.

- Tempo di SETUP: intervallo di tempo minimo durante il quale il dato deve rimanere stabile prima del fronte attivo del clock.
- Tempo di HOLD: tempo in cui il dato deve rimanere stabile dopo il fronte attivo del clock (il FF ha bisogno di tempo per memorizzarlo)...

2.6 FLIP FLOP T

Il FLIP FLOP T (Toggle) è l'elemento base per la realizzazione dei circuiti contatori. esso inverte lo stato di uscita ad ogni impulso di clock. Il segnale che effettivamente controlla il FF è il segnale di clock. T è un segnale di abilitazione:

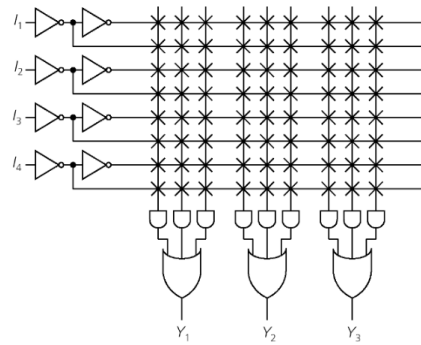
- 1: Inversione uscita
- 0: Uscita intervallata



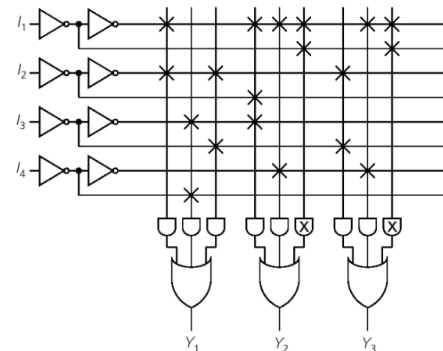
Capitolo 3

PLA

Un esempio di Dispositivo a Logica Programmabile è il seguente:



In cui abbiamo 3 uscite, ciascuna somma di 3 termini di prodotto. Si scelgono i collegamenti da effettuare per realizzare delle funzioni logiche complesse, come in questo esempio:



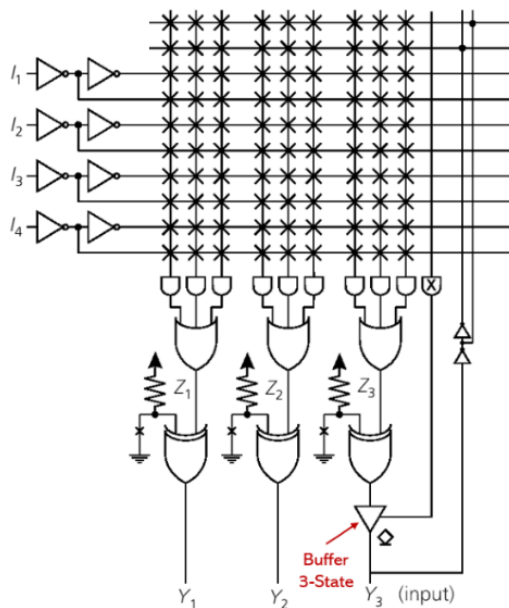
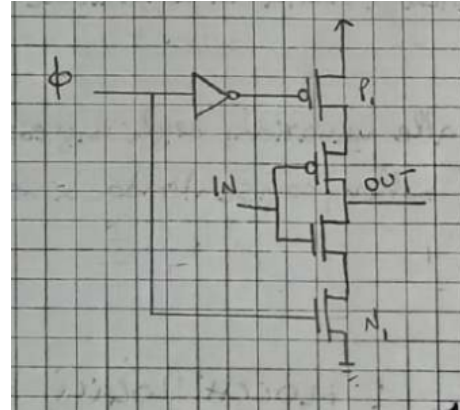
Un miglioramento a questo schema potrebbe essere quello di aggiungere una **Polarità Programmabile** che permette di decidere per ogni uscita se negarla o meno. Questa polarità è possibile collegarla a massa o all'alimentazione:

- $Y = Z \oplus 1 = \bar{Y}$ Alimentazione
- $Y = z \oplus 0 = Y$ Massa

3.1 Terminali di In/Out

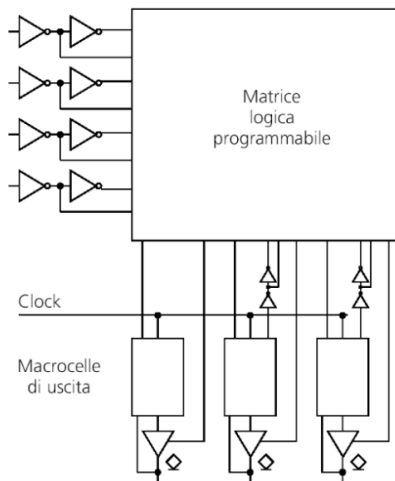
Hanno un invertitore TRISTATE e posso utilizzarli sia come Input e sia come Output. Serve a scollegare un punto sia dall'alimentazione e sia dalla massa, in modo tale che ci si possa applicare una tensione.

- $\phi = 1$
 - P_1 e N_1 conducono
 - I mosfet intermedi controllano l'uscita invertendo l'ingresso
- $\phi = 0$
 - P_1 e N_1 sono spenti
 - Non c'è un percorso conduttivo nè verso V_{DD} nè verso GND

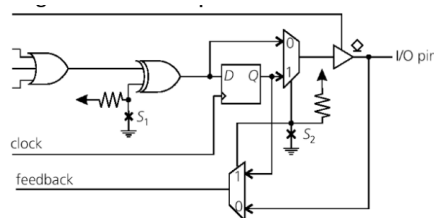


Il circuito si comporta come se avesse una resistenza molto alta verso terra e l'alimentazione. Inoltre il circuito non influenza la linea di segnale a cui è connesso.

Mettendo tutto insieme otteniamo il seguente schema:



Dove questa sarà la macrocella di uscita:



Quindi avrò due Multiplexer comandati dalla connessione programmabile S_2 , che consentono di selezionare la modalità di funzionamento della macrocella:

- Modalità Sequenziale
 - La macrocella usa un Flip-Flop per memorizzare l'uscita in base al clock
 - Il segnale di Feedback è l'uscita Q del flip flop. Questo permette di utilizzare il valore memorizzato come input per altre logiche interne
 - Il Buffer Tristate consente di mettere l'uscita in condizione di Alta Impedenza
- Modalità Combinatoria
 - L'uscita corrisponde immediatamente alle variazioni degli ingressi
 - Il feedback corrisponde all'uscita del buffer, consentendo di realizzare una logica in due passi

3.2 CPLD - PLD Complessi

Sono dei Dispositivi Logici Programmabili con i quali è possibile realizzare dei Circuiti Logici estremamente complessi. Questi dispositivi possono essere visti come molteplici PAL collegati fra loro mediante interconnessioni programmabili.

3.3 FPGA (Field Programmable Gate Arrays)

GLi FPGA sono dispositivi a logica programmabile che consentono agli utenti di creare circuiti digitali personalizzati tramite una configurazione software.

Mentre PAL e CPLD usano transistori a Gate Flottante, nel caso si circuiti programmabili una sola volta nella FPGA si usano gli Antifusibili.

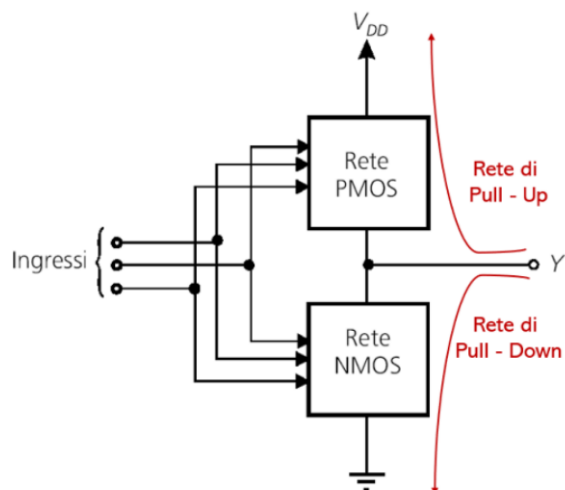
I contatti tra i due livelli di metallo comprendono uno strato di silicio amorfo. non conduttore. Applicando un'opportuna differenza di potenziale ai capi del contatto si rompe lo strato e si realizza la connessione.

Capitolo 4

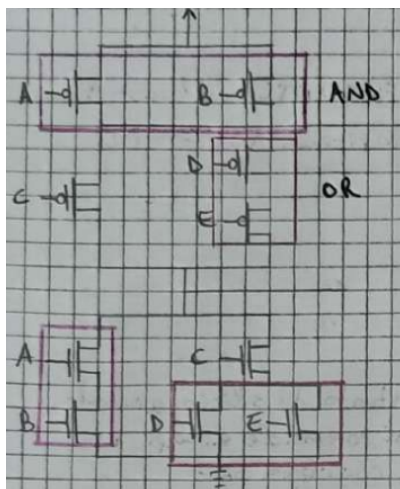
Fully CMOS

Consente di realizzare la logica a un solo passo.

- **Rete di Pull-Up:** se conduce connette all'alimentazione
- **Rete di Pull-Down:** se conduce connette a massa



Si cerca di collegare meno elementi possibili alle capacità di uscita perchè più dispositivi ci sono collegati e maggiore sarà il ****ritardo di propagazione****.



• Vantaggi

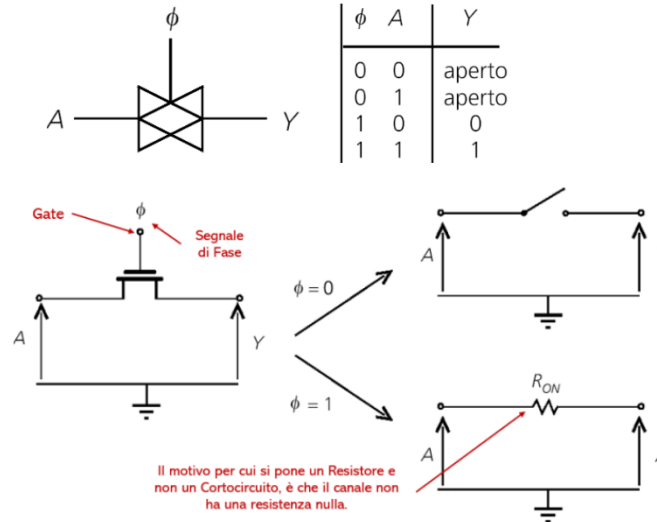
- Come nei circuiti CMOS la **potenza dissipata statica** è nulla
- Richiede generalmente **meno dispositivi**

• Svantaggi

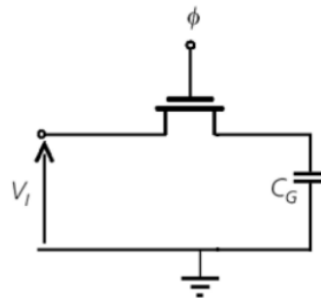
- Il **tempo di propagazione** complessivo è elevato

4.1 Logiche a Porte di Trasmissione

Le porte di trasmissione agiscono come interruttori, in quanto, a seconda del comando che c'è sulla GATE permettono o non permettono il passaggio del segnale lungo il collegamento in cui sono inseriti. Il segnale di comando ϕ è detto fase.



Per determinare la Caratteristica Ingresso - Uscita di una Porta di Trasmissione NMOS si va a collegare all'uscita del dispositivo un condensatore.



- Se $V_i = 0$ e la capacità C_G è scarica, nell'istante in cui la fase passa da 0 a 1 all'interno del circuito non accade nulla, visto che la tensione ai capi del condensatore è già zero
- Se $V_i = 0$ e la capacità C_G è carica, nell'istante in cui la fase passa da 0 a 1 si avrà una circolazione di corrente per la scarica del condensatore. Questa corrente sarà diretta dal terminale di uscita a quello di ingresso.
- Se $V_i = V_{DD}$ e la capacità C_G è carica, nell'istante in cui la fase passa da 0 a 1 non accade nulla, perchè la tensione ai capi del condensatore corrisponde già a quella di ingresso.
- Se $V_i = V_{DD}$ e la capacità C_G è scarica, nell'istante in cui la fase passa da 0 a 1 si avrà una circolazione di corrente per la carica del condensatore. La corrente sarà diretta dal terminale di ingresso a quello di uscita.

Il problema risiede nel fatto che nel processo di carica del condensatore, il valore di tensione ai suoi capi non arriva mai a V_{DD} ma al massimo arriva a $V_{DD} - V_T$, quindi perdo il valore 1.

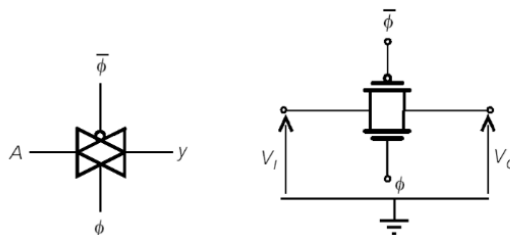
Per ovviare a questo problema si utilizzano i PMOS.

4.2 Porte di Trasmissione PMOS

In questo tipo di dispositivi, nel processo di scarica il valore di tensione ai capi del condensatore non diventa mai pari a 0, ma al massimo si arriva al valore $|V_T|$.

Quindi possiamo dire che le porte di trasmissione NMOS trasmettono bene i livelli logici bassi e male quelli alti, mentre le porte di trasmissione PMOS trasmettono bene i livelli logici alti e male quelli bassi.

Per trasmettere bene entrambi i livelli logici si possono mettere due dispositivi PMOS e NMOS, in parallelo, pilotati rispettivamente dai segnali ϕ e $\bar{\phi}$:



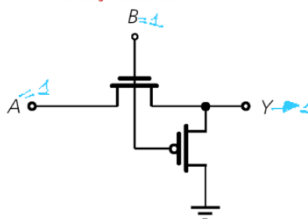
Le porte di trasmissione vengono usate per realizzare:

AND

$A = 0, B = 0$
 \Rightarrow l'NMOS è spento (Non Conducono quando la Tensione applicata alla Gate è ≤ 0);
 \Rightarrow il PMOS è acceso (Conducono anche quando la Tensione applicata alla Gate è nulla);
 \Rightarrow il PMOS collega l'uscita a massa $\Rightarrow Y = 0$

$A = 0, B = 1$
 \Rightarrow l'NMOS è acceso (Non Conducono quando la Tensione applicata alla Gate è ≤ 0);
 \Rightarrow il PMOS è spento (Essendo $V_G = V_{DD}$ segue che $V_{GS} > -V_T$);
 \Rightarrow l'NMOS collega l'uscita a massa $\Rightarrow Y = 0$

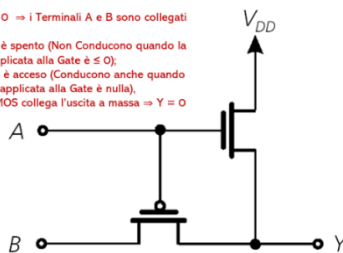
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1



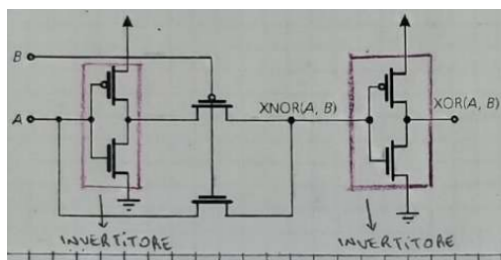
OR

$A = 0, B = 0 \Rightarrow$ i Terminali A e B sono collegati a Massa;
 \Rightarrow l'NMOS è spento (Non Conducono quando la Tensione applicata alla Gate è ≤ 0);
 \Rightarrow il PMOS è acceso (Conducono anche quando la Tensione applicata alla Gate è nulla);
 \Rightarrow il PMOS collega l'uscita a massa $\Rightarrow Y = 0$

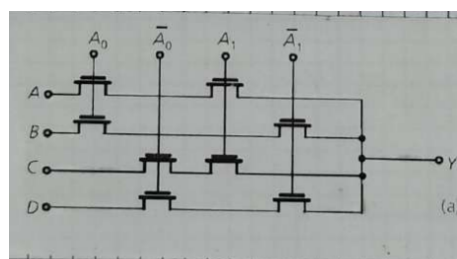
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1



Porte XOR:



Multiplexer:



Capitolo 5

Logiche Dinamiche

- NMOS

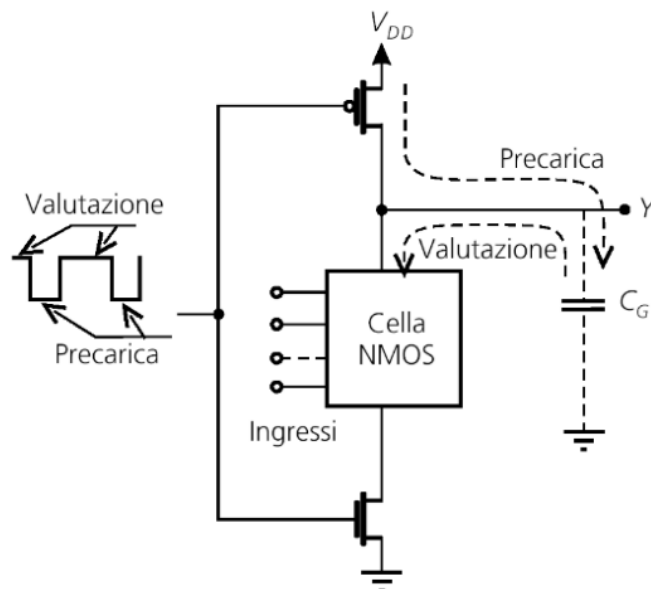
- $P_{d,statica} \neq 0$
- N ingressi
- $N + 1$ dispositivi
- $V_{OL} \neq 0$

- CMOS

- $P_{d,statica} = 0$
- N ingressi
- $2N$ dispositivi

- Logica Dinamica

- $P_{d,statica} = 0$
- N ingressi
- $N + 2$ dispositivi



La C_G è la capacità dei dispositivi successivi (a logica dinamica), dove il contributo più grande è la capacità di GATE del transistor.

- $\phi = 0$ Fase di Precarica

- C_G si carica a V_{OH}

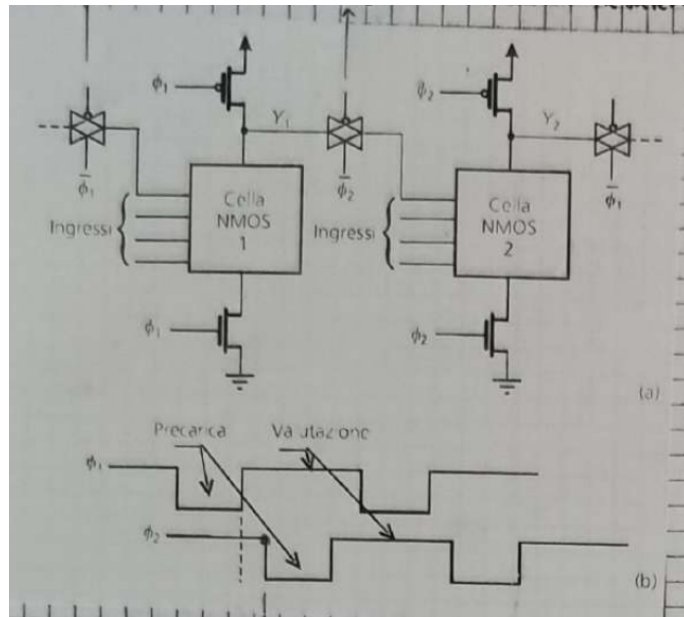
- $\phi = 1$ Fase di Valutazione

- Se la rete NMOS prevede il passaggio di corrente verso massa la C_G si scarica

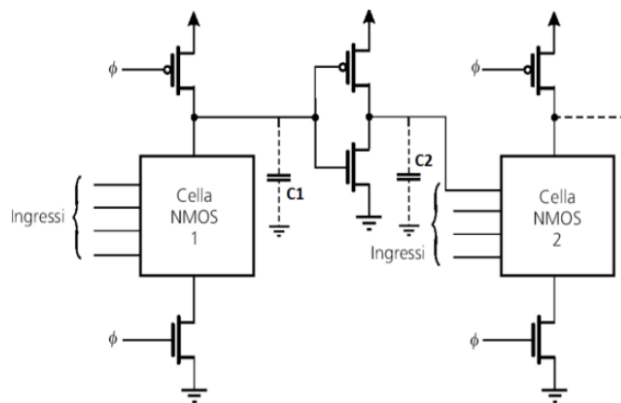
P ed N non saranno mai entrambi in conduzione, perciò $P_{d,statica} = 0$. Questi due mosfet servono solo a collegare e scollegare dalla massa, quindi non serve il P più grande dell' N , per questo si dice che si lavora ad **AREA MINIMA**.

5.2 Logica Dinamica a 2 Fasi

Consiste nell'utilizzo di due differenti segnali di controllo ϕ_1 e ϕ_2 , utilizzati per tutte le celle dispari o pari della connessione in cascata, tali che la fase di PRECARICA della cella precedente corrisponda alla fase di VALUTAZIONE della cella successiva.



5.3 Logica Dinamica Domino



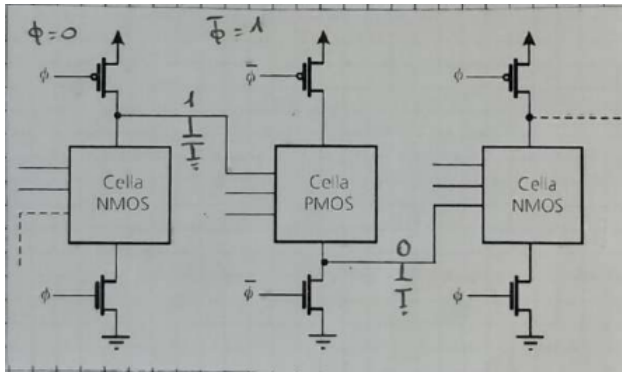
Questa logica deriva dalla LOGICA A UNA FASE, ma con una modifica che elimina il problema che si riscontrava nella transizione ($1 \rightarrow 0$). Per risolvere questo problema si inserisce lungo la linea di connessione un CMOS.

Questo invertitore, inverte la transizione all'uscita della cella a sinistra, quindi mentre nella prima cella ci sarà ($1 \rightarrow 0$) a destra ci sarà ($0 \rightarrow 1$).

Uno degli svantaggi risiede nel fatto che sono richiesti 2 dispositivi in più.

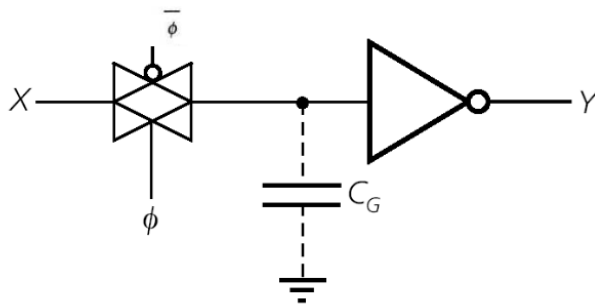
5.4 Logica NORA (No Race)

Una struttura logica derivata dalla logica Domino e che permette l'inversione delle variabili in uscita.



Alternano reti NMOS e reti PMOS. Durante la fase di PRECARICA l'uscita NMOS è alta e quella del PMOS è bassa. Quindi ho solo transizioni $1 \rightarrow 0$ in ingresso ai PMOS e $0 \rightarrow 1$ ai NMOS. Rimangono tuttavia i problemi di sincronizzazione di ϕ e $\bar{\phi}$ e la dimensione dei PMOS.

5.5 Latch in Logica Dinamica



Mantengo l'informazione per un certo tempo mediante il posizionamento della carica su C_G .

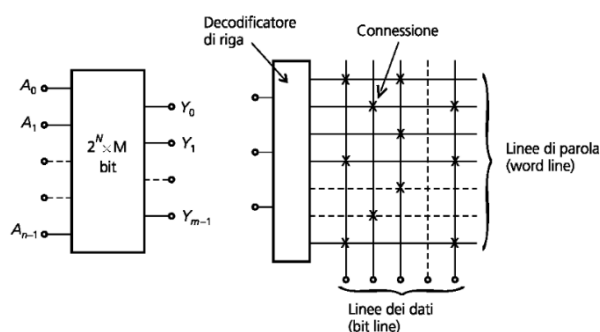
Capitolo 6

Memorie ROM

6.1 Memorie ad Accesso Casuale

Questo tipo di memroie mantengono grandi quantità di dati, quindi si deve realizzare nella maniera più ordinata possibile. Per questo motivo si utilizza una struttura matriciale, che ha in ingresso due decoder: Decoder di Riga e Decoder di Colonna. Il DECODER identifica l'indirizzo in memoria e la linea viene alimentata.

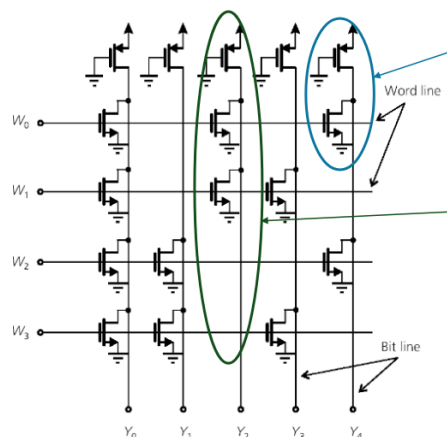
6.2 Memoria ROM



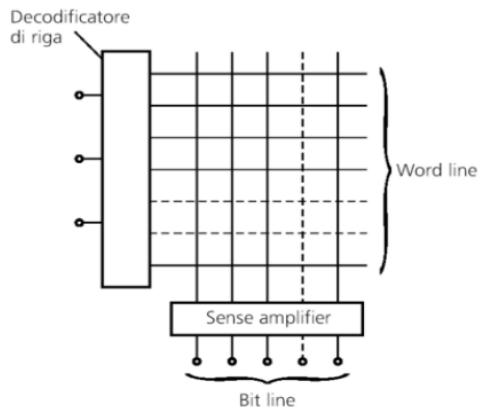
Quando seleziono una riga all'interno ci sono M bit, mentre $2^N \times M$ rappresenta la Capacità, ovvero il numero di bit che posso memorizzare.

6.3 Matrice di Codifica a Porte NOR

Dove sono stati posizionati i dispositivi N si realizza un'inversione, quindi quando accendo la linea leggo 0. Questa matrice è detta a porte NOR perchè i drain dei dispositivi sono legati alla linea di uscita e formano una NOR tutti in parallelo.



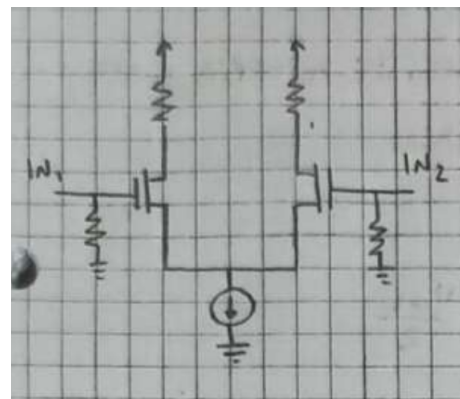
6.4 ROM con amplificatori per la lettura



Per velocizzare il processo di lettura in queste memorie, si utilizza un Sense Amplifier (amplificatore differenziale) per ogni bit line.

6.5 Amplificatore Differenziale

Amplifica la differenza di tensione tra due segnali in ingresso, riducendo al minimo l'amplificazione dei SEGNALI COMUNI ai due ingressi (rumore o interferenze). Questo circuito è SENSIBILE a piccole differenze, utile per letture VELOCI del dato in memoria.



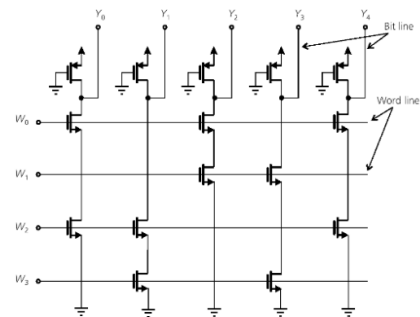
6.6 Matrice di Codifica ROM a porte NAND

Ci sono due problemi principali legati alla Codifica ROM a porte NOR:

- la tensione usata dai PMOS per rappresentare il livello basso è diversa dalla massa
- la potenza statica dissipata è diversa da 0

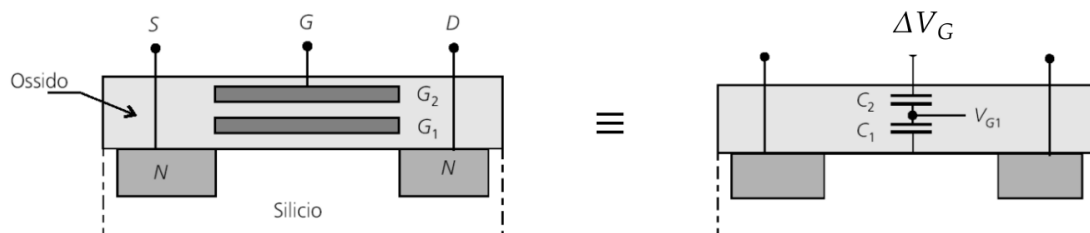
Per ovviare a questi problemi si può usare la logica negata, che prevede di mantenere tutte le word lines ad alto livello, tranne quella associata alla word da leggere. Questo metodo necessita la conversione delle porte da NOR a NAND:

- Nei punti di intersezione tra le bit line e le word line, dove è presente un transistor, viene memorizzato un 1, mentre nei punti senza transistor viene memorizzato 0
- Se la linea associata alla word line da leggere dissipa potenza, riducendo così la dissipazione complessiva



6.7 FAMOS MOSFET A Gate Fluttuante

Per rendere una memoria programmabile si usano i MOSFET FAMOS, ovvero a Doppia Gate. Quindi è come se avessi 2 capacità in serie, dove V_{G1} è quella che effettivamente controlla il dispositivo.

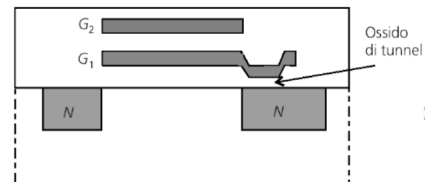


La programmazione avviene applicando un'elevata tensione positiva ΔV_G alla gate superiore e polarizzando positivamente il drain. Tutto ciò porta la gate isolata ad un potenziale di ΔV_{G1} . Durante questa fase, gli elettroni si muovono nel canale verso il drain e sono ingluenzati dal campo applicato tra il canale e la gate isolata, e una parte di essi va ad accumularsi su quest'ultima. L'accumulo di cariche negative su G_1 la rende sempre più negativa, fino ad opporsi all'accensione del canale. Questo processo consente la memorizzazione permanente di un "1" logico. Una volta programmato, per imuovere la programmazione e quindi scaricare la carica su G_1 , è necessario esporre il dispositivo a raggi ultravioletti.

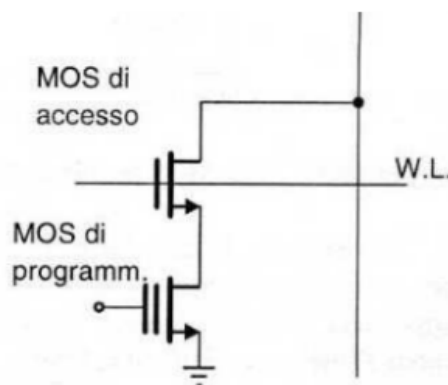
6.8 Flotox

I dispositivi FLOTOX sono MOSFET a doppio gate, in cui la gate isolata (G_1) si estende parzialmente sulla regione di drain. La programmazione avviene applicando una tensione positiva elevata sulla gate superiore (G_2). Questo provoca il passaggio di elettroni dal drain verso il sottile strato di ossido verso la gate isolata (G_1).

Questi dispositivi permettono inoltre di cancellare elettricamente la programmazione. Per farlo, si applica una tensione negativa alla gate superiore G_2 , generando nuovamente un effetto tunnel, ma in senso inverso, consentendo così agli elettroni di spostarsi da G_1 al drain, eliminando la carica negativa accumulata su G_1 e ripristinando lo stato iniziale del dispositivo.



L'operazione di cancellazione attraverso l'effetto tunnel inverso può portare ad una sovrascarica della gate G_1 , ossia un'iniezione di cariche positive che portano il MOS a stare sempre acceso. Per risolvere questo problema si inserisce in serie al MOS con doppio gate un ulteriore MOS detto di "accesso" che viene abilitato dalla word line quando si vuole leggere l'informazione contenuta nel MOS a doppio gate.



6.9 Flasy

I dispositivi FLASY sono MOSFET a doppia gate che combinano le caratteristiche dei FAMOS e dei FLOTOX. La programmazione avviene tramite l'iniezione di elettroni ad alta energia nella gate flottante G_1 , analogamente a quanto avviene nei FAMOS. La cancellazione invece, si effettua come nei FLOTOX, attraverso l'estrazione degli elettroni da G_1 per effetto tunnel, sfruttando uno strato di ossido sottile posizionato questa volta sopra la regione di source. I dispositivi FLASY non richiedono MOS aggiuntivi per prevenire la sovrascarica.

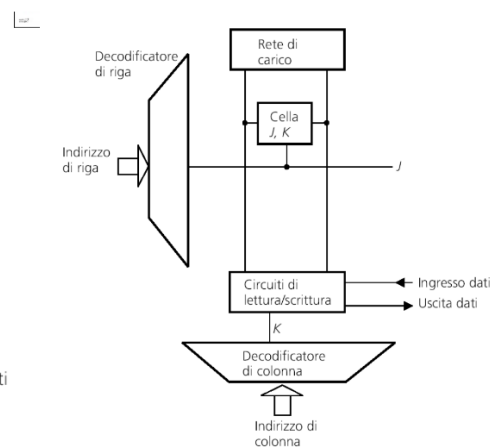
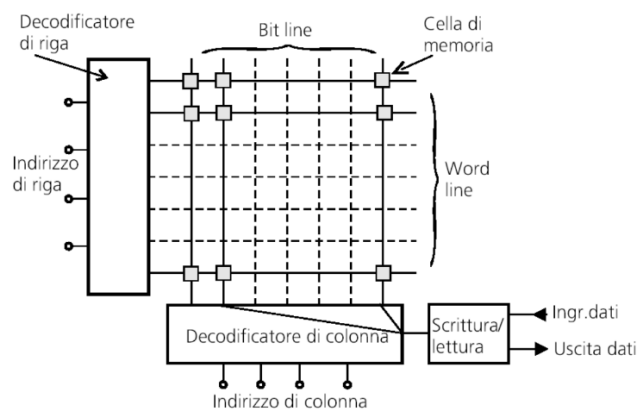
Capitolo 7

Memorie RAM

Le RAM (Random Access Memory) si dividono in:

- **SRAM:** veloce e stabile, usata per cache
- **DRAM:** economica, necessita un refresh periodico, usata per la memoria principale

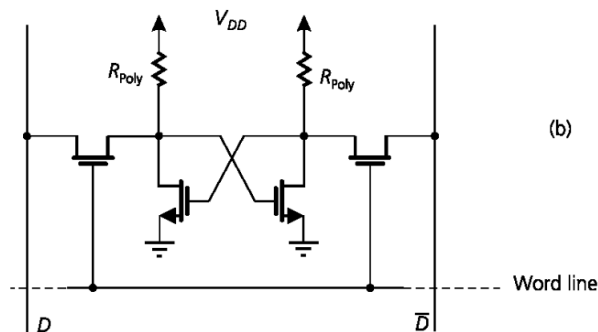
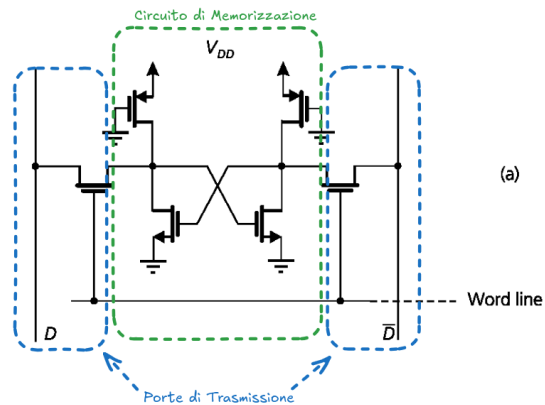
In particolare la RAM è una memoria bidimensionale, usata per immagazzinare in maniera volatile grosse quantità di dati. Ogni cella ha 2 BIT LINE, una per lettura e una per scrittura.



7.1 Cella di Memoria

La cella di memoria è composta da:

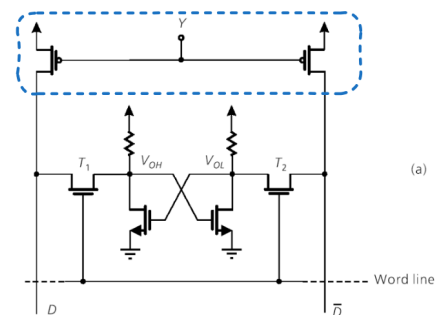
- Circuito di memorizzazione
 - Due invertitori in serie. Se la word line non è attiva mantiene l'informazione
- Porta di Trasmissione
 - Sono pilotate dalla word line. Quando voglio LEGGERE o SCRIVERE si chiudono e accedo alla cella



Un possibile miglioramento consiste nel sostituire i MOSFET di carico nel Circuito di Memorizzazione, con delle resistenze molto grandi in polisilicio (GHz).

7.2 Circuito con Rete di Precarica

In questo circuito viene aggiunta una rete di precarica, in modo tale che quando $Y = 0$ le linee vanno a V_{DD} . Questa viene detta FASE DI PRECARICA e deve terminare prima che venga attivata la word line.



7.4 Fase di Scrittura

Per scrivere uno '0' in una cella che contiene un '1', è necessario invertire gli stati dei due invertitori della cella. A differenza della lettura, la scrittura non richiede una fase di precarica. Il dato da scrivere viene inviato alle Bit Line: il valore sulla Bit Line Sinistra e il suo opposto sulla Bit Line Destra.

Quando la Word Line si attiva, le porte di trasmissione si chiudono, collegando le uscite degli invertitori alle Bit Line. Questo collegamento innesca un processo che gradualmente modifica il potenziale degli invertitori, portando alla commutazione dello stato della cella.

In particolare:

- Il lato con l'uscita alta dell'invertitore inizia il cambiamento, abbassando il suo potenziale.
- Questo cambiamento si propaga, causando lo scambio degli stati tra i due invertitori.

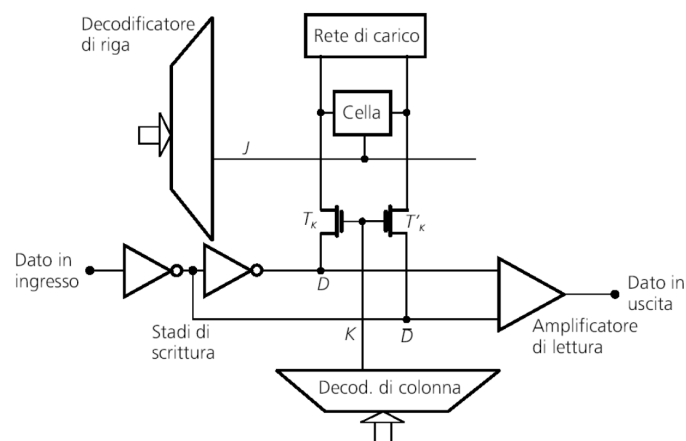
La scrittura richiede entrambe le Bit Line, perché una sola non sarebbe sufficiente a determinare da quale lato avviare la commutazione.

7.5 Amplificatori di Lettura e Scrittura NMOS

Gli amplificatori di lettura in tecnologia NMOS sono composti da due invertitori CMOS collegati in *Latch Back-to-Back*, con NMOS controllati da un segnale di fase Φ_S . Durante la lettura:

- Il latch rileva la variazione di tensione ΔV_R causata dal charge sharing tra la capacità di memoria C_M e la Bit Line.
- La tensione d'uscita discrimina il dato memorizzato (basso per 0, alto per 1) e ripristina il valore distrutto durante la lettura.

La riscrittura del dato è necessaria per compensare la natura distruttiva della lettura nelle celle NMOS.



7.6 RAM Dinamiche

Le RAM dinamiche memorizzano i dati utilizzando condensatori che rappresentano:

- **1**: condensatore carico.
- **0**: condensatore scarico.

Struttura delle celle di memoria:

- Ogni cella è composta da una **capacità di memoria** (C_M), un transistor NMOS (porta di trasmissione) e una Bit Line.
- Le celle sono connesse a una Word Line, che abilita la lettura/scrittura.
- La compattezza è ottenuta eliminando elementi non essenziali, come il drain del transistor.

Fasi di funzionamento:

1. **Precarica:** La Bit Line è portata a una tensione di riferimento (V_R).
2. **Lettura:** La Word Line attiva la porta di trasmissione, connettendo C_M alla Bit Line. Si genera una variazione di tensione ΔV_R , che rappresenta il dato letto.
3. **Riscrittura:** Poiché la lettura è distruttiva, il dato viene ripristinato caricando C_M .

Ottimizzazioni:

- Incremento di C_M con *Trench Capacitor*, una struttura verticale che massimizza la capacità senza aumentare l'area occupata.
- Utilizzo di celle fittizie per bilanciare le variazioni di tensione indesiderate sulla Bit Line.
- Refresh continuo dei dati per compensare la perdita di carica nei condensatori.

Le DRAM offrono alta densità e compattezza, ma la lettura distruttiva e il bisogno di refresh continuo complicano la loro gestione.