

## 实验 06 简单组合逻辑电路的设计

### 实验学生个人信息栏

课序号： 02 班级： 软 2104 学号： 20212241212 姓名： 张亚琦

### 实验 06 得分：

实验教师（签字）： \_\_\_\_\_

### 一、实验目的及内容概述

- （1）利用 Proteus 软件工具设计 2 输入与非门芯片 74HC00 的功能测试电路；
- （2）利用 Proteus 软件工具设计基于基本逻辑门的一位全加器和基于 2 输入与非门的三人多数表决电路；
- （3）利用 Proteus 软件工具设计基于 74HC153 的一位全加器和基于 74HC151 的三人多数表决电路；
- （4）利用 Proteus 软件工具设计基于 3-8 译码器的一位全加器。

### 二、实验设备与器件

- （1）使用软件：Proteus 8；
- （2）使用器件：

2 输入与非门芯片 74HC00 的功能测试电路		
序号	元件名称	元件符号
1	LOGICSTATE	
2	2N3904 NPN 型三极管	Q1
3	74HC00 芯片与非门	U1: A, B, C, D
4	电阻	R1、R2、R3
5	单刀双掷开关	SW1
6	LED 灯	D1、D2
7	LOGICPROBE (BIG)	

基于基本逻辑门的一位全加器

序号	元件名称	元件符号
1	LOGICSTATE	
2	LOGICPROBE (BIG)	
3	74HC86 芯片异或门	U1: A, B
4	74HC08 芯片与门	U2: A, B, C
5	74HC32 芯片或门	U3: A, B

基于 2 输入与非门的三人多数表决电路

序号	元件名称	元件符号
1	LOGICSTATE	
2	LOGICPROBE (BIG)	
3	74HC00 芯片与非门	U4: A, B, C, D; U5: A, B, C, D

基于 74HC153 的一位全加器

序号	元件名称	元件符号
1	LOGICSTATE	
2	LOGICPROBE (BIG)	
3	4 选 1 数据选择器 74HC153 芯片	U2
4	非门芯片 74HC04	U1: A, B

基于 74HC151 的三人多数表决电路

序号	元件名称	元件符号
1	LOGICSTATE	
2	LOGICPROBE (BIG)	
3	74HC151 芯片	U3

基于 3-8 译码器的一位全加器

序号	元件名称	元件符号
1	LOGICSTATE	
2	LOGICPROBE (BIG)	
3	74HC138 译码器芯片	U1
4	与非门芯片 74HC20	U2: A, B

### 三、实验过程及结果分析

#### 1、芯片 74HC00 的功能测试：

##### （1）74HC00 所实现的逻辑功能：

74HC00 有四个 2 输入端的与非门，输入端 A，B，全为 1 时，输出才为 0，A，B 只要有一个端输入 0，输出就是 1。输出端接一个 LED，输出为 0 时，LED 亮，否则，LED 不亮。

##### （2）

##### a) 图中以开关 SW1 为核心部件的电路产生芯片输入端所需的逻辑电平信号的过程如下：

当开关接电源时，输入端 A 为 1 时，D1 灯亮，输出端为 0；当开关接地，输入端 A 为 1 时，D1 灯灭，输出端为 1；

##### b) 图中以三极管为核心部件的电路工作监测芯片输出端的逻辑电平状态的过程如下：

当开关接电源时，输入端 A 为 1 时，D2 灯灭，输出端为 0；当开关接地，输入端 A 为 1 时，D2 灯亮，输出端为 1；

##### c) 图中连线标号 LBL 的作用：

通过连线标号将以开关 SW1 为核心部件的电路和以三极管为核心部件的电路与芯片 74HC00 为核心部件的主电路连接起来，保证以开关 SW1 为核心部件的电路和以三极管为核心部件的电路能够正常运行和监测芯片输出端的逻辑电平状态。

##### （3）附图 6.1 中的仿真状态实现了 74HC00 的四路二输入与非门逻辑功能。

#### 2、不同方法设计的一位全加器电路和三人多数表决电路：

##### （1）一位全加器和三人多数表决电路的逻辑功能真值表：

一位全加器逻辑功能真值表									
输入	Ai	0	0	0	0	1	1	1	1
	Bi	0	0	1	1	0	0	1	1
	Ci	0	1	0	1	0	1	0	1
输出	So	0	1	1	0	1	0	0	1
	Co	0	0	0	1	0	1	1	1
三人多数表决电路逻辑功能真值表									
输入	A	0	0	0	0	1	1	1	1
	B	0	0	1	1	0	0	1	1
	C	0	1	0	1	0	1	0	1
输出	Y	0	0	0	1	0	1	1	1

##### （2）如附图 6.2（a），一位全加器电路由一片 74HC86 芯片的 2 个异或门、一片 74HC08 中的 3 个与门和一片 74HC32 中的 2 个或门实现。其对应的一位全加器的逻辑表达式如下：

$$S_o = A_i \oplus B_i \oplus C_i$$

$$C_o = A_i B_i + B_i C_i + A_i C_i$$

仿真时，当输入端 Ai、Bi、Ci 均为 1 时，输出均为 0；当 Ai=0、Bi=1、Ci=0 时，So=1,Co=0；当 Ai=1、Bi=0、Ci=1 时，So=0，Co=1 等均符合真值表。故，图中仿真实现了逻辑功能。

##### （3）如附图 6.2（b），三人多数表决电路由两片 74HC00 芯片的所有 8 个与非门实现。其对应

的三人多数表决电路的逻辑表达式如下：

$$Y = \overline{AB}AC + \overline{AB}B\overline{C} + \overline{AB}BC + \overline{AC}BC + \overline{AC}B\overline{C} + \overline{AC}BC$$

仿真时，当输入端 A、B、C 均为 1 时，输出为 1；当 A=0、B=1、C=1 时，输出为 1；当 A=1、B=0、C=0 时，输出为 0 等均符合真值表。故，图中仿真实现了逻辑功能。

- (4) 如附图 6.3 (a)，一位全加器电路由 4 选 1 数据选择器 74HC153 芯片和非门芯片 74HC04 实现。其对应的数据选择器形式的一位全加器的逻辑表达式如下：

$$\begin{aligned} S_{OUT} &= \overline{A_{IN}}\overline{B_{IN}}C_{IN} + \overline{A_{IN}}B_{IN}\overline{C_{IN}} + \overline{A_{IN}}B_{IN}C_{IN} + A_{IN}\overline{B_{IN}}\overline{C_{IN}} \\ C_{OUT} &= \overline{A_{IN}}\overline{B_{IN}}C_{IN} + \overline{A_{IN}}\overline{B_{IN}}\overline{C_{IN}} + \overline{A_{IN}}B_{IN}\overline{C_{IN}} + A_{IN}\overline{B_{IN}}C_{IN} \\ &= \overline{A_{IN}}\overline{B_{IN}}0 + \overline{A_{IN}}\overline{B_{IN}}\overline{C_{IN}} + \overline{A_{IN}}B_{IN}\overline{C_{IN}} + A_{IN}\overline{B_{IN}}1 \end{aligned}$$

仿真时，当输入端 Ai、Bi、Ci 均为 1 时，输出均为 0；当 Ai=0、Bi=1、Ci=0 时，So=1,Co=0；当 Ai=1、Bi=0、Ci=1 时，So=0，Co=1 等均符合真值表。故，图中仿真实现了逻辑功能。

- (5) 如附图 6.3 (b)，三人多数表决电路由一片 74HC151 芯片实现。其对应的数据选择器形式的三人多数表决电路的逻辑表达式如下：

$$L = \overline{ABC} + \overline{AB}C + \overline{AB}C + \overline{ABC} = m_3 + m_5 + m_6 + m_7$$

仿真时，当输入端 A、B、C 均为 1 时，输出为 1；当 A=0、B=1、C=1 时，输出为 1；当 A=1、B=0、C=0 时，输出为 0 等均符合真值表。故，图中仿真实现了逻辑功能。

- (6) 如附图 6.4，一位全加器电路由一片 74HC138 译码器芯片和一片与非门芯片 74HC20 实现。其对应的译码器形式的一位全加器电路的逻辑表达式如下：

$$\begin{aligned} S_i &= \overline{A_i}\overline{B_i}C_{i-1} + \overline{A_i}B_i\overline{C_{i-1}} + \overline{A_i}B_iC_{i-1} + A_i\overline{B_i}\overline{C_{i-1}} \\ C_i &= \overline{A_i}B_iC_{i-1} + A_i\overline{B_i}C_{i-1} + A_iB_i\overline{C_{i-1}} + A_iB_iC_{i-1} \\ A_iB_iC_{i-1} &\text{分别对应连接 } 138 \text{ 的 } A_2 A_1 A_0 \text{ 则有} \\ S_i &= \overline{A_2}A_1A_0 + \overline{A_2}A_1\overline{A_0} + A_2\overline{A_1}A_0 + A_2A_1\overline{A_0} \\ &= \overline{Y_1}Y_2Y_4Y_7 \\ C_i &= \overline{A_2}A_1A_0 + A_2\overline{A_1}A_0 + A_2A_1\overline{A_0} + A_2A_1A_0 \\ &= Y_3Y_5Y_6Y_7 \end{aligned}$$

仿真时均符合真值表，实现了逻辑功能。

### 3、实践设想：

以 2 输入与非门芯片 74HC00 的功能测试电路为例，根据所设计的电路原理图，在真实的实验箱上，我们首先按照电路图打开实验箱电源开关，并将直流稳压电源+5V 开关打开。接下来找到“八位逻辑电平输出”，用万用表测试“H”“L”是否正确，然后将 74HC00 芯片插在实验箱位于“八位逻辑电平屏输出”上方的 14p 的 IC 座上，并保证“管脚”和引脚标号一一对应。接着按照电路图连接电路。

在真实的实验箱上得到了体现的方式：可以用万用表测量，也可以在输出端接上 LED 灯，通过灯是否亮来判断仿真结果是否正确。

## 四、实验总结、建议和质疑

本次实验学习逻辑电路的设计，利用 Proteus 软件工具设计 2 输入与非门芯片 74HC00 的功

能测试电路，基于基本逻辑门的一位全加器，基于 2 输入与非门的三人多数表决电路基于 74HC153 的一位全加器，基于 74HC151 的三人多数表决电路和基于 3-8 译码器的一位全加器。了解了逻辑电路的部分内容，尤其认识了数据选择器和译码器。有些公式自己推导不出来，通过查阅资料也学会了。

## 五、附录

附图 6.1 2 输入与非门芯片 74HC00 的功能测试电路

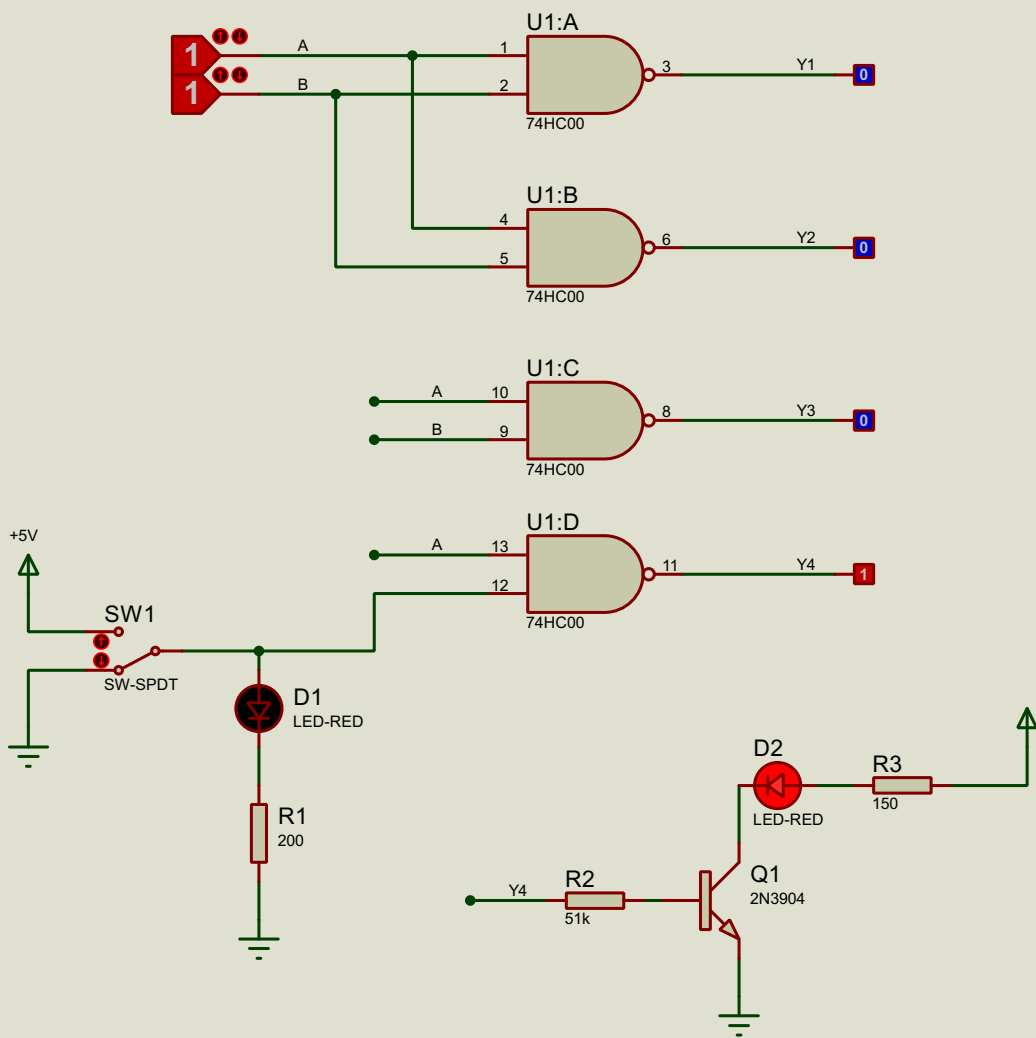
附图 6.2 基于基本逻辑门的简单组合逻辑电路

附图 6.3 基于数据选择器的简单组合逻辑电路

附图 6.4 基于 3-8 译码器的简单组合逻辑电路

# 附图6.1 2输入与非门芯片74HC00的功能测试电路

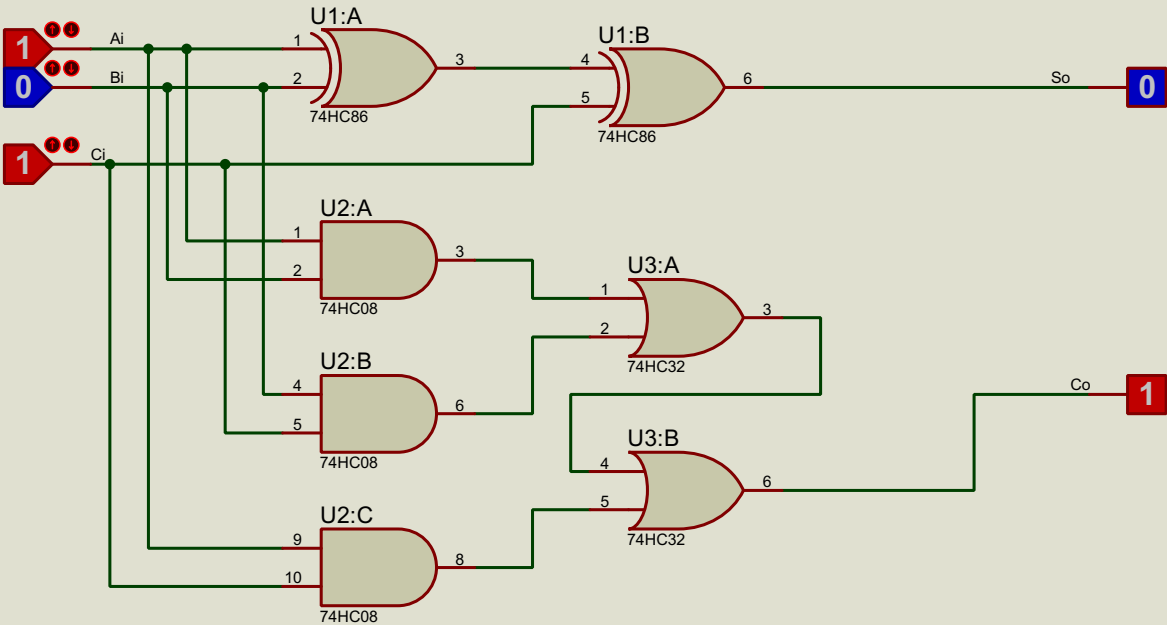
课序号： 02    班级：软2104    学号： 20212241212    姓名：张亚琦



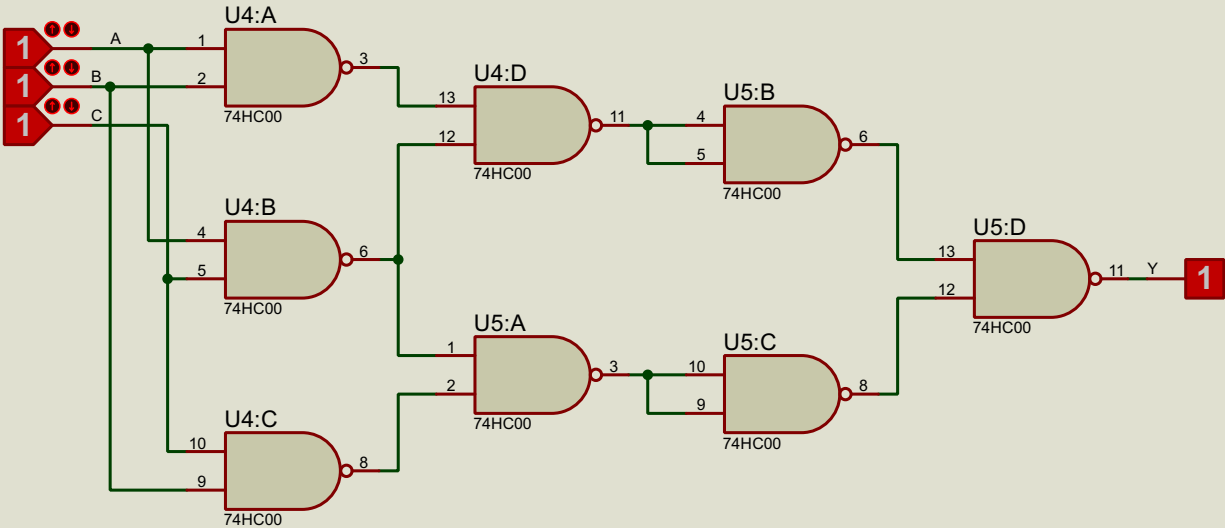
# 附图6.2 基于基本逻辑门的简单组合逻辑电路

课序号：02    班级：软2104    学号：20212241212    姓名：张亚琦

(1) 附图6.2 (a)    基于基本逻辑门的一位全加器



(2) 附图6.2 (b) : 基于2输入与非门的三人多数表决电路



# 附图6.3：基于数据选择器的简单组合逻辑电路

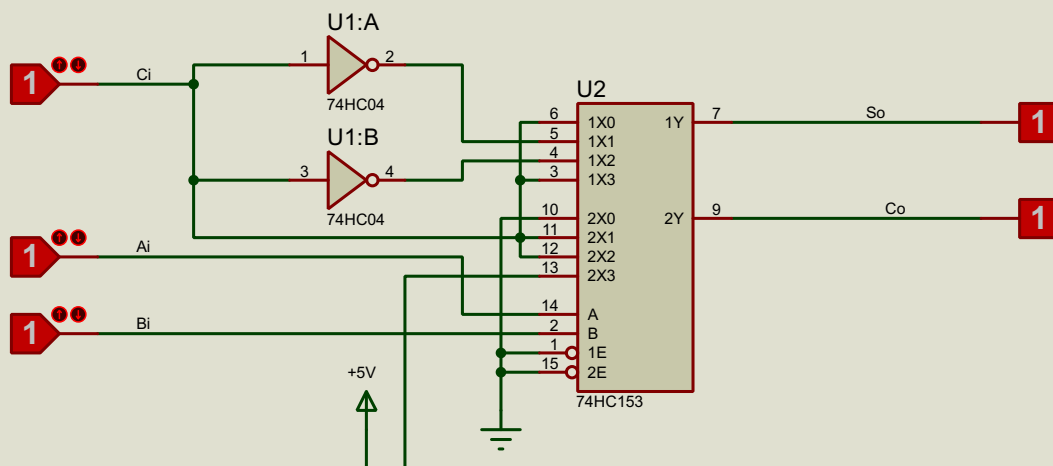
课序号：02

班级：软2104

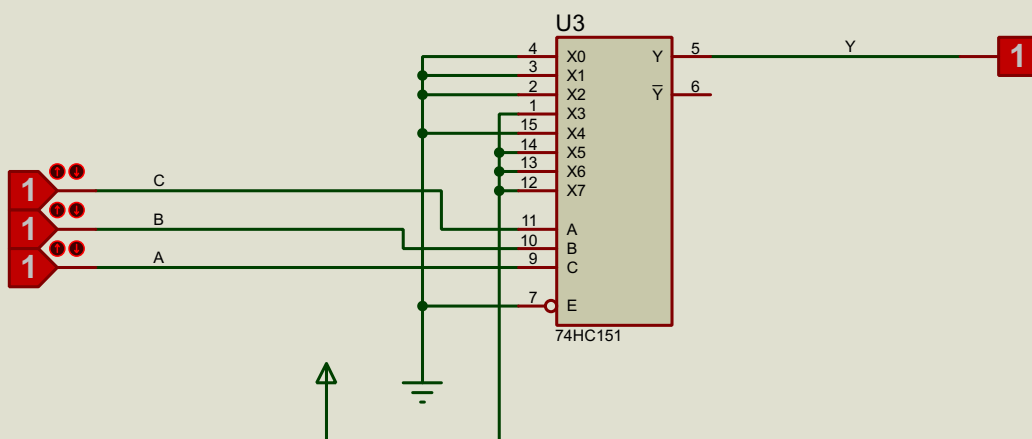
学号：20212241212

姓名：张亚琦

## (1) 附图6.3 (a) 基于74HC153的一位全加器



## (2) 附图6.3 (b) 基于74HC151的三人多数表决电路





# 附图6.4 基于3-8译码器的简单组合逻辑电路

课序号：02

班级：软2104

学号：20212241212

姓名：张亚琦

## 基于3-8译码器的一位全加器

