**实验06 简单组合逻辑电路的设计**

|  |
| --- |
| **实验学生个人信息栏**  课序号： 02 班级： 软2104 学号： 20212241212 姓名： 张亚琦 |
| **实验06得分：**  **实验教师（签字）：** |

**一、实验目的及内容概述**

1. 利用 Proteus 软件工具设计2输入与非门芯片74HC00的功能测试电路；
2. 利用 Proteus 软件工具设计基于基本逻辑门的一位全加器和基于2输入与非门的三人

多数表决电路；

1. 利用 Proteus 软件工具设计基于74HC153的一位全加器和基于74HC151的三人多数表

决电路；

1. 利用 Proteus 软件工具设计基于3-8译码器的一位全加器。

**二、实验设备与器件**

1. 使用软件：Proteus 8；
2. 使用器件：

|  |  |  |
| --- | --- | --- |
| 2输入与非门芯片74HC00的功能测试电路 | | |
| **序号** | 元件名称 | 元件符号 |
| **1** | LOGICSTATE |  |
| **2** | 2N3904 NPN型三极管 | Q1 |
| **3** | 74HC00芯片与非门 | U1:A,B,C,D |
| **4** | 电阻 | R1、R2、R3 |
| **5** | 单刀双掷开关 | SW1 |
| **6** | LED灯 | D1、D2 |
| **7** | LOGICPROBE(BIG) |  |

|  |  |  |
| --- | --- | --- |
| 基于基本逻辑门的一位全加器 | | |
| **序号** | 元件名称 | 元件符号 |
| **1** | LOGICSTATE |  |
| **2** | LOGICPROBE(BIG) |  |
| **3** | 74HC86芯片异或门 | U1:A,B |
| **4** | 74HC08芯片与门 | U2:A,B,C |
| **5** | 74HC32芯片或门 | U3:A,B |

|  |  |  |
| --- | --- | --- |
| 基于2输入与非门的三人多数表决电路 | | |
| 序号 | 元件名称 | 元件符号 |
| **1** | LOGICSTATE |  |
| **2** | LOGICPROBE(BIG) |  |
| **3** | 74HC00芯片与非门 | U4:A,B,C,D;U5:A,B,C,D |

|  |  |  |
| --- | --- | --- |
| 基于74HC153的一位全加器 | | |
| **序号** | 元件名称 | 元件符号 |
| **1** | LOGICSTATE |  |
| **2** | LOGICPROBE(BIG) |  |
| **3** | 4选1数据选择器74HC153芯片 | U2 |
| **4** | 非门芯片74HC04 | U1:A,B |

|  |  |  |
| --- | --- | --- |
| 基于74HC151的三人多数表决电路 | | |
| **序号** | 元件名称 | 元件符号 |
| **1** | LOGICSTATE |  |
| **2** | LOGICPROBE(BIG) |  |
| **3** | 74HC151芯片 | U3 |

|  |  |  |
| --- | --- | --- |
| 基于3-8译码器的一位全加器 | | |
| **序号** | 元件名称 | 元件符号 |
| **1** | LOGICSTATE |  |
| **2** | LOGICPROBE(BIG) |  |
| **3** | 74HC138译码器芯片 | U1 |
| **4** | 与非门芯片74HC20 | U2:A,B |

**三、实验过程及结果分析**

1、芯片74HC00的功能测试：

（1）74HC00所实现的逻辑功能：

74HC00有四个2输入端的与非门，输入端A，B，全为1时，输出才为0，A，B只要有一个端输入0，输出就是1。输出端接一个LED，输出为0时，LED亮，否则，LED不亮。

（2）

a） 图中以开关SW1为核心部件的电路产生芯片输入端所需的逻辑电平信号的过程如下：

当开关接电源时，输入端A为1时，D1灯亮，输出端为0；当开关接地，输入端A为1时，D1灯灭，输出端为1；

b） 图中以三极管为核心部件的电路工作监测芯片输出端的逻辑电平状态的过程如下：

当开关接电源时，输入端A为1时，D2灯灭，输出端为0；当开关接地，输入端A为1时，D2灯亮，输出端为1；

c） 图中连线标号LBL的作用：

通过连线标号将以开关SW1为核心部件的电路和以三极管为核心部件的电路与芯片74HC00为核心部件的主电路连接起来，保证以开关SW1为核心部件的电路和以三极管为核心部件的电路能够正常运行和监测芯片输出端的逻辑电平状态。

（3）附图6.1中的仿真状态实现了74HC00的四路二输入与非门逻辑功能。

2、不同方法设计的一位全加器电路和三人多数表决电路：

（1）一位全加器和三人多数表决电路的逻辑功能真值表：

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 一位全加器逻辑功能真值表 | | | | | | | | | |
| 输  入 | Ai | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| Bi | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| Ci | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 输出 | So | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| Co | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |
| 三人多数表决电路逻辑功能真值表 | | | | | | | | | |
| 输入 | A | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| B | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| C | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 输出 | Y | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |

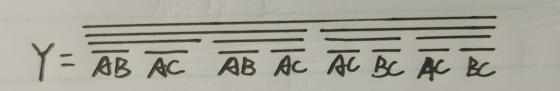
1. 如附图6.2（a）,一位全加器电路由一片74HC86芯片的2个异或门、一片74HC08中的3个与门和一片74HC32中的2个或门实现。其对应的一位全加器的逻辑表达式如下：

=

仿真时，当输入端Ai、Bi、Ci均为1时，输出均为0；当Ai=0、Bi=1、Ci=0时，So=1,Co=0;

当Ai=1、Bi=0、Ci=1时，So=0，Co=1等均符合真值表。故，图中仿真实现了逻辑功能。

1. 如附图6.2（b），三人多数表决电路由两片74HC00芯片的所有8个与非门实现。其对应的三人多数表决电路的逻辑表达式如下：

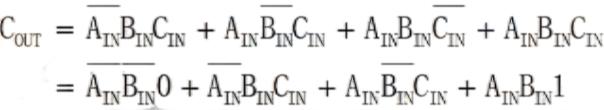


仿真时，当输入端A、B、C均为1时，输出为1；当A=0、B=1、C=1时，输出为1;

当A=1、B=0、C=0时，输出为0等均符合真值表。故，图中仿真实现了逻辑功能。

1. 如附图6.3（a），一位全加器电路由4选1数据选择器74HC153芯片和非门芯片74HC04实现。其对应的数据选择器形式的一位全加器的逻辑表达式如下：

1



仿真时，当输入端Ai、Bi、Ci均为1时，输出均为0；当Ai=0、Bi=1、Ci=0时，So=1,Co=0;

当Ai=1、Bi=0、Ci=1时，So=0，Co=1等均符合真值表。故，图中仿真实现了逻辑功能。

1. 如附图6.3（b），三人多数表决电路由一片74HC151芯片实现。其对应的数据选择器形式的三人多数表决电路的逻辑表达式如下：

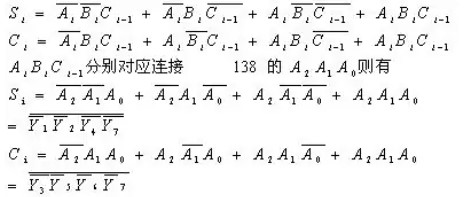
3

仿真时，当输入端A、B、C均为1时，输出为1；当A=0、B=1、C=1时，输出为1;

当A=1、B=0、C=0时，输出为0等均符合真值表。故，图中仿真实现了逻辑功能。

1. 如附图6.4，一位全加器电路由一片74HC138译码器芯片和一片与非门芯片74HC20实

现。其对应的译码器形式的一位全加器电路的逻辑表达式如下：



仿真时均符合真值表，实现了逻辑功能。

1. 实践设想：

以2输入与非门芯片74HC00的功能测试电路为例，根据所设计的电路原理图，在真实的实验箱上，我们首先按照电路图打开实验箱电源开关，并将直流稳压电源+5V开关打开。接下来找到“八位逻辑电平输出”，用万用表测试“H”“L”是否正确，然后将74HC00芯片插在实验箱位于“八位逻辑电平屏输出”上方的14p的IC座上，并保证“管缺”和引脚标号一一对应。接着按照电路图连接电路。

在真实的实验箱上得到了体现的方式：可以用万用表测量，也可以在输出端接上LED灯，通过灯是否亮来判断仿真结果是否正确。

**四、实验总结、建议和质疑**

本次实验学习逻辑电路的设计，利用 Proteus 软件工具设计2输入与非门芯片74HC00的功

能测试电路，基于基本逻辑门的一位全加器，基于2输入与非门的三人多数表决电路基于

74HC153的一位全加器，基于74HC151的三人多数表决电路和基于3-8译码器的一位全加器。

了解了逻辑电路的部分内容，尤其认识了数据选择器和译码器。有些公式自己推导不出来，通过查阅资料也学会了。

**五、附录**

附图6.1 2输入与非门芯片74HC00的功能测试电路

附图6.2 基于基本逻辑门的简单组合逻辑电路

附图6.3 基于数据选择器的简单组合逻辑电路

附图6.4 基于3-8译码器的简单组合逻辑电路