**实验08 简单时序逻辑电路的设计**

|  |
| --- |
| **实验学生个人信息栏**  课序号： 02 班级： 软2104 学号： 20212241212 姓名： 张亚琦 |
| **实验08得分：**  **实验教师（签字）：** |

**一、实验目的及内容概述**

1. 基于 D 和 JK 触发器的二分频电路的电路设计、仿真和输入输出波形关系的研究；
2. 基于 D 和 JK 触发器的异步十进制计数器的设计与改进电路绘制仿真；
3. 模 6 计数器的同步置数、异步置数、同步清零、异步清零的电路设计仿真；
4. 基于 NE555 定时器芯片的方波时钟电路设计和仿真。

**二、实验设备与器件**

1. 使用软件：Proteus 8
2. 使用器件：

|  |  |  |
| --- | --- | --- |
| 基于D、JK触发器的二分频电路设计 | | |
| **序号** | 元件名称 | 元件符号 |
| **1** | 双D触发器（74HC74） | U1 |
| **2** | 双JK触发器（74HC112） | U2 |
| **3** | 逻辑状态开关（LOGICSTATE） |  |
| **4** | 脉冲激励源（PULSE） | CLK |
| **5** | 数字示波器（OSCILLOSCOPE） |  |
| 基于 D 和 JK 触发器的异步十进制计数器的设计 | | |
| **序号** | 元件名称 | 元件符号 |
| **1** | 双D触发器（74HC74） | U1 |
| **2** | 双JK触发器（74HC112） | U2 |
| **3** | 与非门（74HC00） | U3 |
| **4** | 七段数码管（7SEG-BCD） |  |
| **5** | 脉冲激励源（PULSE） | CLK |

|  |  |  |
| --- | --- | --- |
| 模6计数器的四种设计 | | |
| **序号** | 元件名称 | 元件符号 |
| **1** | 与非门（74HC00） | U2 |
| **2** | 异步二进制计数器（74HC161） | U1,U5 |
| **3** | 同步二进制计数器（74HC163） | U6 |
| **4** | 异步二进制计数器（74HC192） | U3 |
| **5** | 3线-8线译码器（74HC138） | U4 |
| **6** | 非门（74HC04） | U7 |
| **7** | 七段数码管（7SEG-BCD） |  |
| 基于 NE555 定时器芯片的方波时钟电路设计 | | |
| **序号** | 元件名称 | 元件符号 |
| **1** | 异步二进制计数器（74HC161） | U3 |
| **2** | 缓冲器（4050） | U2 |
| **3** | 与非门（74HC00） | U4 |
| **4** | 时基集成电路（NE555） | U1 |
| **5** | 七段数码管（7SEG-BCD） |  |
| **6** | 电容 | C1,C2 |
| **7** | 电阻 | R1,R2 |
| **8** | 数字示波器（OSCILLOSCOPE） |  |

**三、实验过程及结果分析**

1、基于D和JK触发器的二分频电路的研究

（1）基于D和JK触发器的二分频电路如附图8.1；

（2）将信号源设置为频率为1Hz的方波信号的占空比：40%，高电平：5V，低电平：0V，波形如附图8.2（a）；

1. 将信号源设置为频率为5Hz的方波信号的占空比：40%，高电平：5V，低电平：0V，波形如附图8.2（b）；
2. 基于D和JK触发器的二分频电路工作方式：由 CLK 脉冲对 D、JK 触发器 CP 端进行控制，D触发器 D端连接，根据D触发器参数方程，=，即在高低电平转换，即接受到脉冲时，Q发生翻转。J、K 触发器 J、K 两端接同一信号源，由 J、K 触发器参数方程 Q=J+知，在高低电平转换后，J、K 触发器的 Q 先不不翻转，后翻转。
3. 基于D和JK触发器的异步十进制计数器的设计与改进：

如附图8.3，按照由D触发器，JK触发器，D触发器，JK触发器的顺序设计改进异步十进制计数器。电路数字时钟的周期为1s,故该十进制计数器每秒进1，从0到9，再归零，从0开始循环。

3、模6计数器的四种设计

（1）“同步置数”的模6计数器见附图8.4.1；

（2）“异步置数”的模6计数器见附图8.4.2；

（3）“异步清零”的模6计数器见附图8.4.3；

（4）“同步清零”的模6计数器见附图8.4.4；

（5）对“同步”、“异步”、“置数”和“清零”的理解：

（a）“同步”是指触发器在接收到时钟脉冲的信号的时候才进行“置数”或“置零”等的操作；

（b）“异步”是指触发器无需等待时钟脉冲的信号，待符合操作条件时直接进行“置数”或“置零”等的操作；

（c）“置数”是指将输出端通过与非门接到LD端，通过计算（模值-1）对应的表达式，实现的重置归零的操作；

（d）“置零”是指将输出端通过与非门接到CR端，通过计算模值对应 的表达式，实现的重置归零的操作。

4、基于NE555定时器芯片的方波时钟电路设计

（1）频率可调的方波数字时钟发生器电路见附图8.5；

（2）该电路的波形见附图8.6，方波信号的频率可调范围为：5Hz~20Hz。

5、实践设想

以“异步清零”的模6计数器为例：

1. 根据所设计的电路原理图，在真实的实验箱上建立真实的电路的过程：

一，准备好所需要的实验器材；二，根据仿真电路图，将相对应的芯片引脚进行电路连接；三，进行测试，先使用单次脉冲进行检验，然后再使用函数信号发生器产生的脉冲进行实验；四，实验完毕，拆除电路；

1. 仿真实现的功能在真实的实验箱上的体现：

在进行单次脉冲检验时，产生的现象：每进行一次脉冲输送，数码管数字加一，当到达数字5后，再输送脉冲将归零；在利用函数信号发生器产生的脉冲进行实验时，产生的现象：数码管自动从0开始加一，当到达5后将自动归零，然后重复。

**四、实验总结、建议和质疑**

本次实验完成了时序逻辑电路部分的各项电路设计，加深了我对于理论部分的认识和理解，同时也让我对于Proteus 8的使用更为熟练。在刚开始进行设计的时候还比较生疏，觉得比较复杂。后来学了理论知识后，操作逐渐熟练，感觉很不错。

**五、附录**

附图8.1 基于D、JK触发器的二分频电路设计

附图 8.2 基于 D、JK 触发器的二分频电路输入输出波形关系的研究

附图8.3 基于D、JK触发器的异步十进制计数器

附图8.4 模6计数器的四种设计

附图8.5 NE555定时器实现数字时钟信号