



Practica 1

Compuertas lógicas

Profesor: Barron Vera Jose Emanuel

Materia: Fundamentos de diseño digital

Grupo: 3CV6

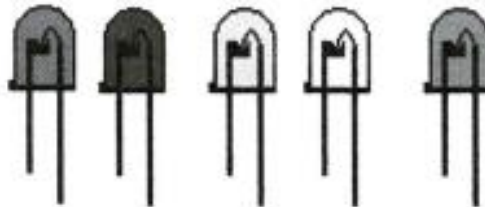
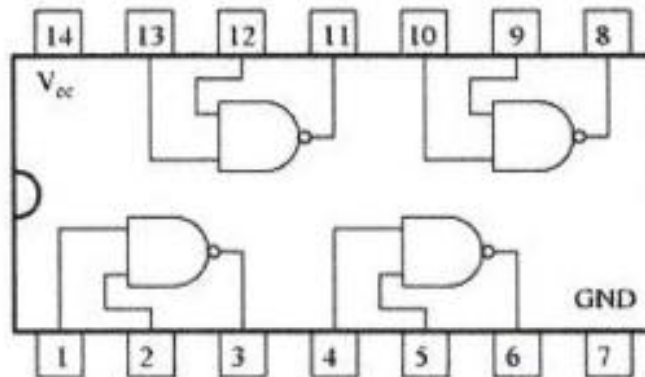
Alumno: Cazares Cruz Jeremy Sajid

Boleta: 2021630179

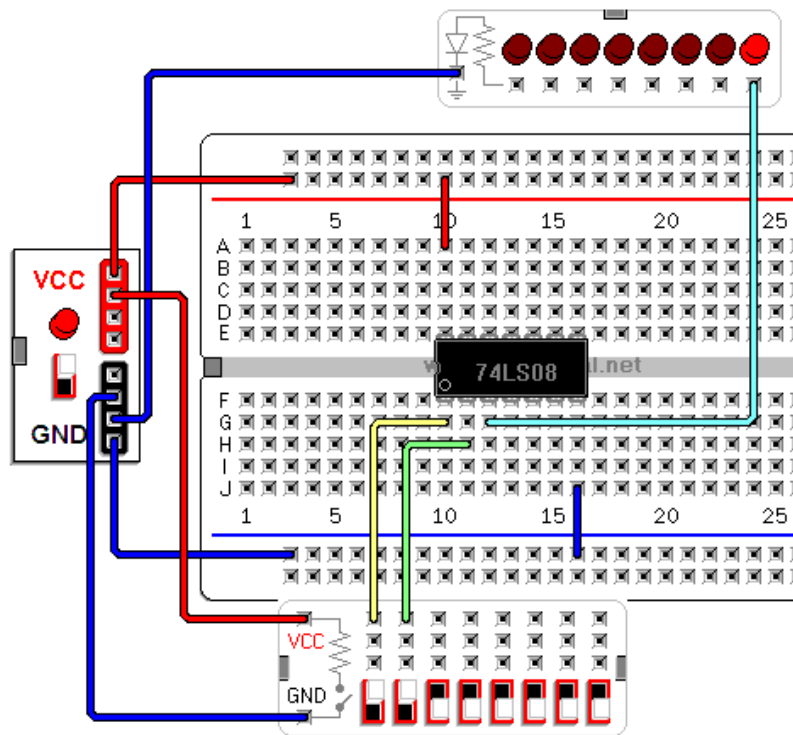
INSTITUTO POLITÉCNICO NACIONAL



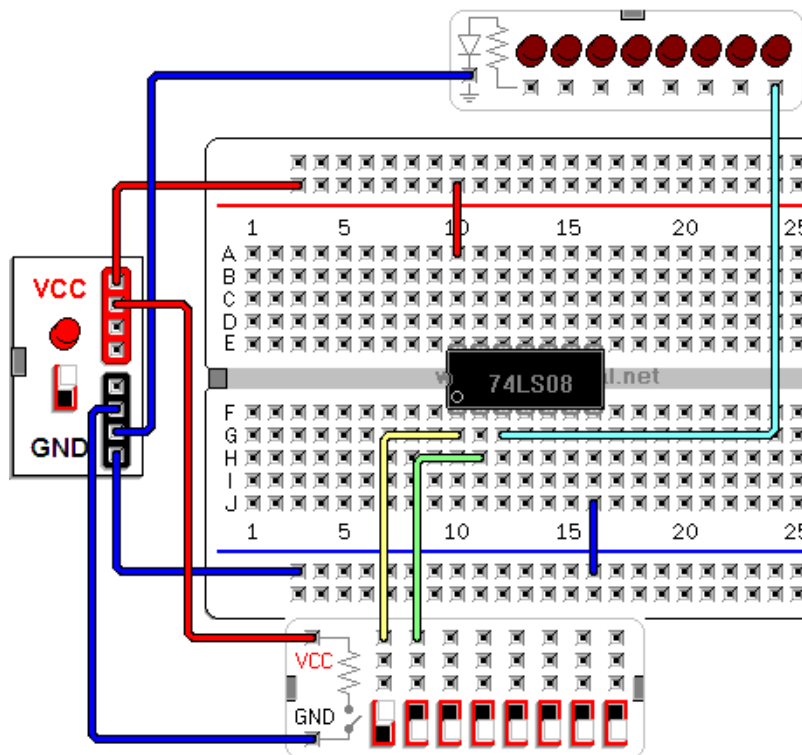
Quad NAND gate
TTL suffix = 00



Simulación de compuerta AND (7408)



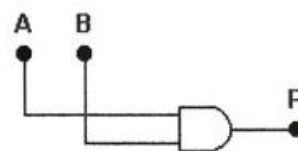
Como se puede observar en las imágenes el resultado de la compuerta AND solo serán en el caso de que ambas sean igual a 1 lógico de caso contrario el resultado será igual a 0.



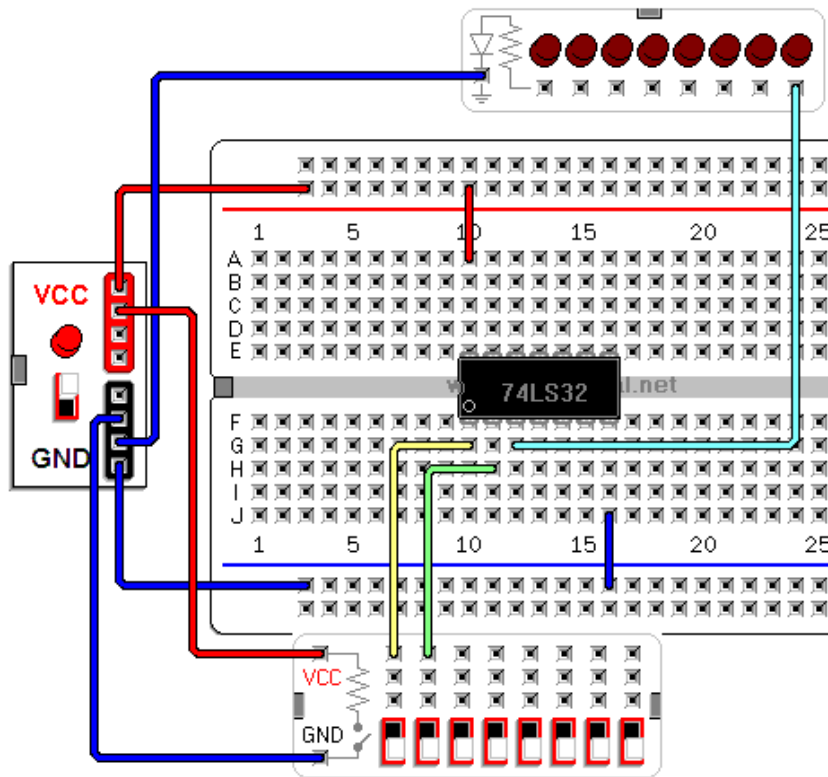
Siendo así que la tabla de verdad sea la siguiente:

Compuerta AND, C. I. 74LS08

| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 2 | 1 | 0 | 0 |
| 3 | 1 | 1 | 1 |

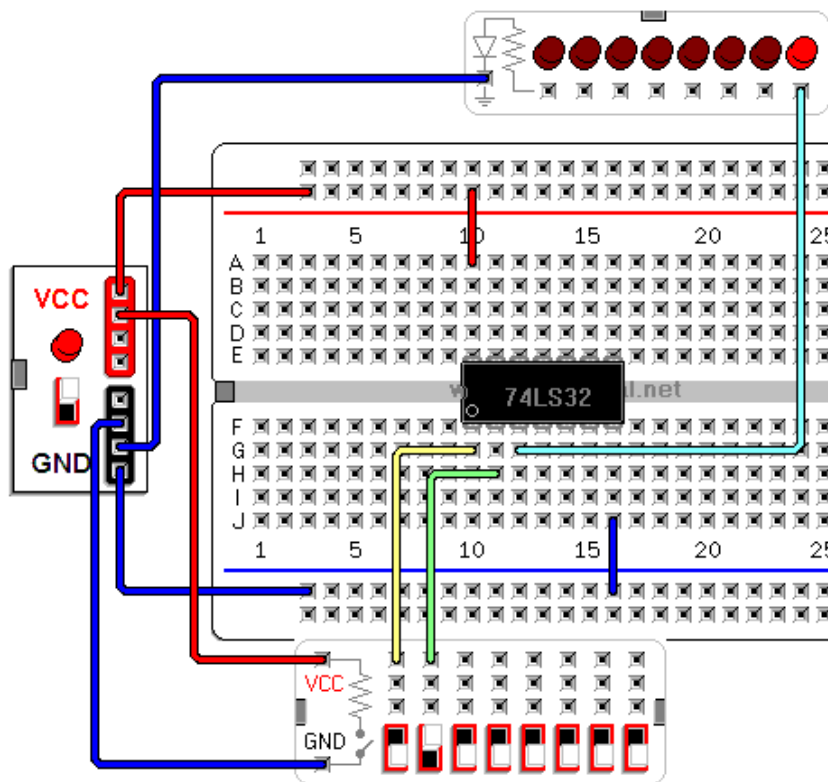


Simulación compuerta OR (7432)



En el caso de la compuerta OR 7432 el resultado lógico de la operación será igual a uno siempre y cuando exista un 1 lógico en alguna de las dos posibles entradas tal como dice la tabla de verdad de la misma compuerta, mientras que cuando solo exista un 0 lógico el resultado será 0

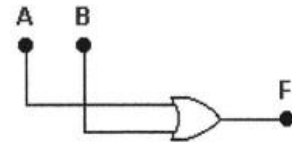
Por lo tanto, mediante la simulación se puede observar que la tabla de verdad de la compuerta es verdadera



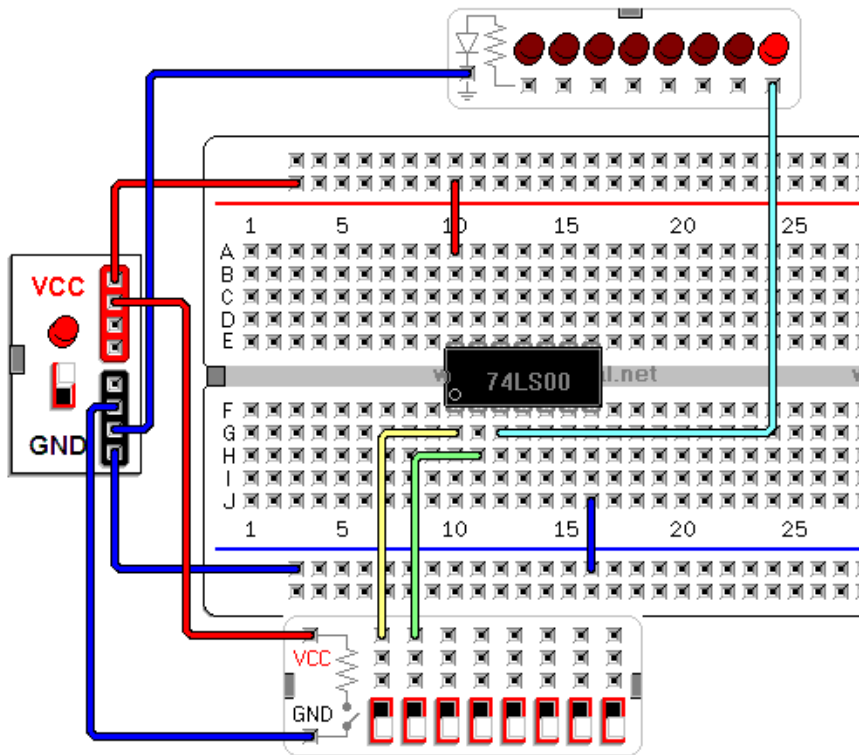
La tabla de verdad de la compuerta sería la siguiente:

Compuerta OR C. I. 74LS32

| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 2 | 1 | 0 | 1 |
| 3 | 1 | 1 | 1 |



Simulación compuerta NAND (7400)

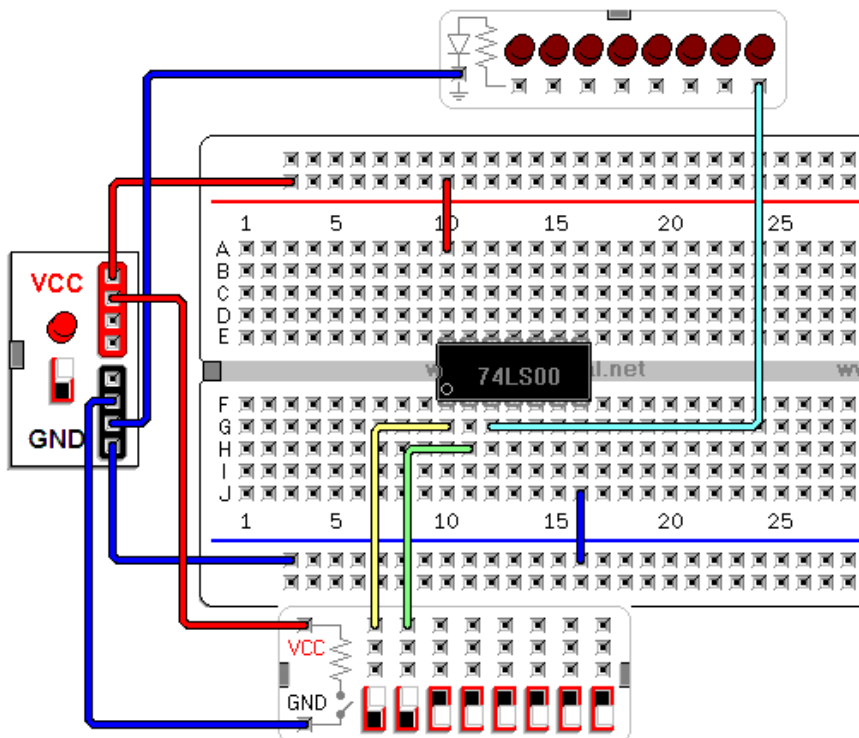


Una compuerta NAND puede ser considerada como la negación de una compuerta AND, por lo tanto al ser la tabla de verdad de una compuerta AND solo dar como resultado un 1 lógico cuando en todas las entradas exista 1 será por el contrario de esta compuerta, siendo así que desde la combinación lógica de 0 en una entrada y 0 en la otra dará como resultado 1 lógico.

Mientras que cuando en las entradas exista todo marcado como 1 el resultado será .

El símbolo que existe en la compuerta en forma de círculo denota una negación.

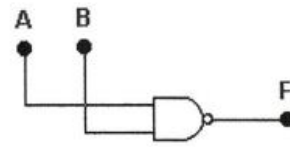
Por lo tanto, se comprueba tanto la tabla de verdad así como ser la negación de la compuerta AND



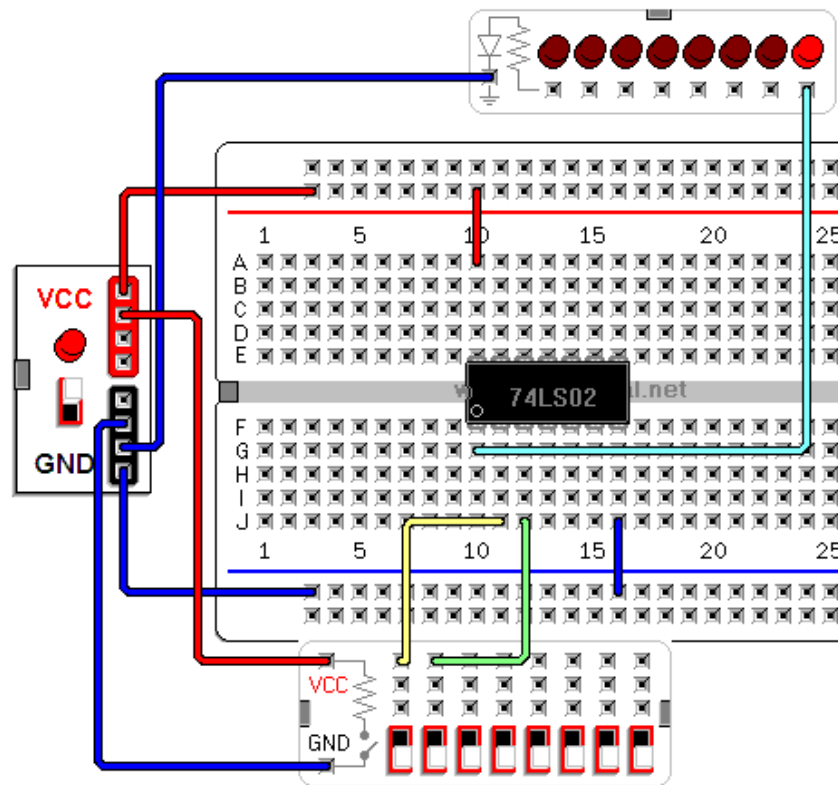
La tabla de verdad de la compuerta sería la siguiente:

Compuerta NAND C. I. 74LS00

| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 2 | 1 | 0 | 1 |
| 3 | 1 | 1 | 0 |

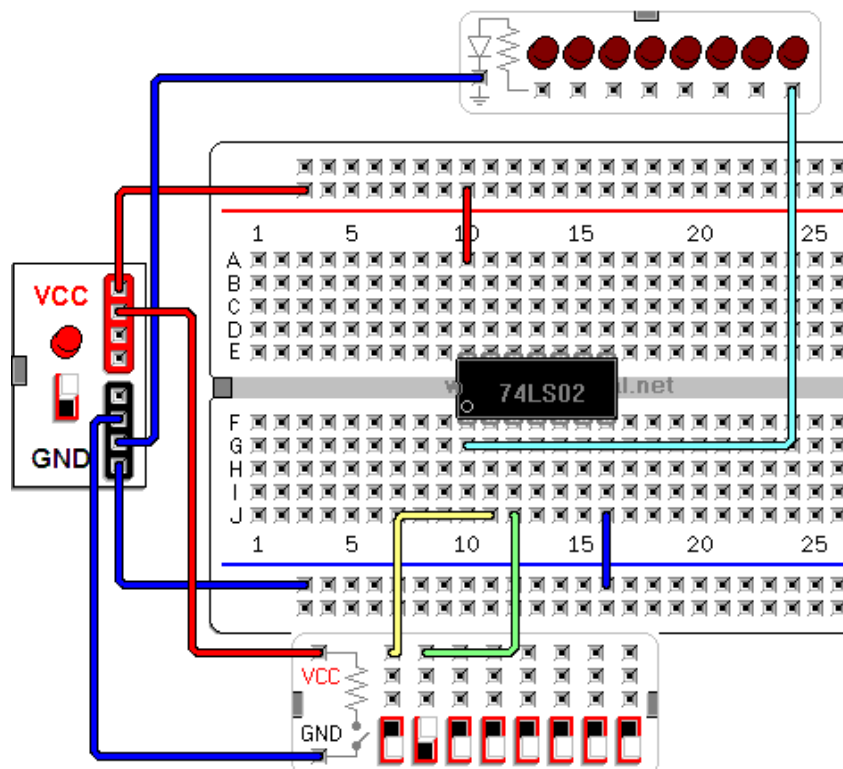


Compuerta lógica NOR (7402)



Al igual que lo sucedido en a la compuerta NAND al ser el inverso de la compuerta AND, pasa igual con esta compuerta, al ser el inverso de la compuerta NOR, por lo tanto, la tabla es el inverso de la original, siendo así como que la única combinación posible para tener como resultado un 1 lógico es al tener un 0 lógico en las entradas de la compuerta.

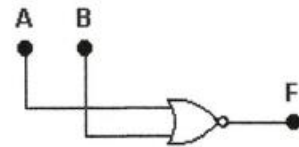
Comprobando así la tabla de verdad y la hipótesis de ser el inverso de la compuerta OR



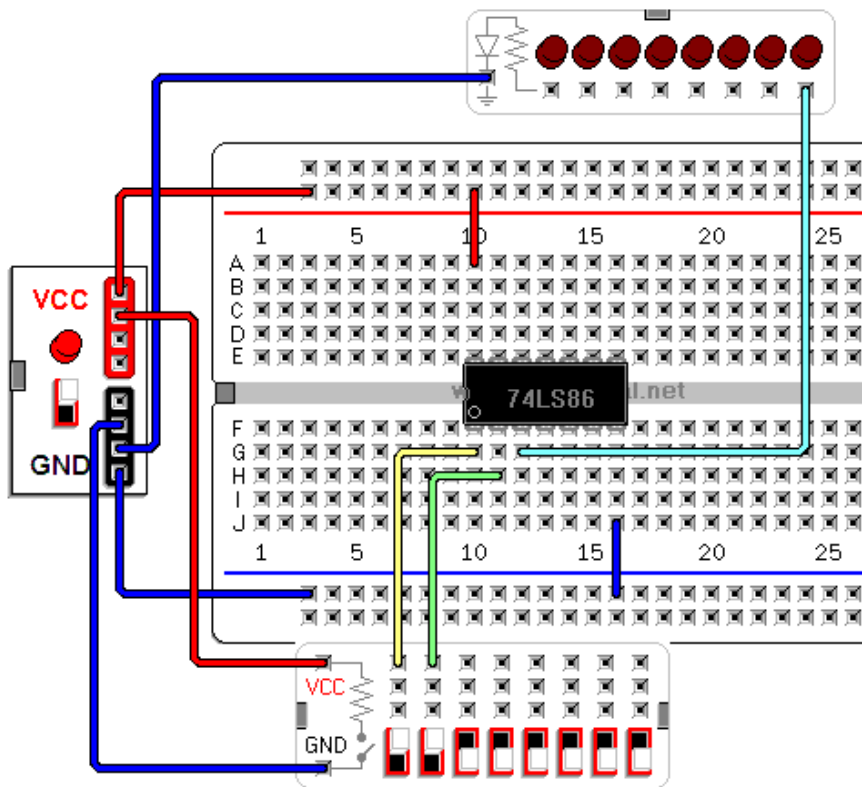
La tabla de verdad de la compuerta sería la siguiente:

Compuerta NOR C. I. 74LS02

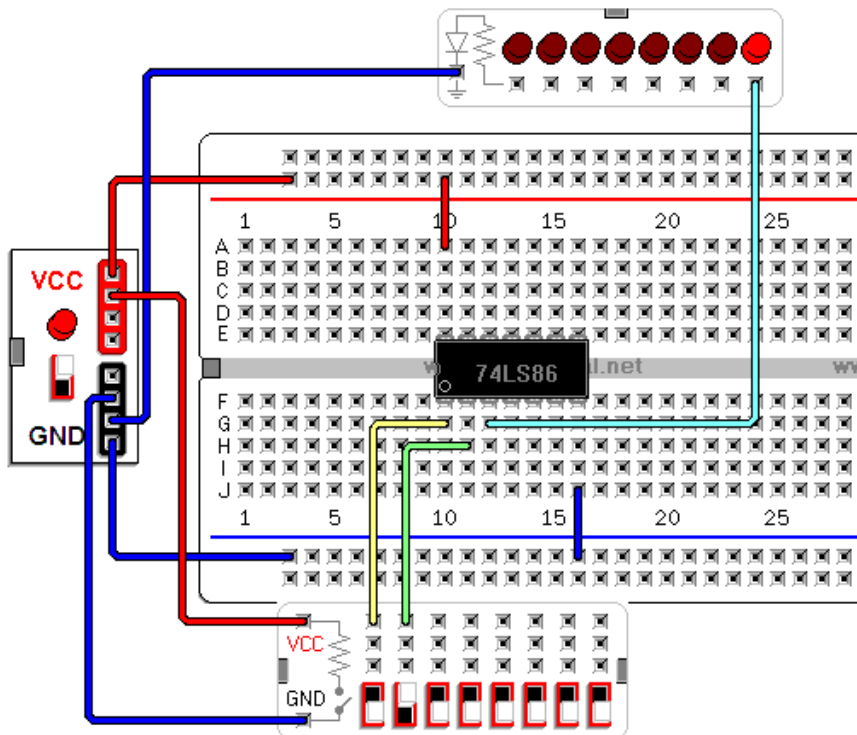
| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 2 | 1 | 0 | 0 |
| 3 | 1 | 1 | 0 |



Compuerta lógica XOR (7486)



La compuerta XOR o también llamada or exclusiva es una compuerta en la cual en los casos de presentar 1 en todas sus entradas o 0 el resultado será 0, de tal manera que las combinaciones posibles para tener un resultado lógico 1 es cuando en las entradas exista un 1 sin que complete todas sus salidas, por ejemplo 01 y 10, o en un caso de tener más entradas se podría observar como 1110, 0111, 1010

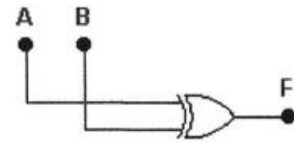


Por lo tanto, el resultado será siempre que no se complete todas las entradas con 1 o se tenga solo 1 y todo lo demás en 0.

La tabla de verdad de la compuerta sería la siguiente:

Compuerta XOR C. I. 74LS86

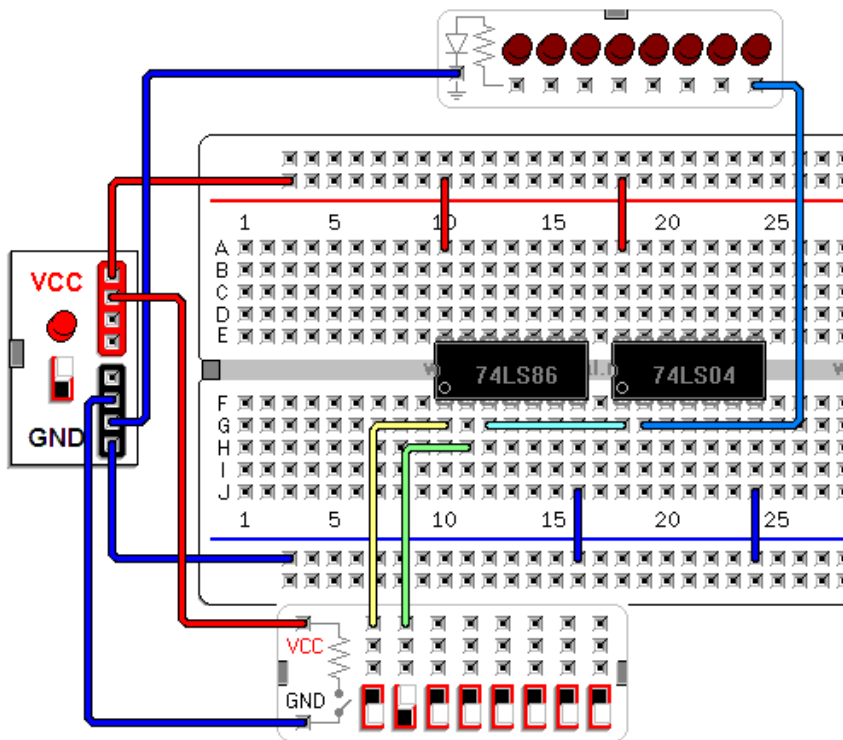
| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 2 | 1 | 0 | 1 |
| 3 | 1 | 1 | 0 |



Abstract



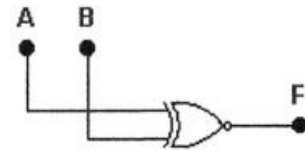
Por lo tanto, la compuerta solo dará como resultado 1 lógico cuando en las entradas todo sea 0 lógico o todo sea 1 lógico, comprobando que es el inverso de una XOR normal, en la simulación esto puede ser confirmado



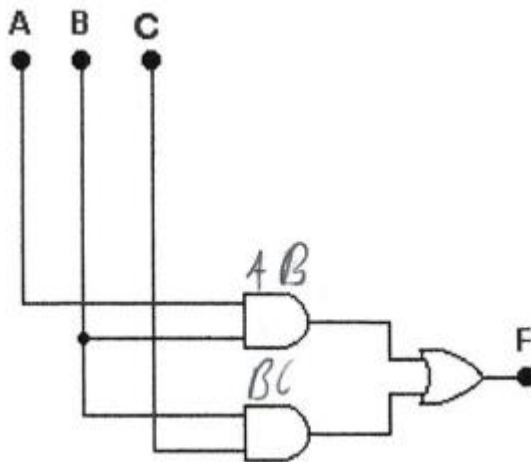
La tabla de verdad de la compuerta sería la siguiente:

Compuerta XNOR C. I. 74LS86 + 74LS04

| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 2 | 1 | 0 | 0 |
| 3 | 1 | 1 | 1 |

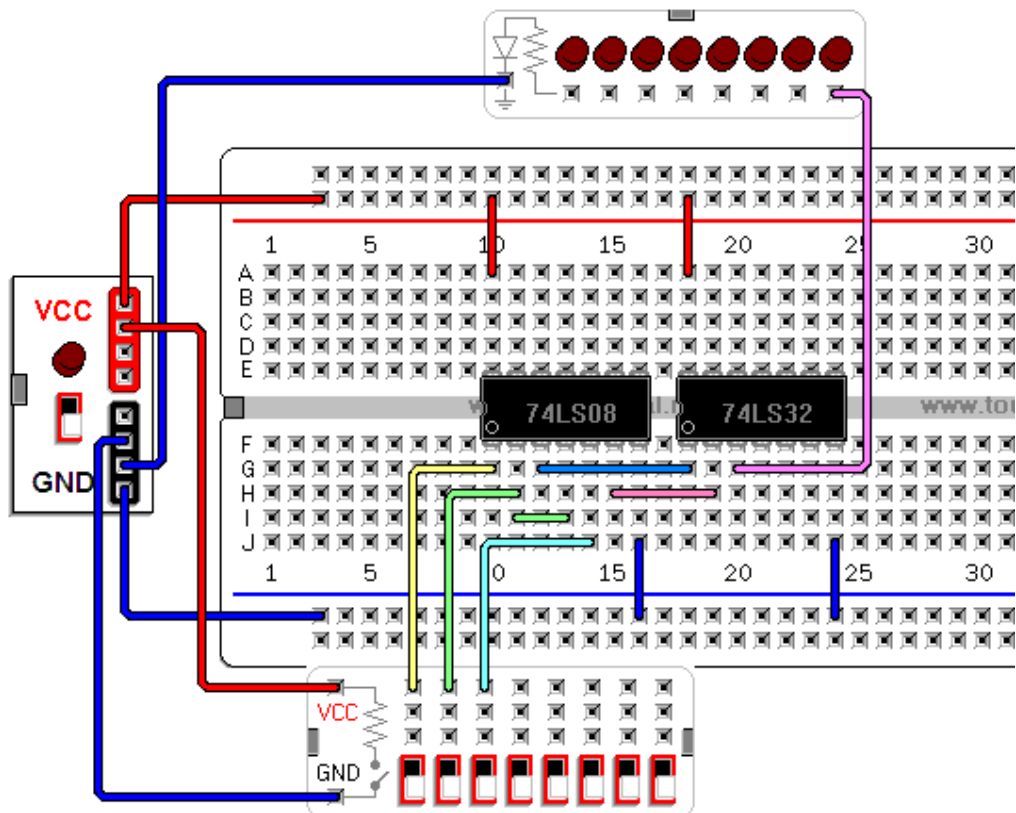


Circuito 1

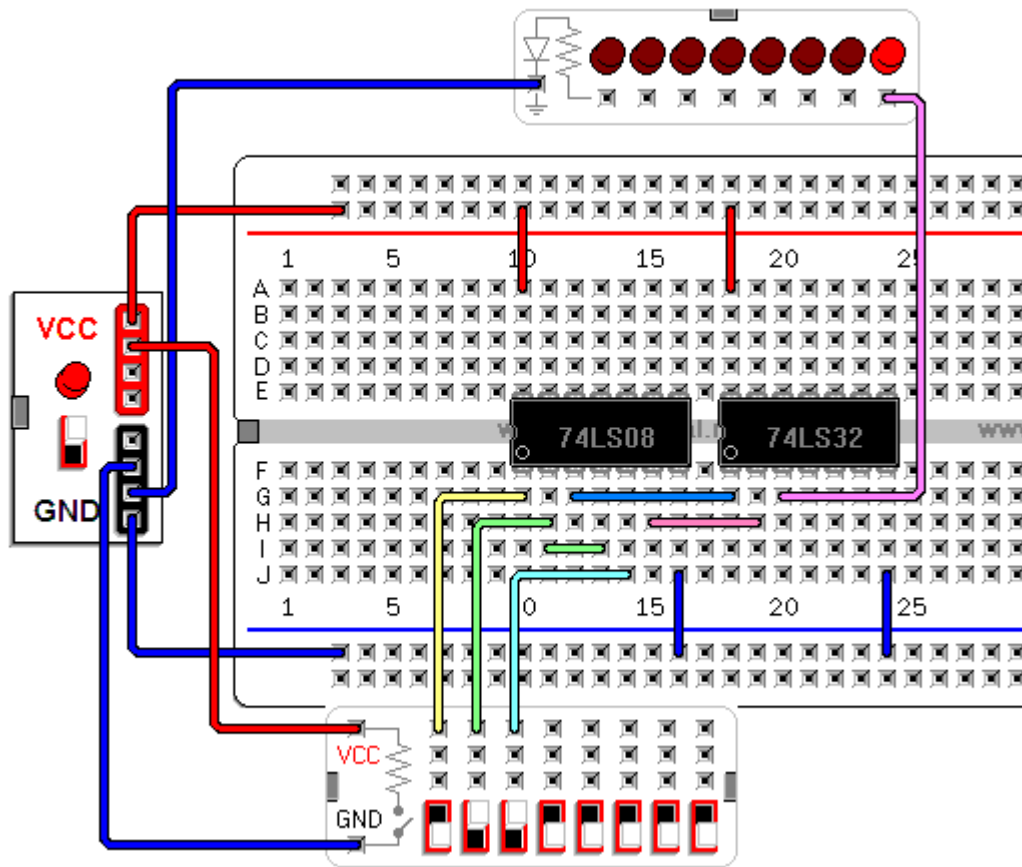


El circuito tiene 3 entradas por lo tanto en la simulación se utilizan tres salidas del interruptor, así mismo usa dos compuertas AND y una OR por lo cual se usará un circuito integrado 7408 y un circuito integrado 7432.

En la siguiente imagen se verá representado el diagrama electrónico



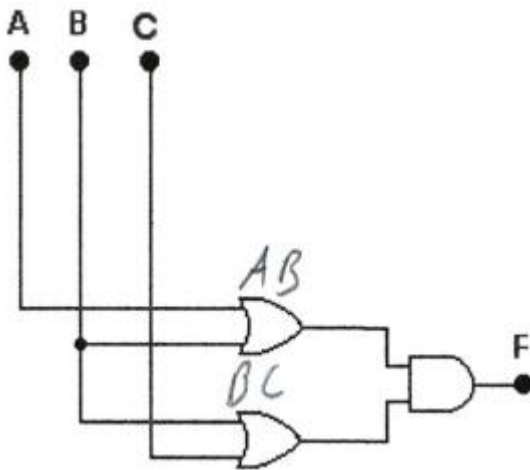
De igual forma se comprobará la tabla de verdad realizada por medio de la simulación del circuito



Siendo así que la tabla de verdad es la siguiente:

| # | A | B | C | AB | BC | F |
|---|---|---|---|----|----|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 2 | 0 | 1 | 0 | 0 | 0 | 0 |
| 3 | 0 | 1 | 1 | 0 | 1 | 1 |
| 4 | 1 | 0 | 0 | 0 | 0 | 0 |
| 5 | 1 | 0 | 1 | 0 | 0 | 0 |
| 6 | 1 | 1 | 0 | 1 | 0 | 1 |
| 7 | 1 | 1 | 1 | 1 | 1 | 1 |

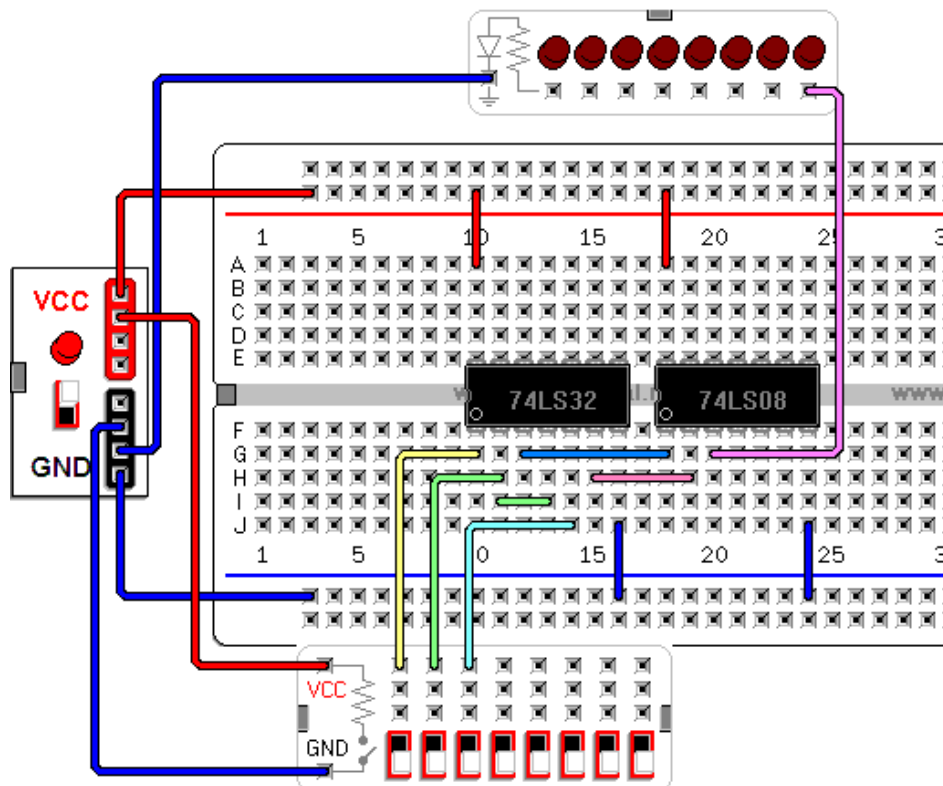
Circuito 2

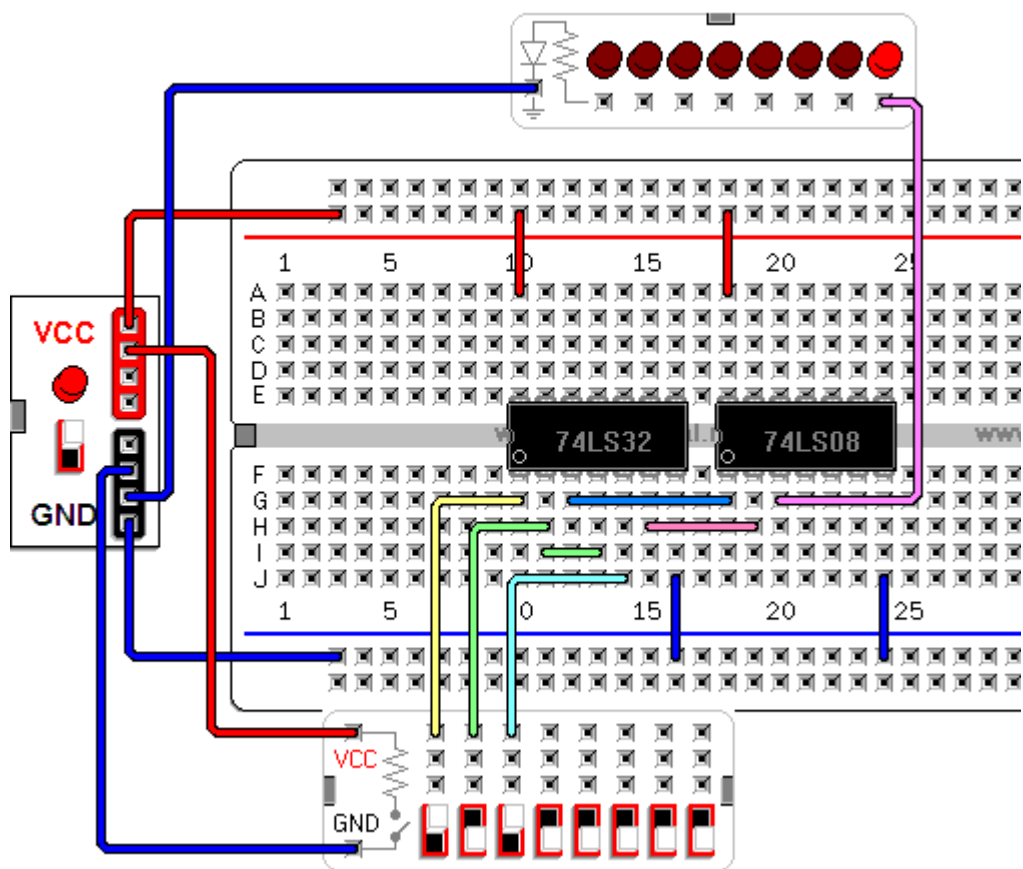


Este diagrama electrónico es bastante parecido al anterior, siendo así que la diferencia principal es el orden de las compuertas en este caso se usaran dos compuertas OR y una AND, sin embargo, al cambiar de posición la tabla de verdad también tiene un cambio significativo

En la siguiente figura se vera el circuito dentro del entorno de simulación

De igual manera se elaborará y con ayuda del simulador se comprobará la tabla de verdad realizada.

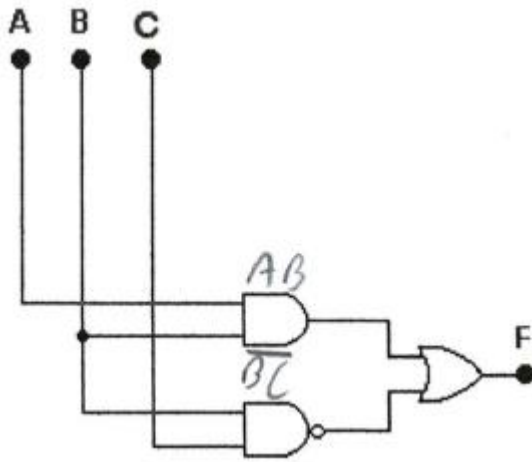




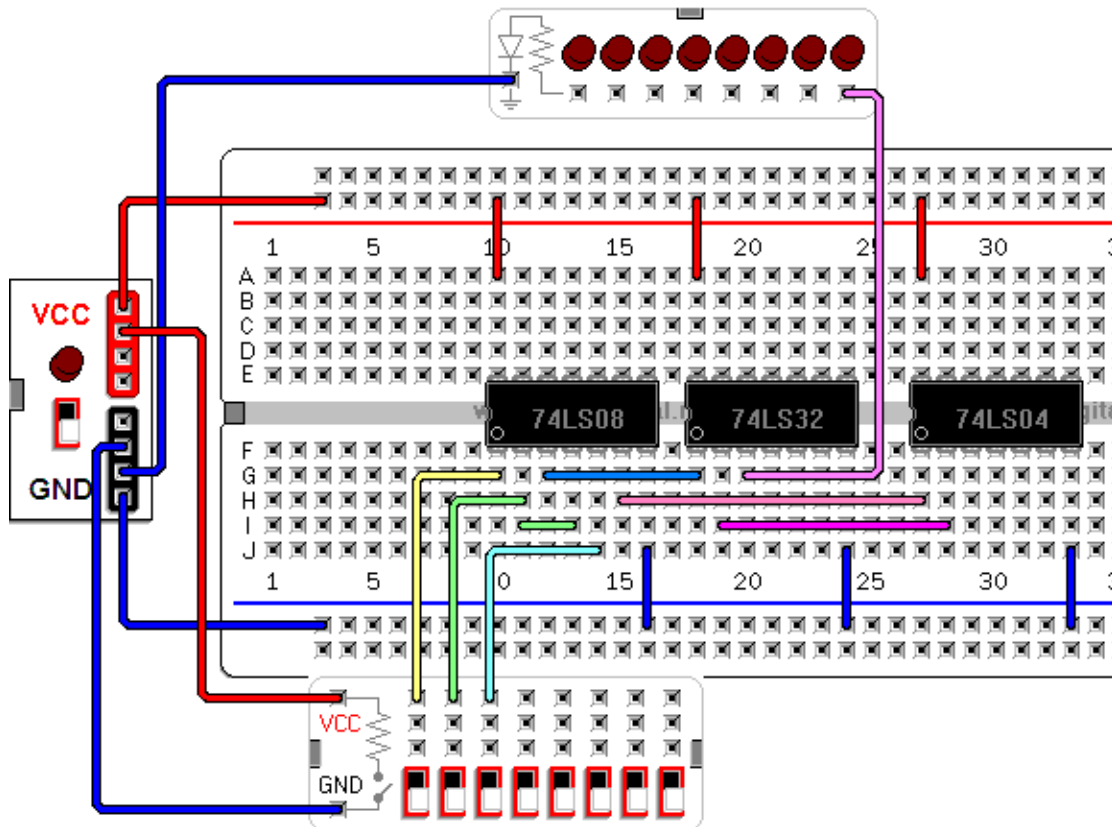
Y la tabla de verdad correspondiente es:

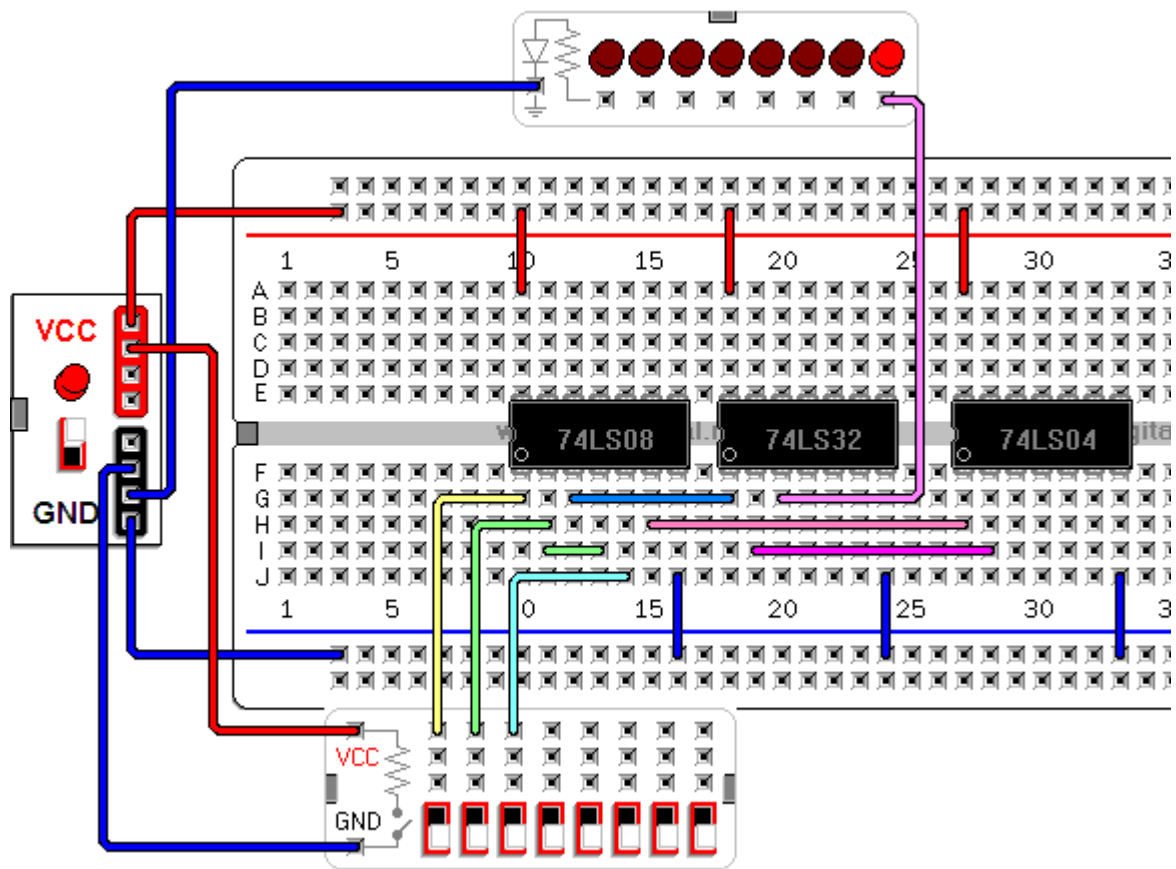
| # | A | B | C | A+B | B+C | F |
|---|---|---|---|-----|-----|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 2 | 0 | 1 | 0 | 1 | 1 | 1 |
| 3 | 0 | 1 | 1 | 1 | 1 | 1 |
| 4 | 1 | 0 | 0 | 1 | 0 | 0 |
| 5 | 1 | 0 | 1 | 1 | 1 | 1 |
| 6 | 1 | 1 | 0 | 1 | 1 | 1 |
| 7 | 1 | 1 | 1 | 1 | 1 | 1 |

Circuito 3



Para este circuito se hace empleo de una compuerta NAND, pero como ya se menciono anteriormente una compuerta NAND puede ser vista fácilmente como la negación del resultado de una compuerta AND, por lo tanto, en lugar de incluir un circuito integrado 7400 se utilizó una compuerta NOT, que es conectada al resultado de la operación entre B y C que este a su vez se conecta a una compuerta OR

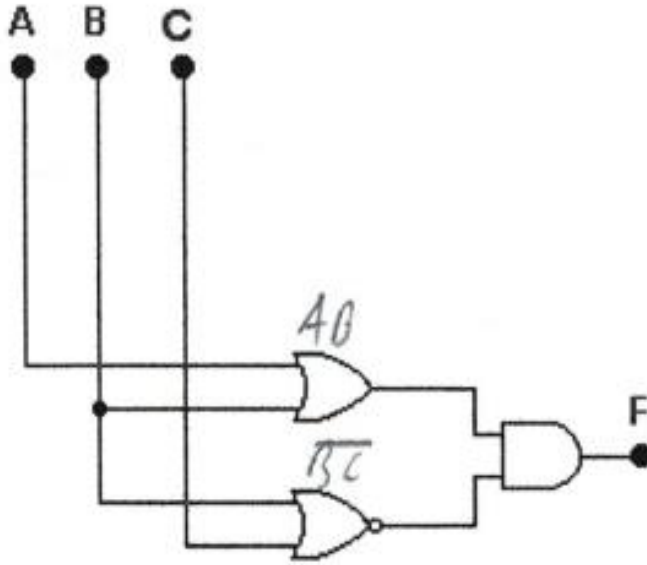




La tabla de verdad correspondiente:

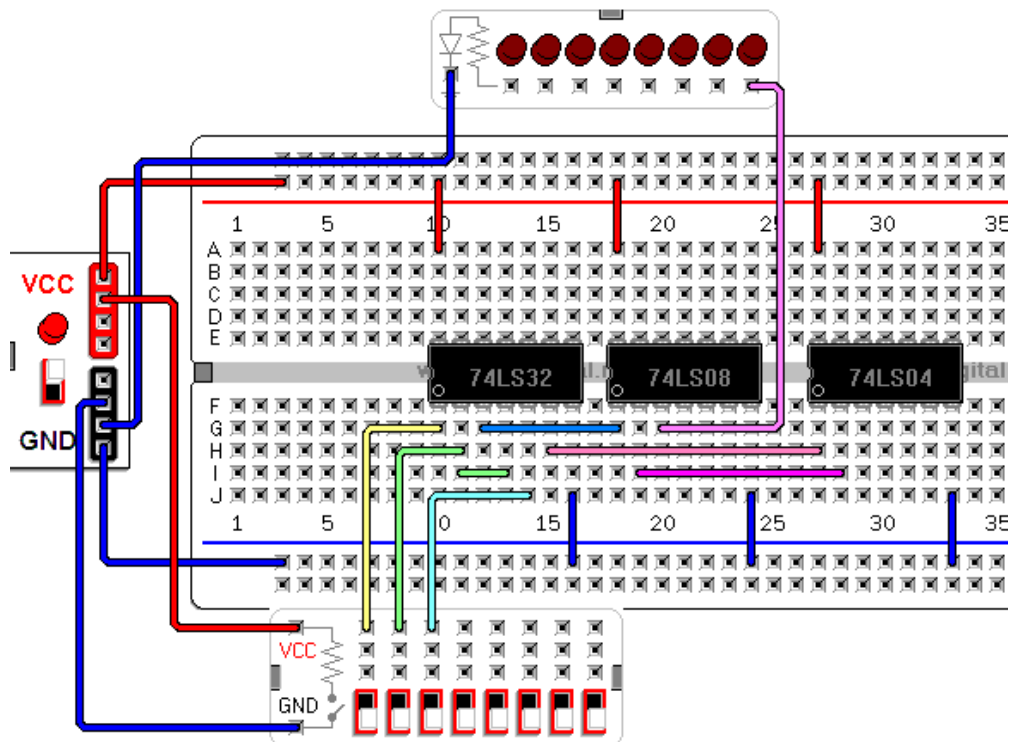
| # | A | B | C | AB | $\overline{B}\overline{C}$ | F |
|---|---|---|---|----|----------------------------|---|
| 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 2 | 0 | 1 | 0 | 0 | 1 | 1 |
| 3 | 0 | 1 | 1 | 0 | 0 | 0 |
| 4 | 1 | 0 | 0 | 0 | 1 | 1 |
| 5 | 1 | 0 | 1 | 0 | 1 | 1 |
| 6 | 1 | 1 | 0 | 1 | 1 | 1 |
| 7 | 1 | 1 | 1 | 1 | 0 | 1 |

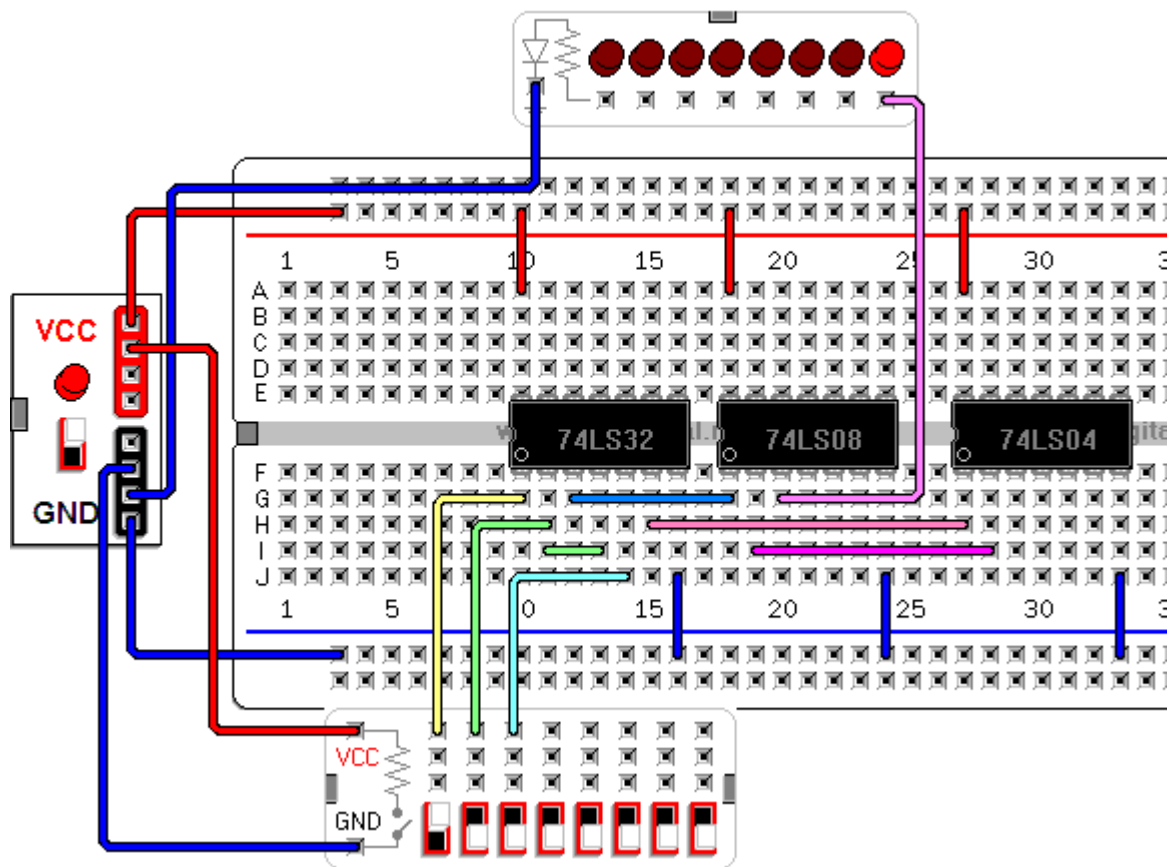
Circuito 4



De igual forma para simplificar el circuito se utilizo una compuerta NOT después de la compuerta OR, en esta simulación el resultado de la operación lógica sera unicamente 1 cuando la variable a lo sea, ya que al estar la compuerta NOR esta solo dara 1 cuando sus variables de entrada sean 0, asi mismo como la compuerta NOR y OR estan conectadas a una AND solo será posible ese

resultado cuando ambas NOR y OR tengan como resultado un 1 lógico.

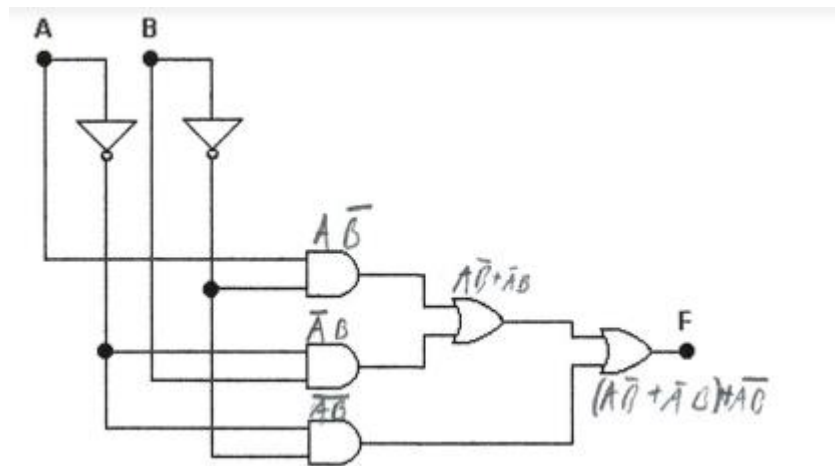




La tabla de verdad correspondiente es:

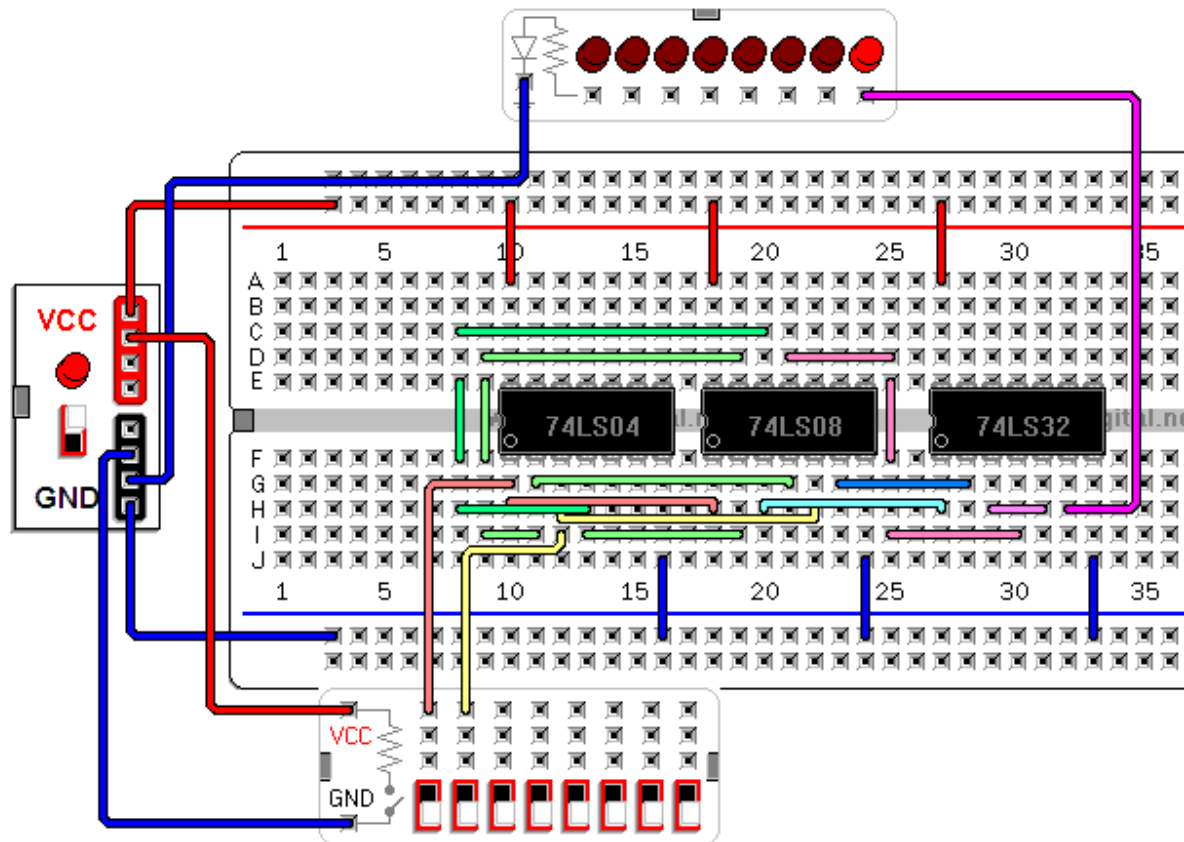
| # | A | B | C | $A+B$ | $\bar{B}+\bar{C}$ | F |
|---|---|---|---|-------|-------------------|---|
| 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 2 | 0 | 1 | 0 | 1 | 0 | 0 |
| 3 | 0 | 1 | 1 | 1 | 0 | 0 |
| 4 | 1 | 0 | 0 | 1 | 1 | 1 |
| 5 | 1 | 0 | 1 | 1 | 0 | 0 |
| 6 | 1 | 1 | 0 | 1 | 0 | 0 |
| 7 | 1 | 1 | 1 | 1 | 0 | 0 |

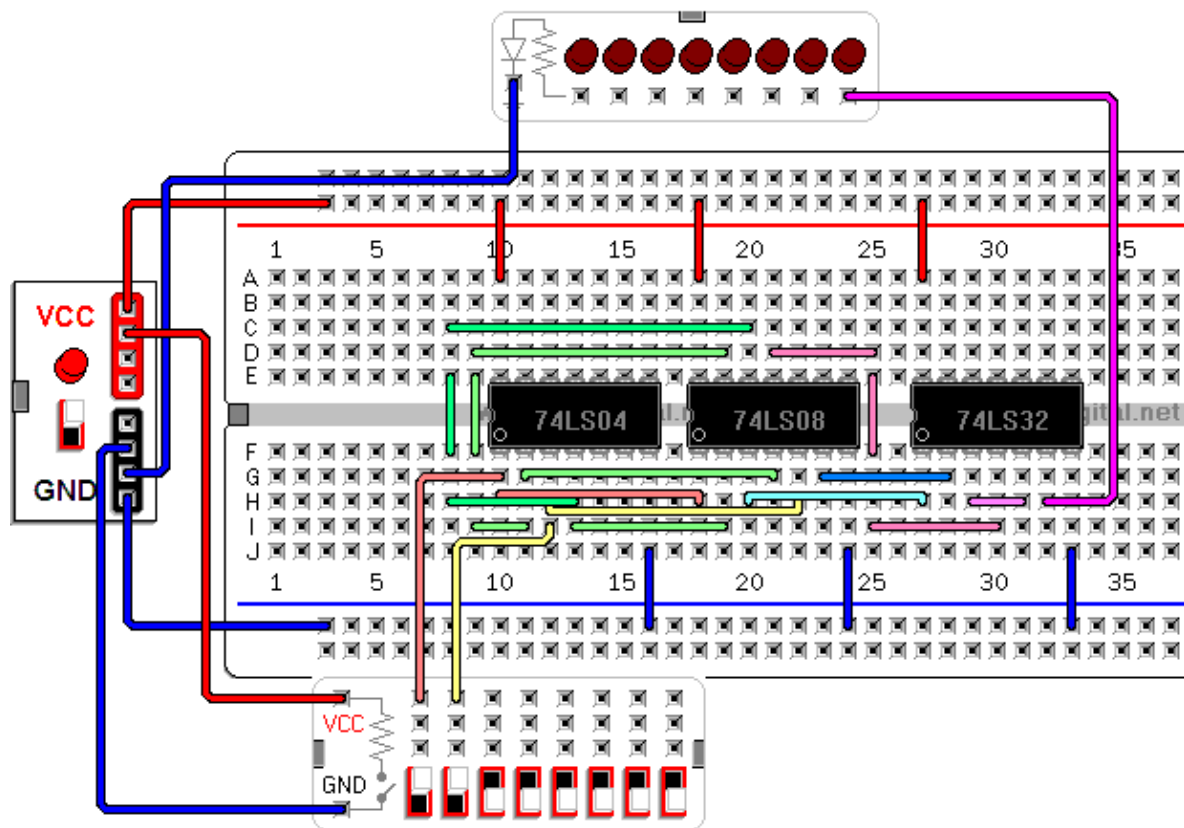
Circuito 5



Para este circuito se tienen dos entradas, pero a la vez estas mismas están negadas, por lo tanto, se necesita además de una compuerta AND y OR una compuerta NOT, para el circuito se debe tomar en cuenta la importancia de las

entradas negadas a la compuerta AND tal como se muestra a continuación:

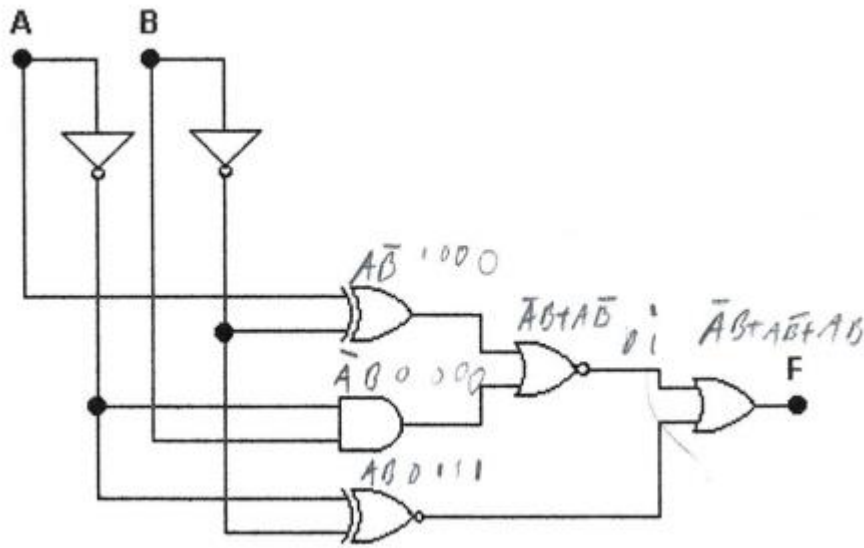




La tabla de verdad correspondiente es:

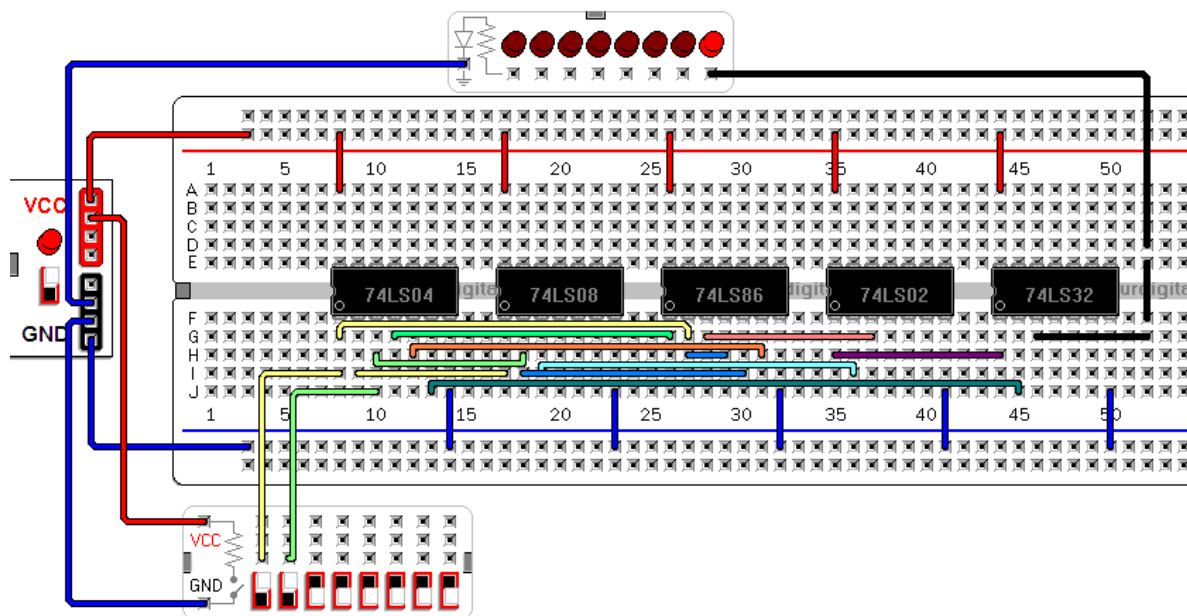
| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 2 | 1 | 0 | 1 |
| 3 | 1 | 1 | 0 |

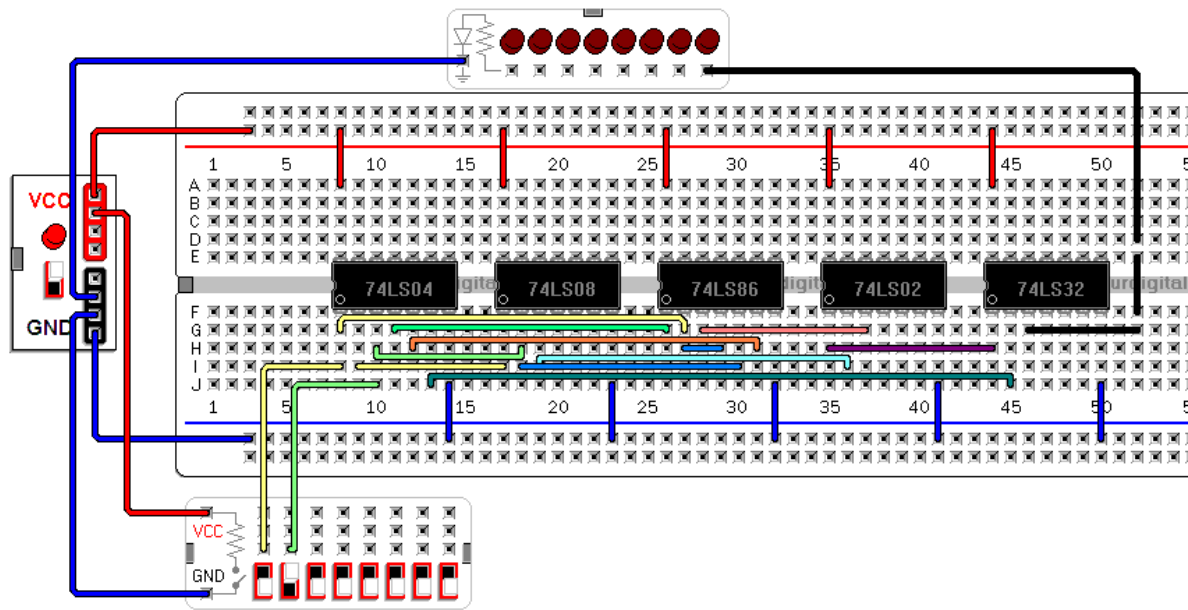
Circuito 6



Para este circuito se utilizó el ya mencionado XNOR, por lo tanto, una salida de la compuerta XOR fue negado y se utilizó la compuerta 7402 para el uso de la compuerta

NOR eso se muestra en las siguientes figuras:



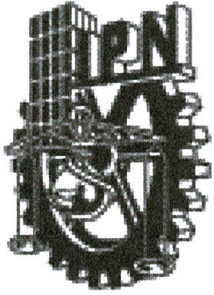


Y la tabla de verdad correspondiente es:

| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 2 | 1 | 0 | 1 |
| 3 | 1 | 1 | 1 |

Conclusiones

Con ayuda de la elaboración de la práctica se pudo conocer a profundidad el uso de las compuertas lógicas, así como la comprobación de las tablas de verdad para cada una llegando a hacer circuitos con varias compuertas lógicas y elaborando su análisis para la obtención de las tablas de verdad correspondientes, tal como fue en los últimos circuitos donde varias compuertas lógicas interactuaban entre sí.



INSTITUTO POLITÉCNICO NACIONAL
ESCUELA SUPERIOR DE CÓMPUTO

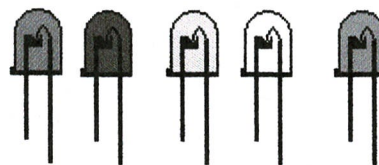
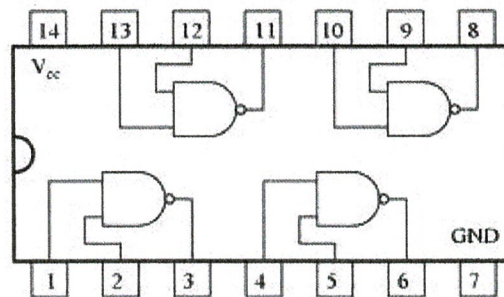
**DEPARTAMENTO DE INGENIERIA EN SISTEMAS
COMPUTACIONALES**



PRACTICA No. 1

**COMPUERTAS
LÓGICAS**

Quad NAND gate
TTL suffix = 00



COMPUERTAS LÓGICAS

OBJETIVO

Al terminar la sesión, los integrantes del equipo contarán con la habilidad de manipular las compuertas lógicas. El objetivo es comprobar las tablas de verdad de las compuertas básicas con circuitos integrados.

INTRODUCCIÓN TEÓRICA

Proporcionada por los integrantes del equipo.

MATERIAL Y EQUIPO EMPLEADO

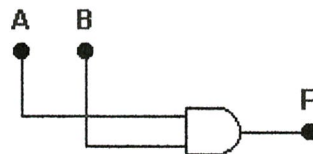
- 1 C. I. 74LS00
- 1 C. I. 74LS02
- 1 C. I. 74LS04
- 1 C. I. 74LS08
- 1 C. I. 74LS32
- 1 C. I. 74LS86
- 1 Tablilla de Prueba
- 10 LEDS de colores
- Dip switch
- Fuente de Alimentación
- Manual de especificaciones "FAST and LS TTL" de MOTOROLA

DESARROLLO EXPERIMENTAL

1. Determine las tablas de verdad de las siguientes compuertas y llene dichas tablas con los valores correspondientes.

Compuerta AND, C. I. 74LS08

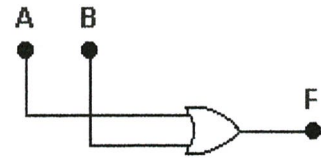
| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 2 | 1 | 0 | 0 |
| 3 | 1 | 1 | 1 |



COMPUERTAS LÓGICAS

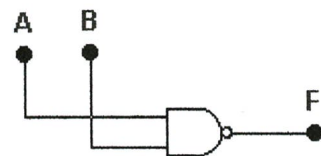
Compuerta OR C. I. 74LS32

| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 2 | 1 | 0 | 1 |
| 3 | 1 | 1 | 1 |



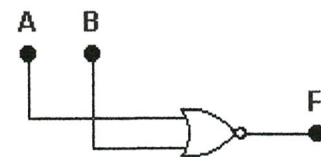
Compuerta NAND C. I. 74LS00

| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 2 | 1 | 0 | 1 |
| 3 | 1 | 1 | 0 |



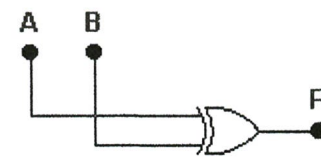
Compuerta NOR C. I. 74LS02

| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 2 | 1 | 0 | 0 |
| 3 | 1 | 1 | 0 |



Compuerta XOR C. I. 74LS86

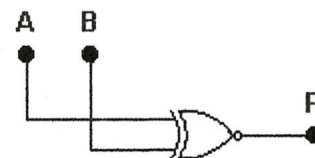
| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 2 | 1 | 0 | 1 |
| 3 | 1 | 1 | 0 |



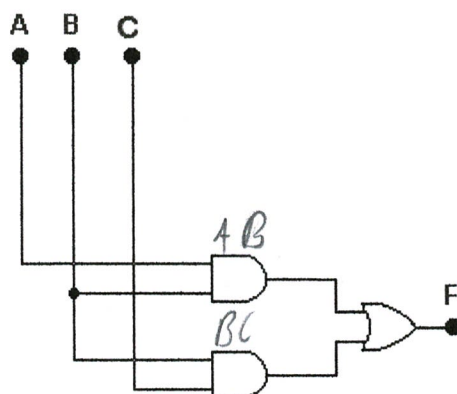
COMPUERTAS LÓGICAS

Compuerta XNOR C. I. 74LS86 + 74LS04

| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 2 | 1 | 0 | 0 |
| 3 | 1 | 1 | 1 |

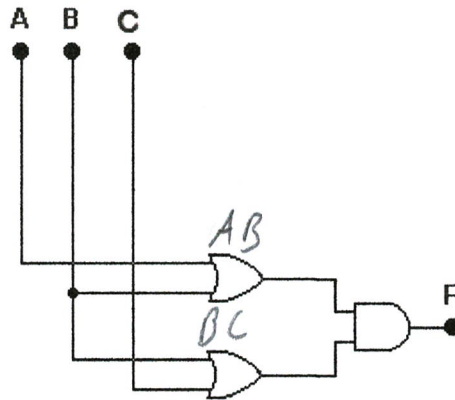


2. Arme el circuito y verifique sus valores de salida para los diferentes valores de entrada.

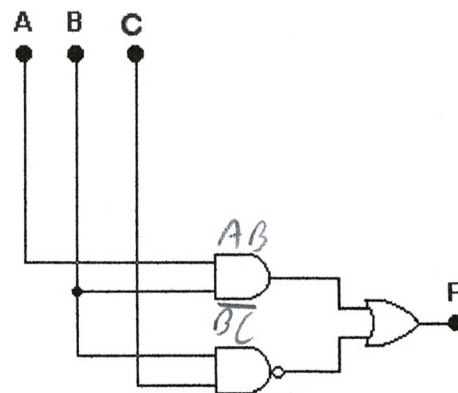


| # | A | B | C | AB | BC | F |
|---|---|---|---|----|----|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 2 | 0 | 1 | 0 | 0 | 0 | 0 |
| 3 | 0 | 1 | 1 | 0 | 1 | 1 |
| 4 | 1 | 0 | 0 | 0 | 0 | 0 |
| 5 | 1 | 0 | 1 | 0 | 0 | 0 |
| 6 | 1 | 1 | 0 | 1 | 0 | 1 |
| 7 | 1 | 1 | 1 | 1 | 1 | 1 |

COMPUERTAS LÓGICAS

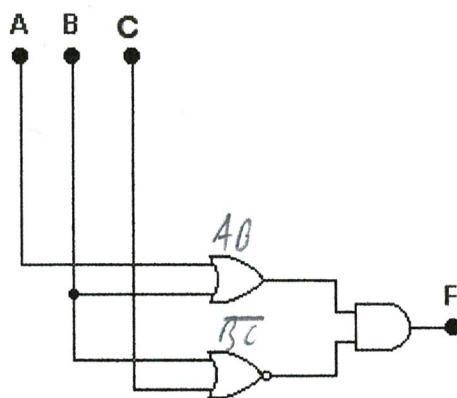


| # | A | B | C | A+B | B+C | F |
|---|---|---|---|-----|-----|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 2 | 0 | 1 | 0 | 1 | 1 | 1 |
| 3 | 0 | 1 | 1 | 1 | 1 | 1 |
| 4 | 1 | 0 | 0 | 1 | 0 | 0 |
| 5 | 1 | 0 | 1 | 1 | 1 | 1 |
| 6 | 1 | 1 | 0 | 1 | 1 | 1 |
| 7 | 1 | 1 | 1 | 1 | 1 | 1 |



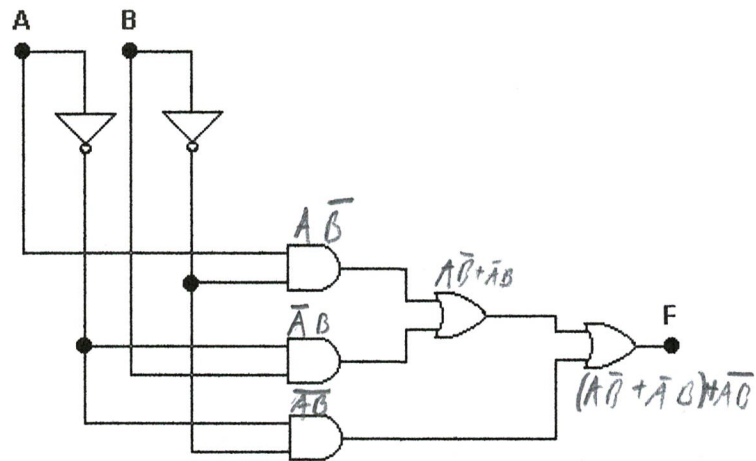
COMPUERTAS LÓGICAS

| # | A | B | C | AB | $\bar{B}\bar{C}$ | F |
|---|---|---|---|----|------------------|---|
| 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 2 | 0 | 1 | 0 | 0 | 1 | 1 |
| 3 | 0 | 1 | 1 | 0 | 0 | 0 |
| 4 | 1 | 0 | 0 | 0 | 1 | 1 |
| 5 | 1 | 0 | 1 | 0 | 1 | 1 |
| 6 | 1 | 1 | 0 | 1 | 1 | 1 |
| 7 | 1 | 1 | 1 | 1 | 0 | 1 |

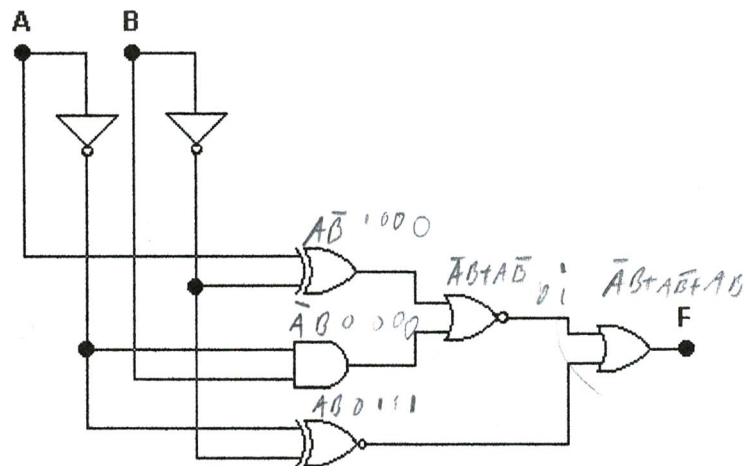


| # | A | B | C | A+B | $\bar{B}+\bar{C}$ | F |
|---|---|---|---|-----|-------------------|---|
| 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 2 | 0 | 1 | 0 | 1 | 0 | 0 |
| 3 | 0 | 1 | 1 | 1 | 0 | 0 |
| 4 | 1 | 0 | 0 | 1 | 1 | 1 |
| 5 | 1 | 0 | 1 | 1 | 0 | 0 |
| 6 | 1 | 1 | 0 | 1 | 0 | 0 |
| 7 | 1 | 1 | 1 | 1 | 0 | 0 |

COMPUERTAS LÓGICAS



| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 2 | 1 | 0 | 1 |
| 3 | 1 | 1 | 0 |



| # | A | B | F |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 2 | 1 | 0 | 1 |
| 3 | 1 | 1 | 1 |

COMPUERTAS LÓGICAS

OBSERVACIONES Y CONCLUSIONES:

Individuales.

Observaciones

En el segundo diagrama electrónico de la página 7 se necesitaba el uso de la compuerta XOR pero en el simulador solo se encuentra el XOR por lo tanto al final de una de las salidas de la compuerta XOR se agregó con una compuerta NOT

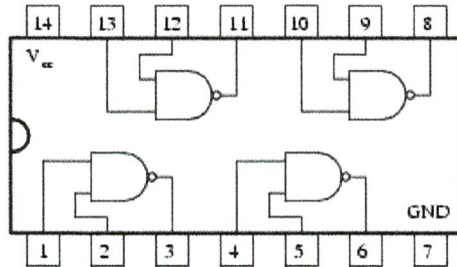
Conclusiones

Con ayuda de la elaboración de la práctica se pudo observar y reconocer el uso de las compuertas lógicas así como la utilización y verificación de las tablas de verdad

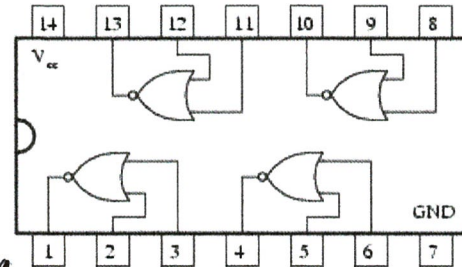
COMPUERTAS LÓGICAS

Especificaciones de las compuertas lógicas

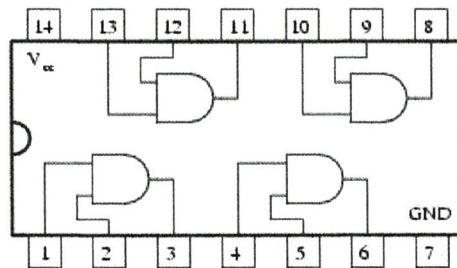
5400/7400
Quad NAND gate



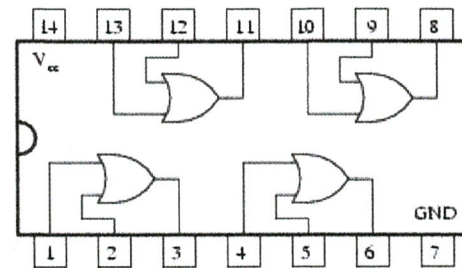
5402/7402
Quad NOR gate



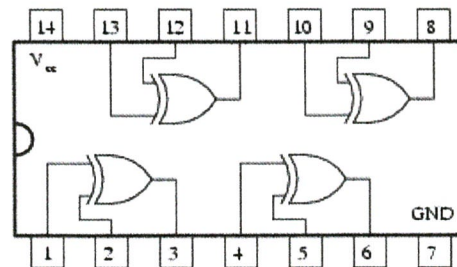
5408/7408
Quad AND gate



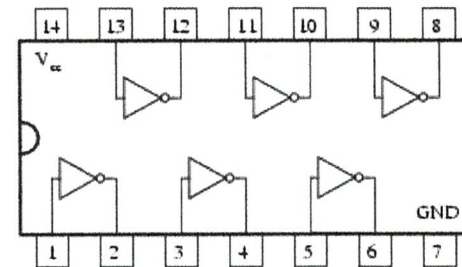
5432/7432
Quad OR gate



5486/7486
Quad XOR gate



5404/7404
Hex inverter



Entrada/salida
invertidas