



INSTITUTO POLITÉCNICO NACIONAL
ESCUELA SUPERIOR DE CÓMPUTO
ESCOM



Carrera:

Ingeniería en sistemas computacionales

Unidad de Aprendizaje:

Sistemas Embebidos

Practica 1:

Práctica de display de 7 segmentos - Verilog

Integrantes:

Cazares Cruz Jeremy Sajid

Bazo Machuca Ilse Paola

Acosta Cortes Gerardo

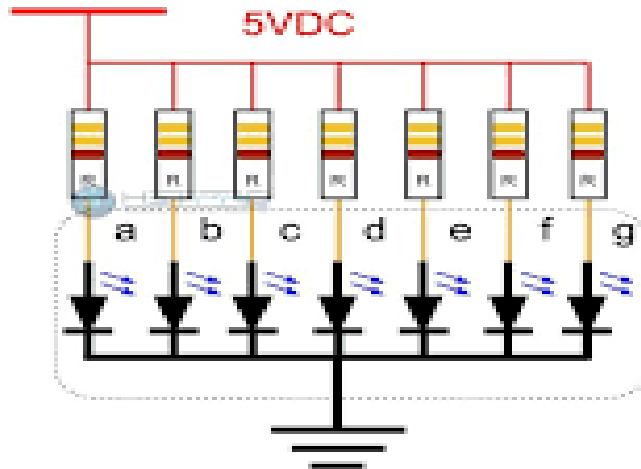
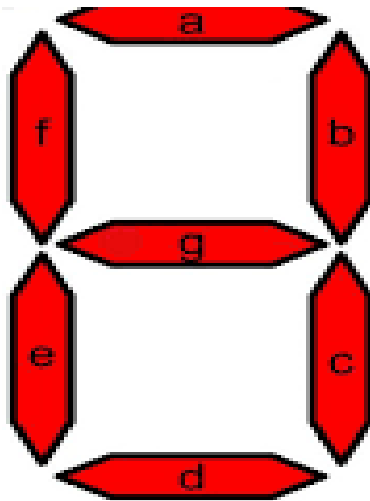
Guzmán Ballesteros

Armando

Fecha de entrega

03 de octubre de 2023





Reporte Práctica 1

Descripción General

Este proyecto implementa una mini Unidad Lógica Aritmética (ALU) en una FPGA de la familia Cyclone IV E (modelo EP4CE115F29C7). La ALU realiza operaciones lógicas y aritméticas básicas en dos entradas (`a_i` y `b_i`) basadas en la selección de operación (`seleccion_i`). El resultado se muestra en tres displays de 7 segmentos (`disp0`, `disp1`, y `disp2`). El código está diseñado en Verilog y utiliza un módulo separado (`disp7`) para convertir números de 4 bits en representaciones de 7 segmentos.

Descripción Detallada de los Módulos:

Módulo `practica1`

```
module practica1(
    input  [5:0] a_i,
    input  [5:0] b_i,
    input  [2:0] seleccion_i,

    output [6:0] disp0,
    output [6:0] disp1,
    output [6:0] disp2
);
    reg [11:0] res_o;
```

Puertos:

- Entradas (`a_i`, `b_i`, `seleccion_i`)
- Salidas (`disp0`, `disp1`, `disp2`)

Declaración de Señales:

- `reg [11:0] res_o`: Almacena el resultado de las operaciones.

Módulo `disp7`

```
module disp7 (
    input  [3:0]    numero_i,
    output reg [6:0] disp_o
);
```

Puertos:

- Entrada (`numero_i`)
- Salida (`disp_o`)

Sección de Ciclo `always`:

```
always @(a_i,b_i,seleccion_i )
begin
    case(seleccion_i)
        3'b000:
            res_o= a_i + b_i;
        3'b001:
            res_o= a_i - b_i;
        3'b010:
            res_o= a_i * b_i;
        3'b011:
            res_o= a_i | b_i;
        3'b100:
            res_o= a_i & b_i;
        3'b101:
            res_o= a_i >> b_i;
        3'b110:
            res_o= a_i << b_i;
        3'b111:
            res_o= a_i ^ b_i;
    endcase
end
```

En el Módulo `practica1`:

- Bloque `always` (sensibilidad a `a_i`, `b_i`, `seleccion_i`):
- Utiliza un caso `case` para determinar la operación a realizar basada en `seleccion_i`.
- Asigna el resultado al registro `res_o`.
- Llama al módulo `disp7` tres veces para mostrar los segmentos en los displays.

- En el Módulo `disp7`:

```
always @(numero_i)
begin
  case(numero_i)
    4'h0: disp_o = 7'b1000000;
    4'h1: disp_o = 7'b1111001;
    4'h2: disp_o = 7'b0100100;
    4'h3: disp_o = 7'b0110000;
    4'h4: disp_o = 7'b0011001;
    4'h5: disp_o = 7'b0010010;
    4'h6: disp_o = 7'b0000010;
    4'h7: disp_o = 7'b1111000;
```

- Bloque `always` (sensibilidad a `numero_i`):
- Utiliza un caso `case` para asignar valores a `disp_o` basados en `numero_i`.

Instanciando disp7

```
disp7 display0 (
  .numero_i (res_o[3:0]),
  .disp_o   (disp0)
);

disp7 display1 (
  .numero_i (res_o[7:4]),
  .disp_o   (disp1)
);

disp7 display2 (
  .numero_i (res_o[11:8]),
  .disp_o   (disp2)
);
```

Estos módulos disp7 son responsables de convertir un número de 4 bits en la representación adecuada para mostrar en un display de 7 segmentos. Vamos a desglosar esta sección para entenderla mejor.

Aquí, se están creando tres instancias del módulo disp7. Para cada instancia:

- **numero_i** se conecta a una porción específica del resultado (res_o) de la ALU. En este caso, **res_o[3:0]** se conecta a **numero_i** del primer disp7, **res_o[7:4]** se conecta al **numero_i** del segundo disp7, y **res_o[11:8]** se conecta al **numero_i** del tercer disp7.
- **disp_o** se conecta a las salidas de los displays de 7 segmentos (disp0, disp1 y disp2), respectivamente. Esto significa que las conversiones de los números realizadas por los módulos disp7 se mostrarán en los displays correspondientes.

Conexiones Externas:













- Hay que asegurar que las entradas (**a_i**, **b_i**, **seleccion_i**) estén correctamente conectadas a fuentes de datos externas.
- Las salidas (**disp0**, **disp1**, **disp2**) deben estar conectadas a los pines correspondientes de los displays de 7 segmentos.

Configuración de la FPGA:

Antes de la síntesis, asegúrate de tener configurada correctamente la FPGA para utilizar el modelo específico (**EP4CE115F29C7**) y los pines necesarios para las conexiones.

PIN PLANNER

Entradas

 a_i[5]	Input	PIN_AC26	5	B5_N2
 a_i[4]	Input	PIN_AB27	5	B5_N1
 a_i[3]	Input	PIN_AD27	5	B5_N2
 a_i[2]	Input	PIN_AC27	5	B5_N2
 a_i[1]	Input	PIN_AC28	5	B5_N2
 a_i[0]	Input	PIN_AB28	5	B5_N1
 b_i[5]	Input	PIN_AB24	5	B5_N2
 b_i[4]	Input	PIN_AC24	5	B5_N2
 b_i[3]	Input	PIN_AB25	5	B5_N1
 b_i[2]	Input	PIN_AC25	5	B5_N2
 b_i[1]	Input	PIN_AB26	5	B5_N1
 b_i[0]	Input	PIN_AD26	5	B5_N2

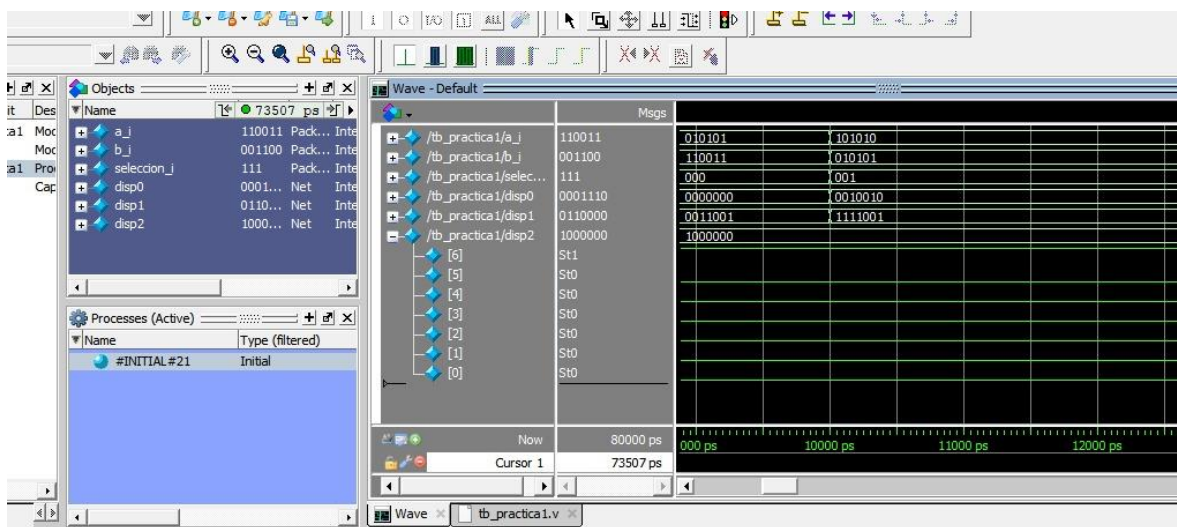
Salidas

out disp0[6]	Output	PIN_H22	6	B6_N0	PIN_H22
out disp0[5]	Output	PIN_J22	6	B6_N0	PIN_J22
out disp0[4]	Output	PIN_L25	6	B6_N1	PIN_L25
out disp0[3]	Output	PIN_L26	6	B6_N1	PIN_L26
out disp0[2]	Output	PIN_E17	7	B7_N2	PIN_E17
out disp0[1]	Output	PIN_F22	7	B7_N0	PIN_F22
out disp0[0]	Output	PIN_G18	7	B7_N2	PIN_G18
out disp1[6]	Output	PIN_U24	5	B5_N0	PIN_U24
out disp1[5]	Output	PIN_U23	5	B5_N1	PIN_U23
out disp1[4]	Output	PIN_W25	5	B5_N1	PIN_W25
out disp1[3]	Output	PIN_W22	5	B5_N0	PIN_W22
out disp1[2]	Output	PIN_W21	5	B5_N1	PIN_W21
out disp1[1]	Output	PIN_Y22	5	B5_N0	PIN_Y22
out disp1[0]	Output	PIN_M24	6	B6_N2	PIN_M24
out disp2[6]	Output	PIN_W28	5	B5_N1	PIN_W28
out disp2[5]	Output	PIN_W27	5	B5_N1	PIN_W27
out disp2[4]	Output	PIN_Y26	5	B5_N1	PIN_Y26
out disp2[3]	Output	PIN_W26	5	B5_N1	PIN_W26

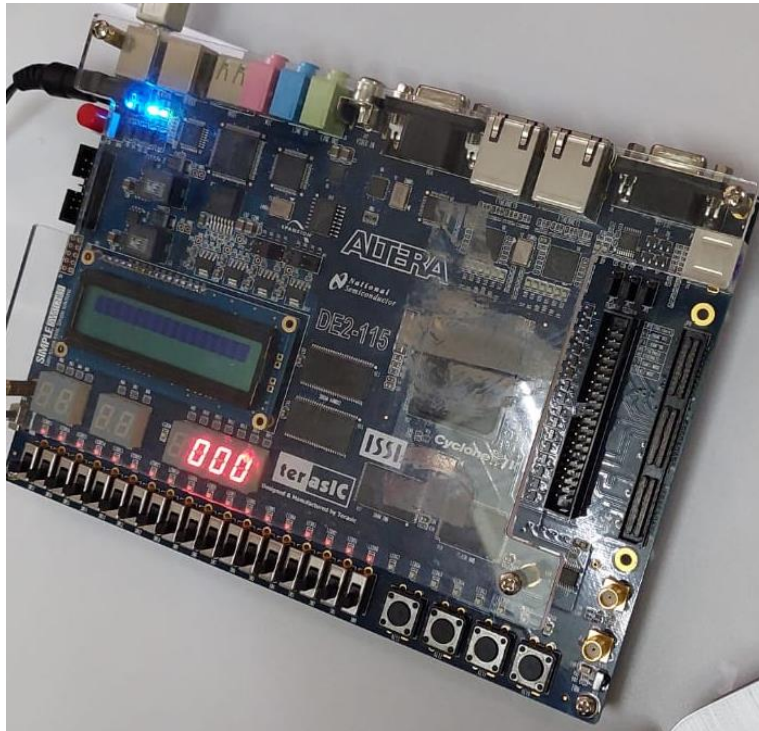
Limitaciones del Display de 7 Segmentos:

- Asegurar que las conversiones de números a segmentos estén correctamente definidas para el tipo de display de 7 segmentos que se está utilizando.

Simulación:



Fpga:



Conclusión:

Este proyecto presenta una implementación funcional de una mini ALU con displays de 7 segmentos en una FPGA Cyclone IV E. Los módulos ``practica1`` y ``disp7`` están diseñados para realizar operaciones y convertir números en representaciones de 7 segmentos, respectivamente. Asegurando las conexiones correctas y las configuraciones adecuadas, este diseño proporcionará una interfaz visual para las operaciones realizadas por la mini ALU