

# 简答题

1. 某16位处理器的指令格式结构如下所示。简述指令格式及寻址方式的特点。（第四章）



- ①双字长二地址指令，用于访问存储器。
- ②操作码字段可指定64种操作。
- ③RS型指令，一个操作数在通用寄存器，另一个操作数在主存。
- ④有效地址有效地址等于变址寄存器内容加上位移量。

2. 简述外围设备的I/O控制方式的分类。（第七章）

- ①程序查询方式
- ②程序中断方式
- ③直接内存访问方式
- ④通道方式
- ⑤外围处理机方式

3. 简述CPU主要寄存器(五种即可)。（第五章）

CPU中的主要寄存器：

- 数据缓冲寄存器(*DR*)  
DR存放ALU运算结果，作用是：①作为ALU运算结果和通用寄存器之间信息传送中时间上的缓冲。②补偿CPU和内存、外围设备之间在操作速度上的差别。
- 指令寄存器(*IR*)  
保存当前正在执行的指令。
- 程序计数器(*PC*)  
取出一条指令后指向下一条指令。
- 数据地址寄存器(*AR*)  
数据地址寄存器用来保存当前CPU所访问的数据存储器(简称数存)单元的地址。由于要对存储器阵列进行地址译码，所以必须使用地址寄存器来保持地址信息，知道一次读/写完成。
- 通用寄存器  
通用寄存器有4个( $R_0 \sim R_3$ )，功能是当算数ALU执行算术或逻辑运算时，为ALU提供一个工作区。通用寄存器还可以用作地址指示器、变址寄存器、堆栈指示器等。
- 程序状态字寄存器(*PSWR*)  
保存由算术运算指令和逻辑运算指令运算或测试结果建立的各种条件代码。如：运算结果进位标志(*C*)、运算结果溢出标志(*V*)，运算结果为零标志(*Z*)等等。

# 计算题

1. 用补码运算法求下列各式的值，并用变形补码法判断是否溢出。（第二章）

(1)  $x = -0.00101, y = +0.11101$ , 求  $x - y$ 。

$$\begin{array}{rcl}
 (1) [x]_{\text{补}} & = & 1.01011 \quad [y]_{\text{补}} = 0.10011 \\
 [-y]_{\text{补}} & = & 1.01101 \\
 [x]_{\text{补}} & & 11.01011 \leftarrow \\
 + [-y]_{\text{补}} & & 11.01101 \leftarrow \\
 \hline
 [x-y]_{\text{补}} & = & 10.11000 \quad |
 \end{array}$$

因为运算结果的双符号位相异，结果发生溢出

(2)  $x = 0.10011, y = 0.11100$ , 求  $x + y$ 。

$$\begin{array}{rcl}
 (2) [x]_{\text{补}} & = & 0.10011 \quad [y]_{\text{补}} = 0.11100 \\
 [x]_{\text{补}} & & 00.10011 \leftarrow \\
 + [y]_{\text{补}} & & 00.11100 \leftarrow \\
 \hline
 [x+y]_{\text{补}} & = & 01.01111
 \end{array}$$

因为运算结果的双符号位相异，结果发生溢出

2. 设微处理器CPU主频为 $8MHz$ 。若每个机器周期包含4个时钟周期，CPU处理指令的平均速度为 $0.8MIPS$ 。问：(第五章)

- (1) 该微处理器的时钟周期是多少微秒？
- (2) 指令周期平均是多少微秒？平均含有多少个机器周期？
- (3) 若微处理器时钟周期改为 $0.4\mu s$ ，处理指令的平均速度是多少MIPS？
- (4) 若处理指令的平均速度需要40万次/秒，微处理器的主频为多少MHz？

解：

$$(1) \text{时钟周期} = \frac{1}{f} = \frac{1}{(8 \times 10^6)} = 0.125(\mu s)$$

$$(2) \text{平均指令周期} = \frac{1}{(0.8 \times 10^6)} = 1.25(\mu s)$$

$$\text{指令的平均机器周期} = \frac{1.25\mu s}{(4 \times 0.125\mu s)} = 2.5$$

$$(3) \text{指令处理的平均速度} = \frac{1}{(2.5 \times 4 \times 0.4\mu s)} = 0.25 \text{条}/\mu s = 0.25MIPS$$

$$(4) \text{由于 } 0.4 \times 10^6 = \frac{1}{(2.5 \times 4 \times T)}, T = 0.25 \times 10^{-6}(s) (T \text{ 为时钟周期})$$

$$\text{则主要 } f = \frac{1}{T} = 4.0MHz$$

## 设计题

1. 某加法器进位链小组信号为 $C_4C_3C_2C_1$ ，低位来的进位信号为 $C_0$ ，请写出串行进位方式下的 $C_4C_3C_2C_1$ 的逻辑表达式。(第二章)

$$C_1 = G_1 + P_1C_0, \text{ 其中 } G_1 = A_1B_1, P_1 = A_1 \oplus B_1$$

$$C_2 = G_2 + P_2 C_1, \text{ 其中 } G_2 = A_2 B_2, P_2 = A_2 \oplus B_2$$

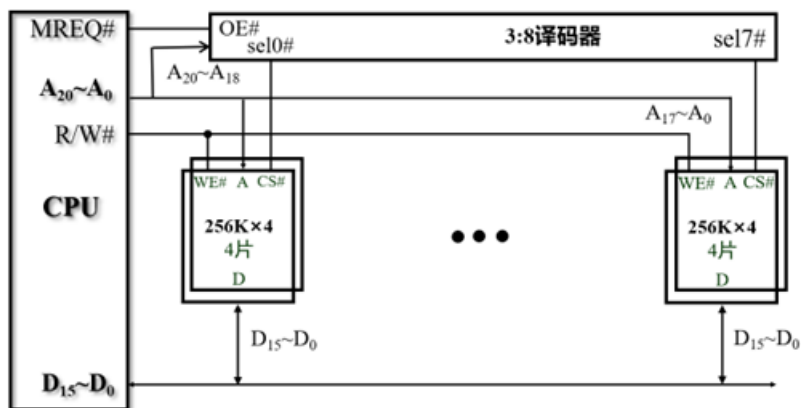
$$C_3 = G_3 + P_3 C_2, \text{ 其中 } G_3 = A_3 B_3, P_3 = A_3 \oplus B_3$$

$$C_4 = G_4 + P_4 C_3, \text{ 其中 } G_4 = A_4 B_4, P_4 = A_4 \oplus B_4$$

可以总结为以下公式:

$$\text{公式: } A_i B_i + (A_i \oplus B_i) C_{i-1} = 1? \text{进位: 不进位}$$

2. 画出由 $256K \times 4$ 位的DRAM芯片构成 $2M \times 16$ 位的存储器的逻辑框图。(第三章)



3. 某单片机字长为16位, 主存容量为 $64K$ 字, 采用单字长单地址指令, 共有64条指令。试采用直接、立即、变址、相对四种寻址方式设计指令格式。(第四章)

64条指令需要占用操作码字段(OP) 6位, 这样指令字下余长度为10位。为了覆盖主存 $64K$ 字的地址空间, 设寻址模式位(X)2位, 形式地址位(D)8位, 其指令格式如下:



寻址模式X定义如下:

$X = 00$ , 直接寻址, 有效地址 $E = D(256\text{单元})$

$X = 01$ , 立即寻址,  $D = \text{操作数}$ 。

$X = 10$ , 变址寻址, 有效地址 $E = (R) + D(64K)$

$X = 11$ , 相对寻址, 有效地址 $E = (PC) + D(64K)$

其中,  $R$ 为变址寄存器(16位),  $PC$ 为程序计数器(16位)。在变址和相对寻址时, 位移量 $D$ 可正可负。