



Práctica 3. Circuitos Secuenciales

3.1. Introducción.

Hay dos tipos principales de circuitos secuenciales, y su clasificación depende de los tiempos de sus señales. Un circuito secuencial *sincrónico* es un sistema cuyo comportamiento se define conociendo sus señales en instantes discretos. El comportamiento de un circuito secuencial *asincrónico* depende de las señales de entrada en cualquier instante dado y del orden en que cambian las entradas. Los elementos de almacenamiento que suelen usarse en los circuitos secuenciales asincrónicos son dispositivos de retardo de tiempo. La capacidad de almacenamiento de un dispositivo de retardo de tiempo se debe al tiempo que la señal tarda en propagarse por el dispositivo. En la práctica, el retardo interno de propagación de las compuertas lógicas tiene la suficiente duración como para producir el retardo requerido, de modo que podrían no ser necesarias unidades de retardo adicionales. En los sistemas asincrónicos tipo compuerta, los elementos de almacenamiento consisten en compuertas lógicas cuyo retardo de propagación hace posible el almacenamiento requerido. Así, un circuito secuencial asincrónico podría considerarse como un circuito combinacional con retroalimentación. Gracias a la retroalimentación entre compuertas lógicas, el circuito secuencial asincrónico podría volverse inestable ocasionalmente.

Un circuito secuencial sincrónico utiliza señales que afectan a los elementos de almacenamiento únicamente en instantes discretos. La sincronización se logra con un dispositivo de temporización llamado *generador de reloj*, el cual produce un tren periódico de *pulsos de reloj*. Los pulsos de reloj se distribuyen por todo el sistema de modo que los elementos de almacenamiento sólo se vean afectados al llegar cada pulso. En la práctica, los pulsos de reloj se aplican con otras señales que especifican el cambio requerido en los elementos de almacenamiento. Los circuitos secuenciales sincrónicos que usan pulsos de reloj en las entradas de sus elementos de almacenamiento se denominan *circuitos secuenciales con reloj*, y son el tipo que se usa más comúnmente en la práctica. Los elementos de almacenamiento empleados en los circuitos secuenciales con reloj se llaman flip-flop.

Los circuitos de flip-flop se construyen de tal manera que funcionan correctamente cuando forman parte de un circuito secuencial que utiliza un solo reloj. El problema del latch es que responde a un cambio en el *nivel* de un pulso de reloj.



a) Respuesta al nivel positivo



b) Respuesta al borde positivo



c) Respuesta al borde negativo

Como se observa en la figura una respuesta de nivel positivo en la entrada de control permite cambios en la salida cuando la entrada cambia mientras el reloj se mantiene en el nivel de 1 lógico. La clave para que el flip-flop funcione correctamente es dispararlo únicamente durante una *transición* de la señal. Un pulso de reloj sufre dos transiciones: de 0 a 1 y de 1 a 0 al regresar. Como se aprecia en la figura, la transición positiva se define como el borde (o flanco) positivo, y la negativa, como el borde negativo.

3.2. Previo Práctica 1.

- 1) ¿Que son los flancos de pulso de reloj, y que aplicación tiene dentro de un sistema secuencial?
- 2) Dentro de la sintaxis de Verilog, que función tiene **posedge**.
- 3) ¿Qué diferencia hay entre un sistema síncrono y uno asíncrono?
- 4) ¿Qué es un contador y que aplicaciones tiene en el campo de la electrónica?



3.3. Ejemplo Práctico.

3.3.1 Análisis de circuitos secuenciales con reloj usando Flip-Flop

3.3.2 Ejemplo de un contador de 2 bits usando flip-flop JK.

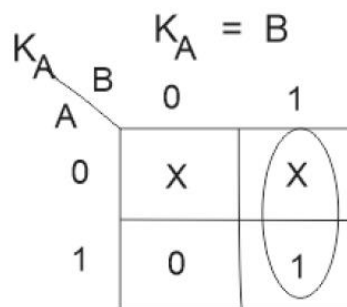
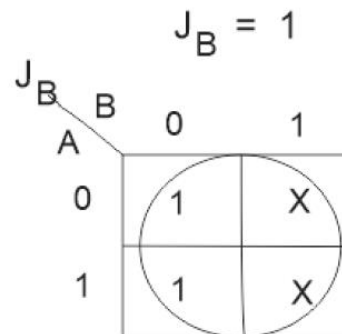
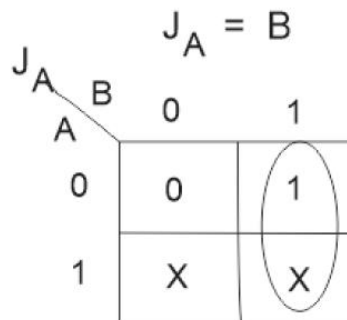
	CUENTA		EDO. FUTURO		FLIP-FLOP 1		FLIP-FLOP 2	
	A	B	A	B	J _A	K _A	J _B	K _B
0-1	0	0	0	1	0	X	1	X
1-2	0	1	1	0	1	X	X	1
2-3	1	0	1	1	X	0	1	X
3-4	1	1	0	0	X	1	X	1

Flip Flop tipo J K

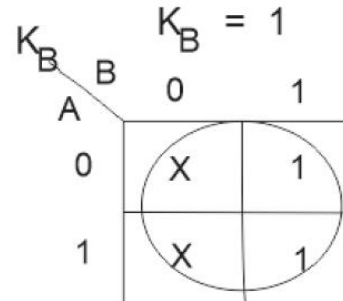
Q _n	Q _{n+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Tabla de excitación del flip-flop JK

3.3.3 Solución por mapas de Karnaugh



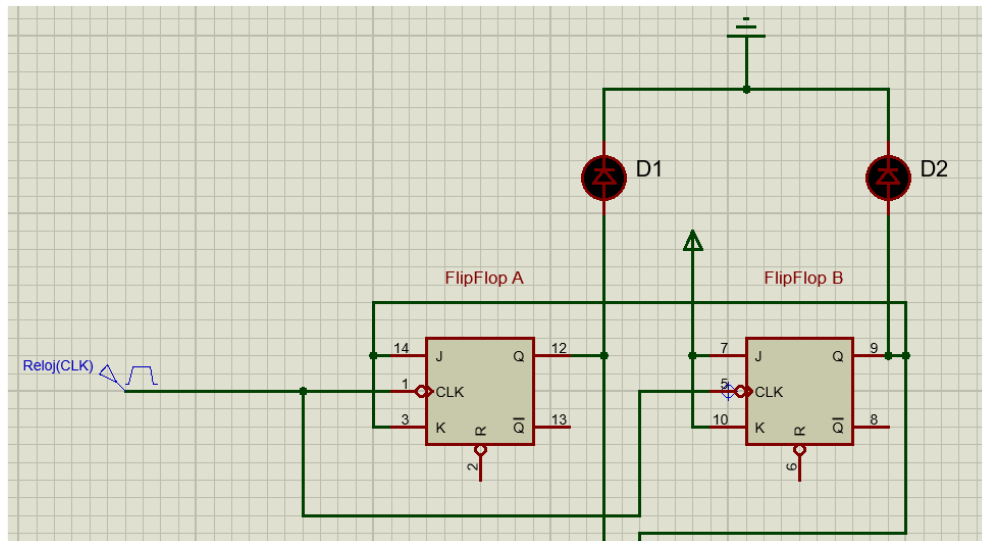
Flip-flop A



Flip-flop B



3.3.4 Simulación de circuito funcional en Proteus



3.3.5 Solución del contador de 2 bits en Verilog.

```
module contador (clk,cuenta);  
    input clk;  
    output [1:0] cuenta;  
  
    reg [1:0] cuenta;  
  
    initial  
    begin  
        cuenta = 2'b00;  
    end  
  
    always @ (posedge clk)  
    begin  
        cuenta = cuenta + 2'b01;  
    end  
  
endmodule
```



3.4. Trabajo de laboratorio

- 1) Obtener las ecuaciones de Boole para el diseño de un contador de anillo de 0-9 para posteriormente implementarlo en el lenguaje descriptivo Verilog.
- 2) Diseñe solo en verilog un contador ascendente descendente de 4 bits.

3.5. Conclusiones