



LABORATORIO DE DISEÑO LOGICO



SESIÓN 6

ARREGLOS DE COMPUERTAS PROGRAMABLES EN EL CAMPO.



Objetivo general

Analizar el funcionamiento del divisor de frecuencia usando arreglos de compuertas programables propuesto por el profesor.

Aprendizajes esperados

Saber Conocer

Comprender las funciones del divisor de frecuencia.

Identificar las características técnicas de arreglos de compuertas programables.

Saber Hacer

Uso de protoboard.

Uso de multímetro.

Uso de fuente de poder.

Uso de simuladores.

Saber Ser

Desarrollan habilidades analíticas, críticas, integridad y compromiso ético.

INTROUCCION

FPGA

Las FPGA fueron inventadas en el año 1984 por Ross Freeman y Bernard Vonderschmitt, cofundadores de [Xilinx](#), y surgen como una evolución de los CPLD.

¿Qué son los FPGAS?

(Field Programmable Gate Array). Es un dispositivo de silicio semiconductor con la capacidad de poder programar una operación deseada.

Las FPGA son el resultado de la convergencia de dos tecnologías diferentes.

- Los dispositivos lógicos programables.(PLD [Programmable Logic Devices](#)).
- Los circuitos integrados de aplicación específica ([ASIC](#), circuito integrado de aplicación específica).

Los PLD

comenzaron con dispositivos :

- [PROM](#) (memoria programable de solo lectura) .
- [PAL](#) (matriz lógica programable) que permitieron un mayor número de entradas y la inclusión de registros.

Los ASIC

- Basados en celdas.
- Combinar las dos estrategias con un mecanismo de interconexión que pudiese programarse utilizando fusibles, anti fusibles o celdas RAM y celdas ROM,

Beneficio de la tecnología FPGA

Rendimiento

Aprovechando del paralelismo del hardware, los FPGAs , rompe el paradigma de ejecución secuencial y logrando más en cada ciclo de reloj.

El controlar entradas y salidas (E/S) a nivel de hardware ofrece tiempos de respuesta más veloces y funcionalidad especializada que coincide con los requerimientos de una aplicación.

Beneficio de la tecnología FPGA

Tiempo de llegar al mercado

La tecnología FPGA ofrece flexibilidad y capacidades de rápido desarrollo de prototipos para enfrentar los retos de que un producto se libere tarde al mercado.

Precio

El precio de la ingeniería no recurrente de un diseño personalizado ASIC excede considerablemente al de las soluciones de hardware basadas en FPGA. Los requerimientos de un sistema van cambiando con el tiempo, y el precio de cambiar incrementalmente los diseños FPGA es insignificante al compararlo con el precio de implementar cambios en un ASIC antes de su lanzamiento.

Beneficio de la tecnología FPGA

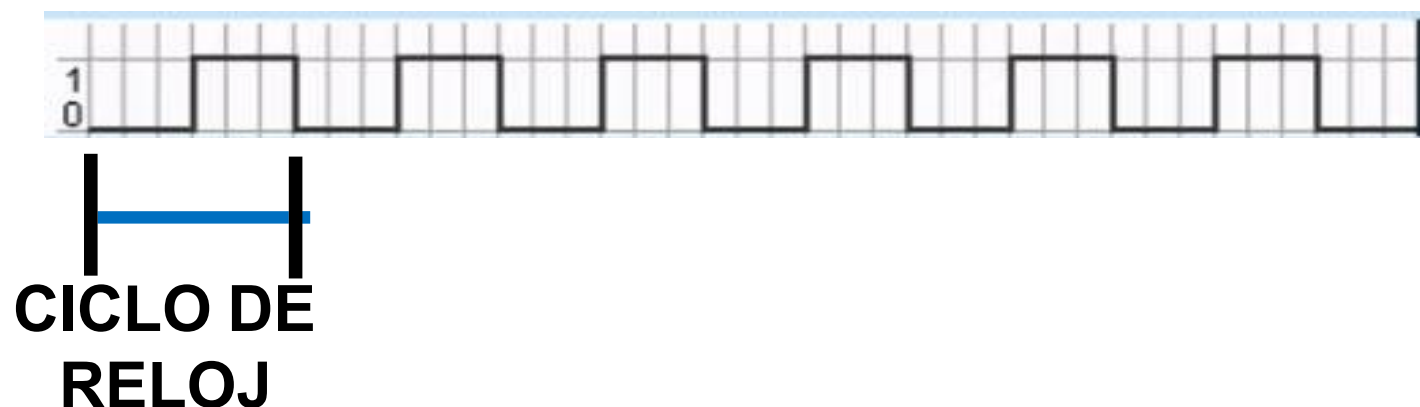
Fiabilidad.

Mientras que las herramientas de software ofrecen un entorno de programación, los circuitos de un FPGA son una implementación segura de la ejecución de un programa.

Mantenimiento a largo plazo.

Mientras el producto o sistema se va desarrollando, uno puede implementarle mejoras funcionales sin la necesidad de invertir tiempo rediseñando el hardware o modificando el diseño de la tarjeta.

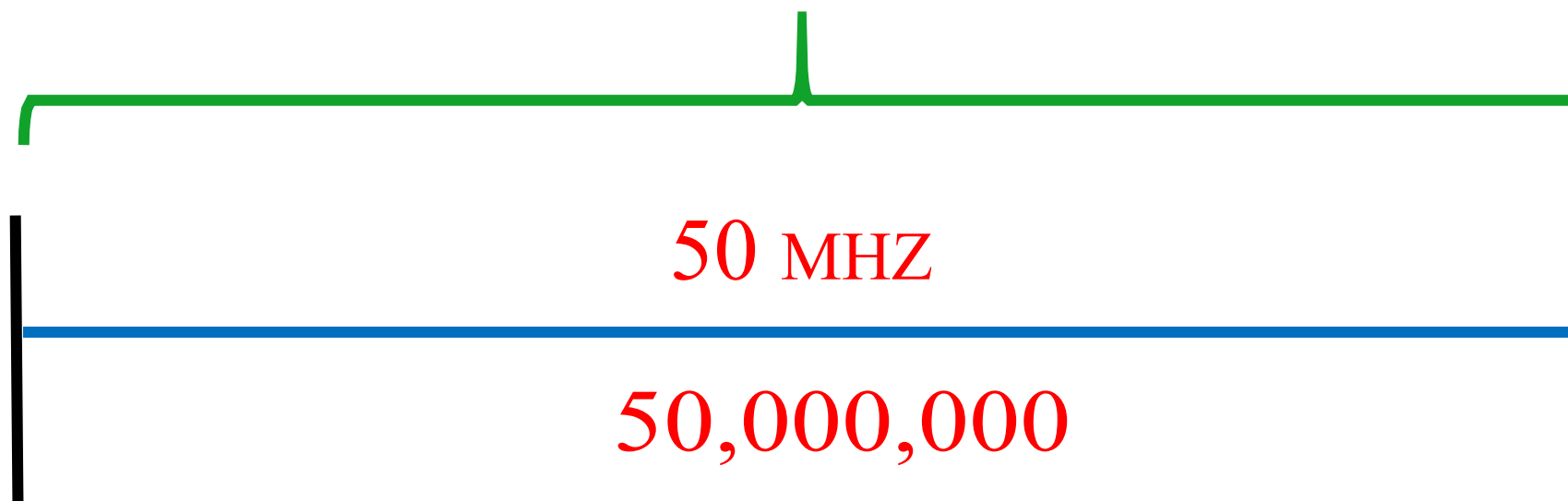
Divisor de frecuencia en FPGA



Señal de reloj se genera por pulsos que son oscilaciones entre dos valores, en lógica TTL, el valor bajo son 0 Voltios y en valor alto son 5 volt, la duración de cada pulso es constante y se denomina periodo de reloj.

Divisor de frecuencia en FPGA

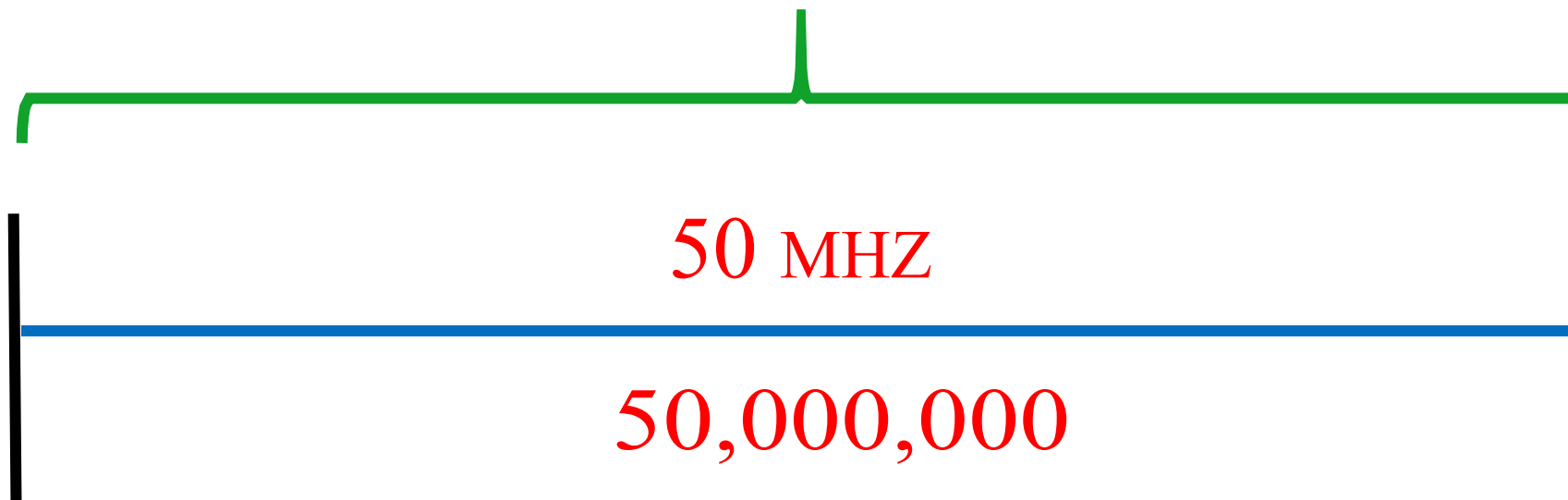
1 Segundo



PERIODO: Tiempo en que se realiza un ciclo.

Divisor de frecuencia en FPGA

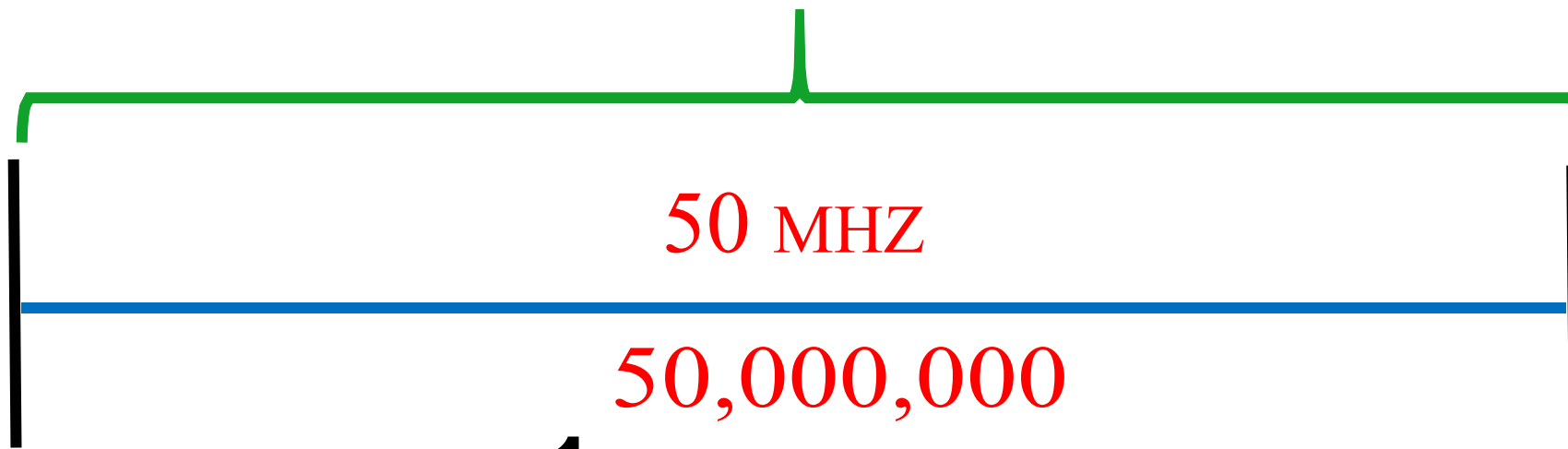
1 Segundo



FRECUENCIA: Numero de ciclos en un segundo.

Divisor de frecuencia en FPGA

1 Segundo



Frecuencia

$$f = \frac{1}{T}$$

Frecuencia es el inverso del periodo

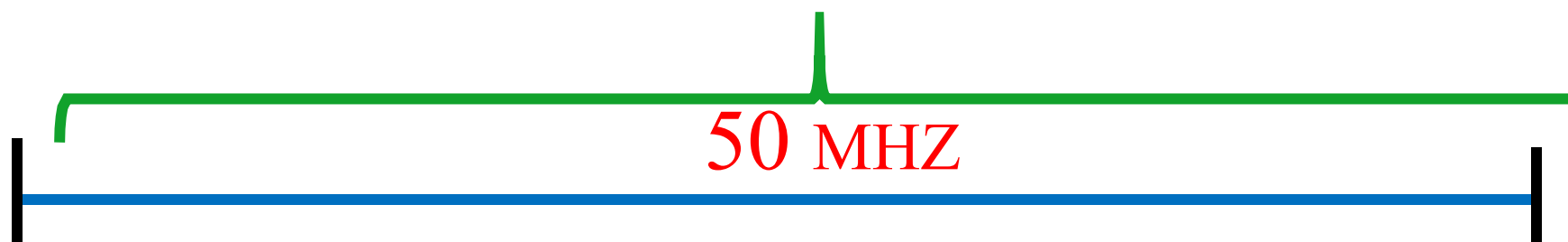
Frecuencia

$$f = \frac{n}{t}$$

Frecuencia de reloj es el número de ciclos de reloj por el tiempo ocupado

Divisor de frecuencia en FPGA

1 Segundo



50,000,000

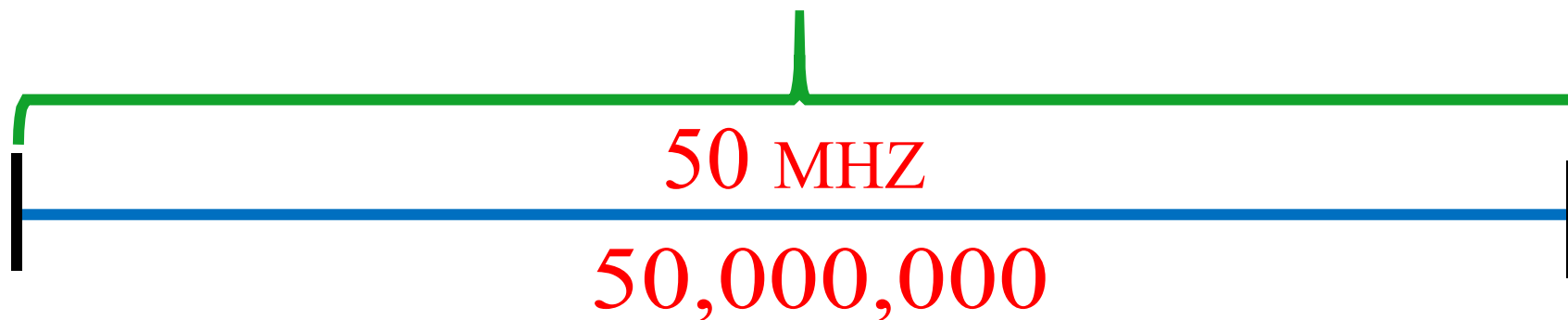
$$f = \frac{1}{T}$$

$$f = \frac{n}{t}$$

$$\frac{1}{T} = \frac{n}{t}$$

Divisor de frecuencia en FPGA

1 Segundo



$$\frac{1}{T} = \frac{n}{t}$$

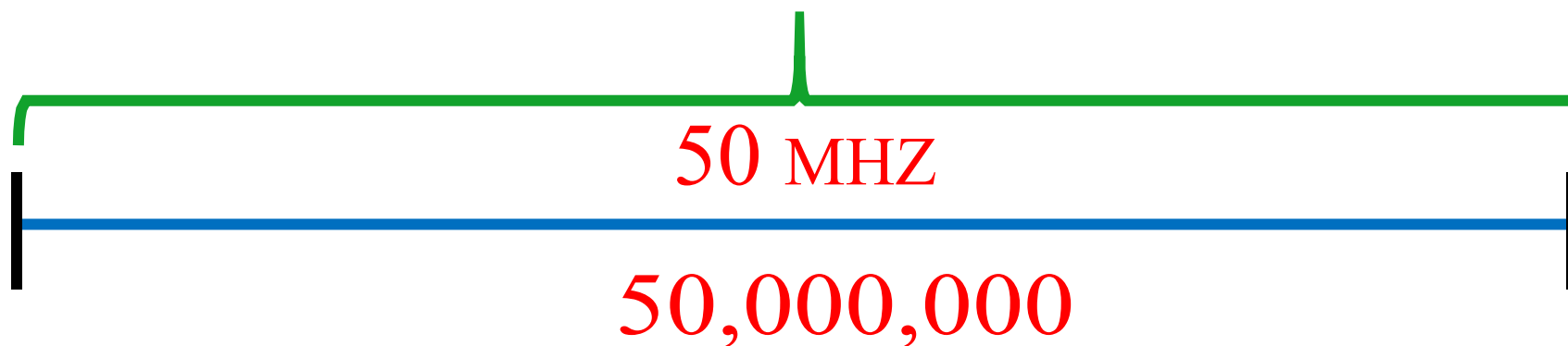


$$T = \frac{t}{n}$$

El periodo sería el tiempo empleado por el número de vueltas

Divisor de frecuencia en FPGA

1 Segundo



$$T = \frac{t}{n}$$



$$T = \frac{1\text{segundo}}{50,000,000}$$

$$= 0.00000002\text{seg}$$

El periodo sería el tiempo empleado por el número de vueltas

Divisor de frecuencia en FPGA

Para generar un retardo de 0.00010416 segundos a partir de un reloj de 50 MHz.

Para generar un retardo de 1 segundo a partir de un reloj de 50 MHz.

¿Cuántos clocks se requieren para generar 0.00010416 segundos?

¿Cuántos clocks se requieren para generar 1 segundo?

$$N_{clk} = \frac{(\text{Segundos}) (1000 \text{ ns})}{20\text{ns}}$$

Divisor de frecuencia en FPGA

$$N_{clk} = \frac{(\text{Segundos}) (1000ns)}{20ns}$$

Multiplicar por 1000 ns, para realizar la conversión

$$T = \frac{1\text{segundo}}{50,000,000} = 0.00000002\text{seg} = 20ns$$

Divisor de frecuencia en FPGA

¿Cuántos clocks se requieren para generar 0.00010416 segundos?

$$N_{clk} = \frac{(0.00010416) (1000 \text{ ns})}{20\text{ns}}$$

$$N_{clk} = 5208$$

¿Cuántos clocks se requieren para generar 1 segundo?

$$N_{clk} = \frac{(1) (1000 \text{ ns})}{20\text{ns}}$$

$$N_{clk} = 50,000 \text{ 000}$$

Divisor de frecuencia en FPGA

¿Cuántos bits se requieren para implementar 5208 CLK?

¿Cuántos bits se requieren para implementar 50, 000 000 CLK?

$$\text{Bits} = \frac{\text{Log}(n^{\circ} \text{ CLK})}{\text{Log}(2)}$$

Divisor de frecuencia en FPGA

¿Cuántos bits se requieren para implementar 5208 CLK?

$$\text{Bits} = \frac{\text{Log}(5208)}{\text{Log}(2)} = 12$$

Bits = 12

¿Cuántos bits se requieren para implementar 50, 000 000 CLK?

$$\text{Bits} = \frac{\text{Log}(50, 000 000)}{\text{Log}(2)} = 25$$

Bits = 25

Divisor de frecuencia en FPGA

¿Cuántos bits se requieren para implementar 5208 CLK?

¿Cuántos bits se requieren para implementar 50, 000 000 CLK?

$$\text{Bits} = \frac{\text{Log}(5208)}{\text{Log}(2)} = 12$$

Log(5208)

Una señal cuadrada asimétrica tiene la mitad de señal en estado bajo y la mitad en estado alto

MATERIAL Y EQUIPO

- Programa con software [Quartus II], o el propuesto por el profesor.
- Descargar el tutorial de Verilog.
- Tarjeta FPGA [EP2C5T144C8N], o la propuesta por el profesor.
- Programador.
- Cable de polarización
- Protoboard
- 3 diodos emisores de luz (led).
- 3 resistencias de 330 Ω a ½ watt
- Jumpers macho-macho

DESARROLLO

- 1) Con ayuda del ejemplo divisor de frecuencia en Quartus II, realizar el divisor de frecuencia para los 50, 000 000 CLK que requiere el FPGA.
- 2) Con ayuda del divisor de frecuencia realizar la simulación de un semáforo.



CONCLUSIONES

Escriba sus conclusiones de esta práctica.

Bibliografía y Referencias

- ✓ UNITRON. (26 de 07 de 2015). *Electro Digital*. Obtenido de Electro digital: <http://unitrondigital.blogspot.com>
- ✓ Hackeando Tec. (19 de 08 de 2015). *Circuitos logicos para generar retardos en Verilog*. Obtenido de :
<https://www.youtube.com/watch?v=Op7-BSwrads>
- ✓ Ediciones-sm. (14 de 02 de 2012). *Frecuencia y periodo*. Obtenido de :
<https://www.youtube.com/watch?v=XYO31ez7jNs>
- ✓ A Electronic. (18 de 03 de 2018). *Divisor de Frecuencia VHDL primera parte*. Obtenido de :
<https://www.youtube.com/watch?v=n0ja-dEtmsA>