



**UNIVERSIDAD NACIONAL AUTÓNOMA DE  
MÉXICO**

**FACULTAD DE ESTUDIOS SUPERIORES  
ARAGÓN**

**INGENIERÍA EN COMPUTACIÓN**

**Laboratorio de diseño lógico**

**Practica 2:**

**Reporte**

MARIACA VAZQUEZ ENRIQUE  
SALVADOR ARRIETA JAIR ARGEL  
LANDEROS CARPINTEYRO RICARDO  
PRIETO ROJAS ISRAEL

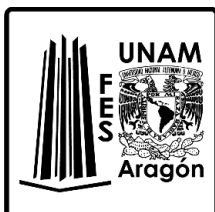
Grupo: 0821

2024-I

TURNO MATUTINO

PROFESOR. PATIÑO RODRIGUEZ RAMON

Fecha de entrega 05 de septiembre de 2023



**Practica:** Reducción de circuitos.

**Objetivo General:** Construir un circuito de control para una lámpara ahorradora de luz utilizando compuertas básicas.

**Enunciados a desarrollar:**

1. Armaremos el circuito de la figura 2.2 y la llevaremos a clase para probarlo con asesoría del profesor.
2. Leeremos y entenderemos el enunciado descrito en la práctica, realizando su tabla de verdad, simplificándola con ayuda de la algebra de Boole y realizando el circuito. Requerimientos:  
*“Diseñe un circuito que controle una lámpara ahorradora con las siguientes características. Tiene la opción de estar encendida de forma manual desde un contacto, adicionalmente tiene un sensor de movimiento y un contador que lleva el control de la hora, los cuales encienden la lámpara solo si los dos están accionados”.*
3. Del enunciado anterior, simplifique la función con ayuda de los mapas de Karnaugh.

## Diagramas:

- Compuerta AND:

## CIRUITO INTEGRADO

### Características técnicas

Parámetro: 7408

Tensión de Cashampeo  $V_{cc}$ :  $5 \pm 0.25$

Tensión de entrada nivel rodilla  $V_{IH}$ : 2.0 a 5.5

Tensión de entrada nivel janiwi  $V_{IL}$ : -0.5 a 0.8

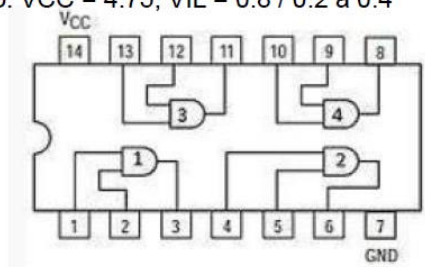
Tensión de salida nivel alto  $V_{OH}$  condiciones de funcionamiento:  $V_{CC} = 4.75$ ,  $V_{IH} = 2.0 / 2.4$  a 3.4

Tensión de salida nivel bajo  $V_{OL}$  condiciones de funcionamiento:  $V_{CC} = 4.75$ ,  $V_{IL} = 0.8 / 0.2$  a 0.4

Corriente de salida nivel alto  $I_{OH}$ : máx -0.8

Corriente de salida nivel bajo  $I_{OL}$ : máx 16

Tiempo de propagación: 15.0



10/08/2021

Todos los derechos reservados Facultad de Estudios Superiores Aragón

24

- Compuerta OR:

## CIRUITO INTEGRADO

### Características técnicas

Pin 1: la entrada A1 de la compuerta 1.

Pin 2: la entrada B1 de la compuerta 1.

Pin 3: aquí veremos el resultado de la operación de la primera compuerta.

Pin 4: la entrada A2 de la compuerta 2.

Pin 5: la entrada B2 de la compuerta 2.

Pin 6: aquí veremos el resultado de la operación de la segunda compuerta.

Pin 7: normalmente GND: Es el polo negativo de la alimentación, generalmente tierra.

Pin 8: aquí veremos el resultado de la operación de la tercera compuerta.

Pin 9: la entrada B3 de la compuerta 3.

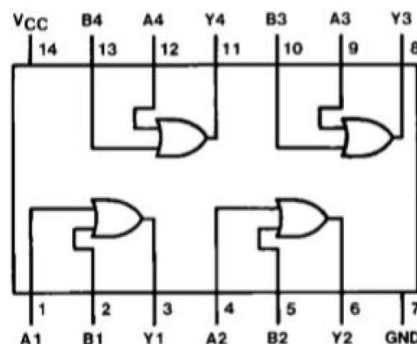
Pin 10: la entrada A3 de la compuerta 3.

Pin 11: aquí veremos el resultado de la operación de la cuarta compuerta.

Pin 12: la entrada B4 de la compuerta 4.

Pin 13: la entrada A4 de la compuerta 4.

Pin 14: normalmente VCC: Es el polo positivo de la alimentación.



10/08/2021

Todos los derechos reservados Facultad de Estudios Superiores Aragón

37

- Compuerta NOT:



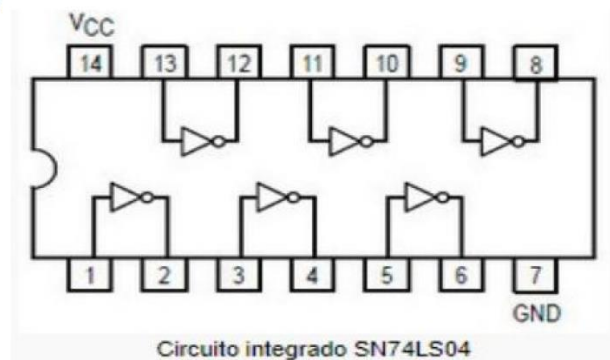
## CIRUITO INTEGRADO

Las patas de entrada son: 2, 4, 6, 8, 10, 12

Las patas de Salida son: 1, 3, 5, 9, 11, 13

Pin 7: normalmente GND

Pin 14: normalmente VCC.



## Realización de circuitos:

1. figura 2.2

P	Q	R	Z
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Figura 2.1 tabla de verdad

R	0	1
PQ		
00	0	0
01	1	1
11	0	0
10	0	0

$Z = P'Q$

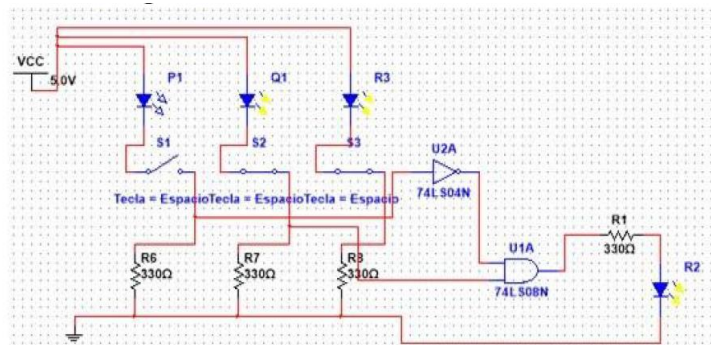
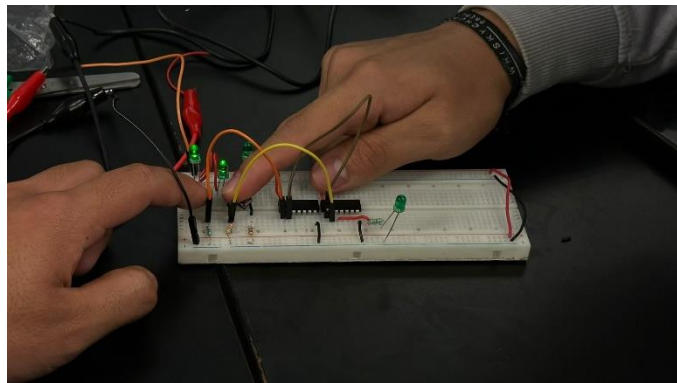
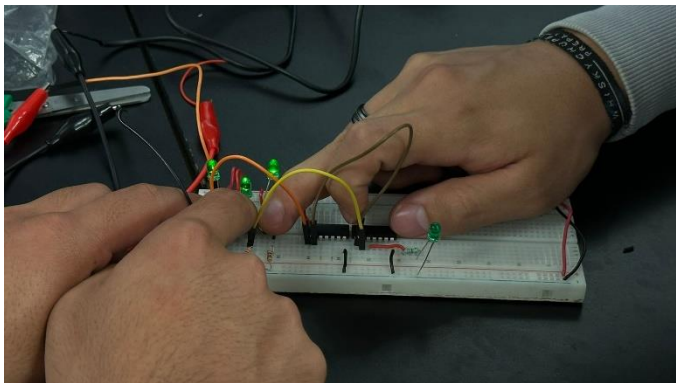
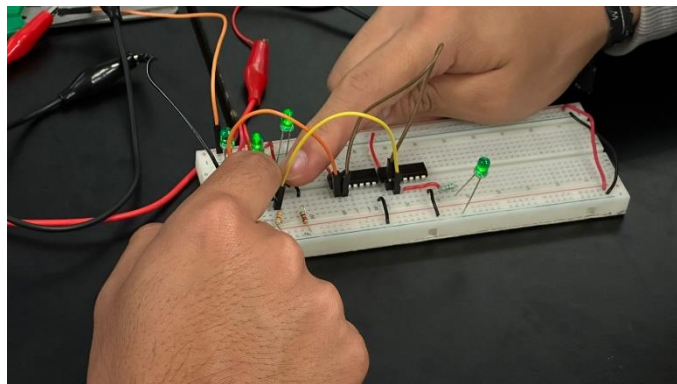
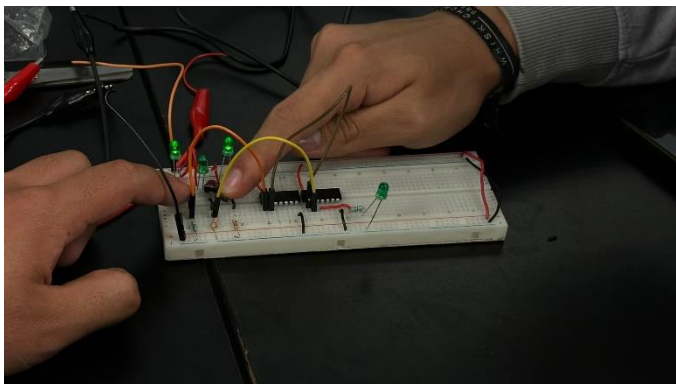
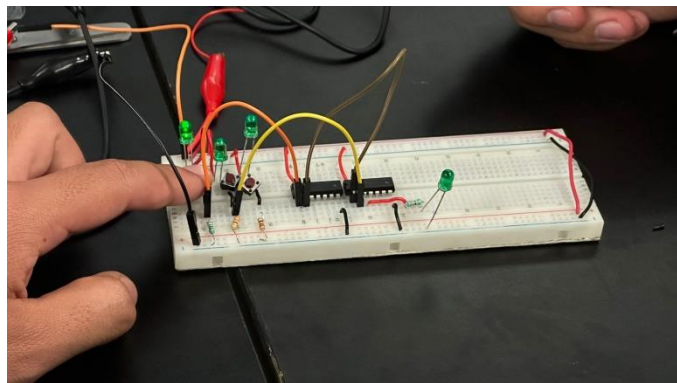
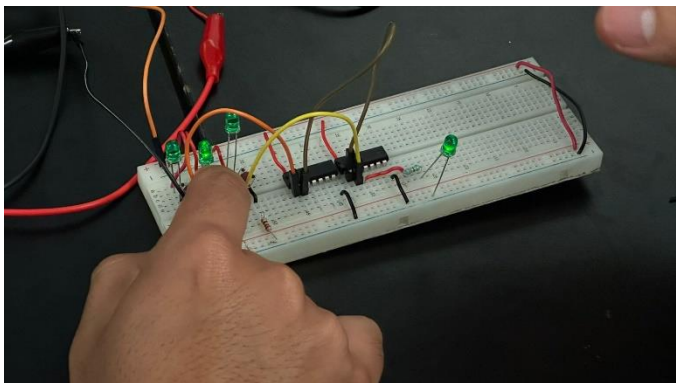
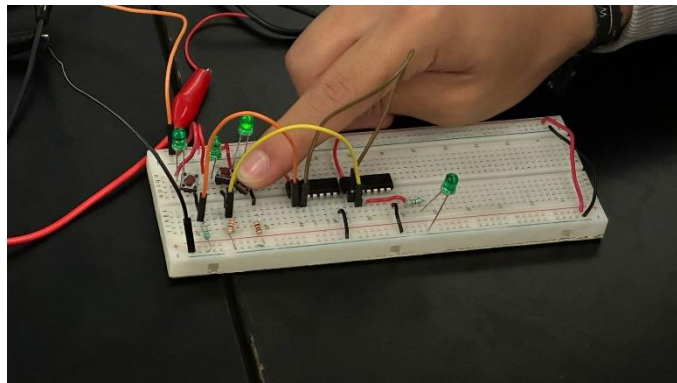
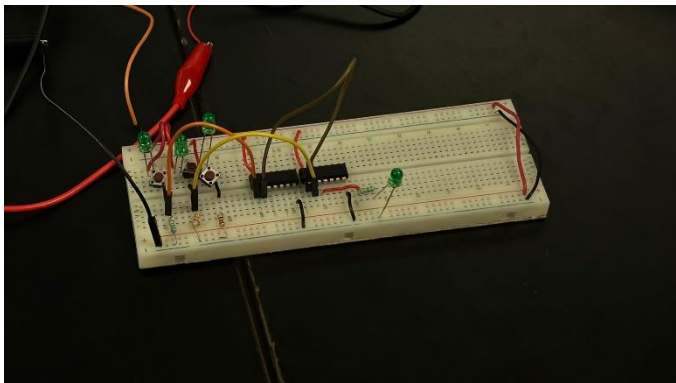
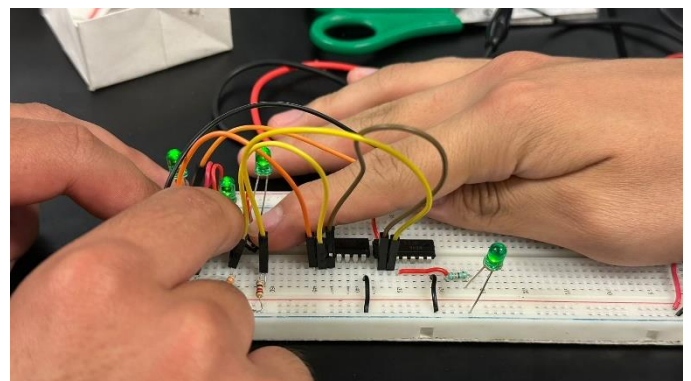
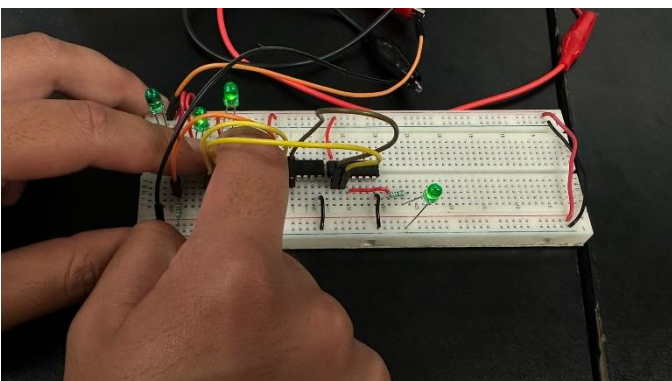
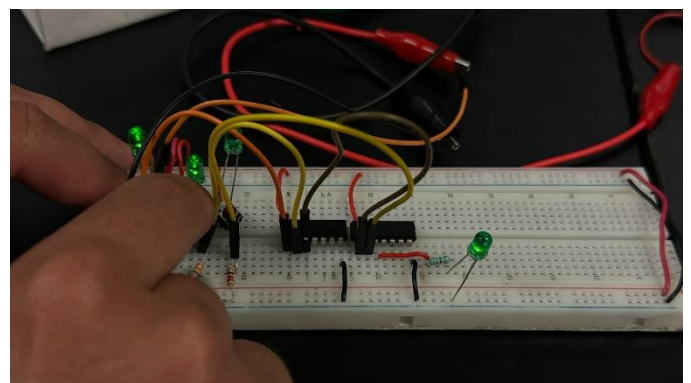
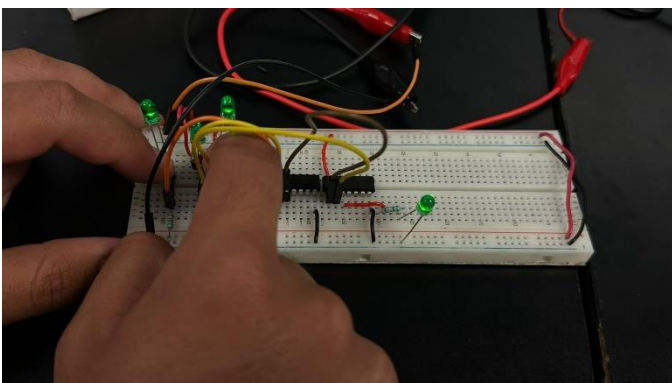
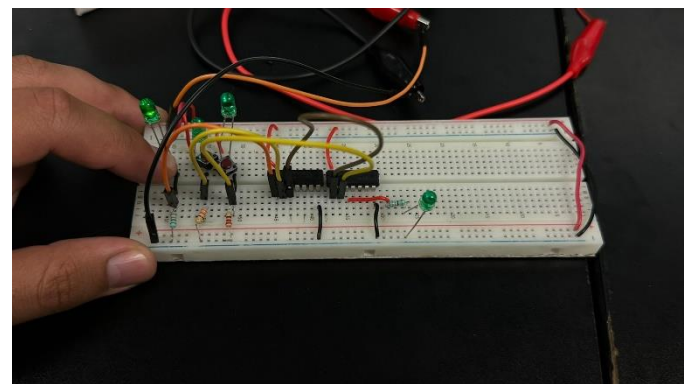
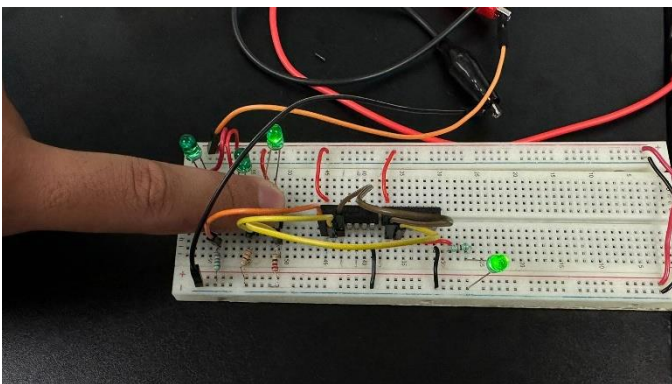
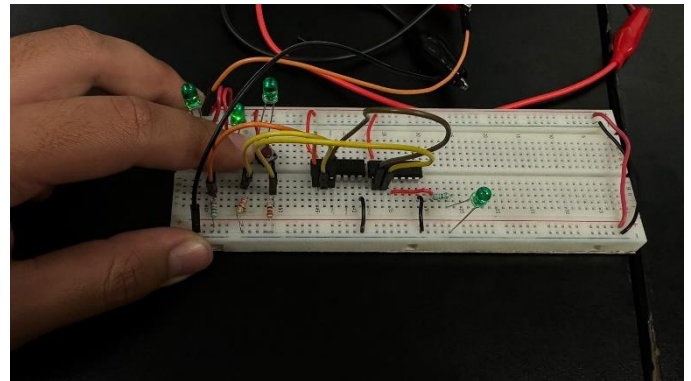
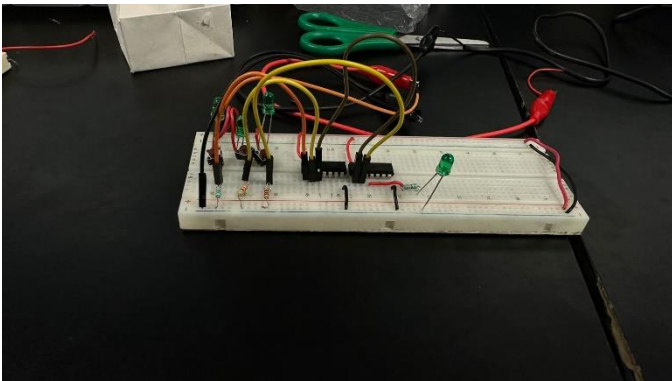


Figura 2.2 Diagrama eléctrico del ejemplo por mapas de Karnaugh.

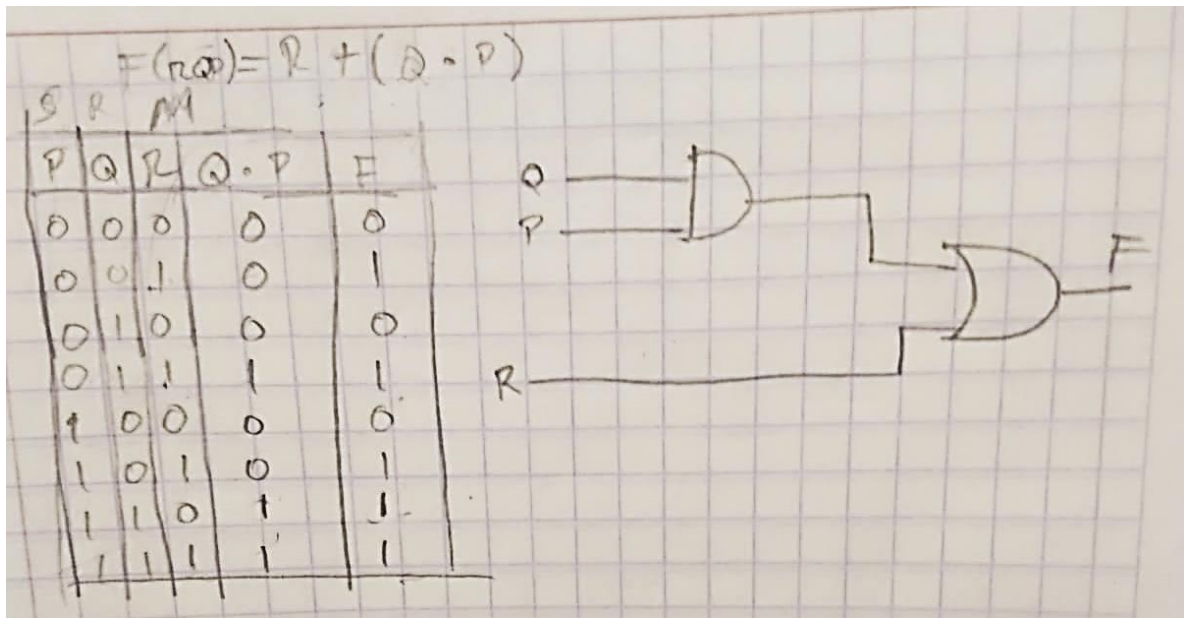




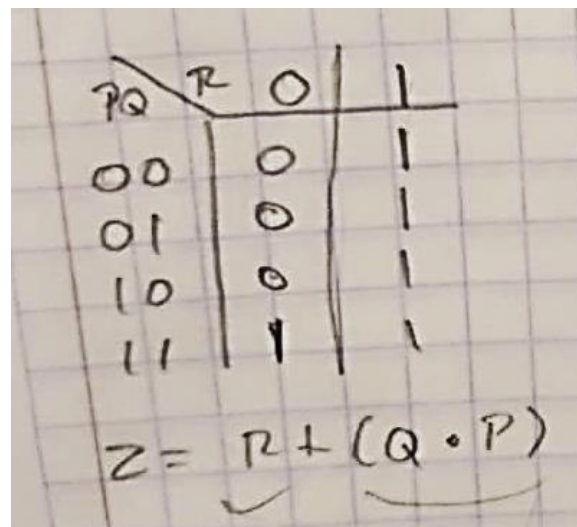
2. Realizar la tabla de verdad del enunciado, simplificándola con ayuda de la algebra de Boole y realizando el circuito.







3. Del enunciado anterior, simplifique la función con ayuda de los mapas de Karnaugh.



## **Conclusiones:**

Con esta práctica nos damos cuenta de que la reducción de circuitos utilizando el mapa de Karnaugh es una herramienta esencial en el diseño y optimización de circuitos lógicos. Esta técnica permite simplificar expresiones booleanas complicadas, lo que resulta en circuitos más eficientes en términos de recursos, como puertas lógicas y conexiones, que, aunque el circuito de la lámpara no es tan complejo, nos ayudó a visualizar la importancia de este. Al minimizar el número de componentes electrónicos necesarios, se reduce el consumo de energía, el costo de producción y la probabilidad de errores en el circuito. Además, la simplificación con el mapa de Karnaugh facilita la comprensión y el mantenimiento del diseño, lo que es crucial en proyectos electrónicos de cualquier escala, en el caso de la lámpara, para poder llevar el control deseado, tanto de manera manual, como con los sensores.

En resumen, la reducción de circuitos con el mapa de Karnaugh es una práctica esencial para mejorar la eficiencia, la fiabilidad de los sistemas electrónicos y es de suma importancia.