

## Previo Práctica 1.

### 1) Defina con sus palabras los niveles de abstracción en Verilog.

- **Nivel de puerta:** En este nivel, definimos las compuertas básicas bajo un modelo estructural, or, not, and... etc, siendo lo que parece el nivel de diseño más bajo.
- **Nivel de transferencia de registro:** En este nivel definimos los datos de registros o guardados de datos, subiendo un nivel más en comparación con las compuertas básicas.
- **Nivel de comportamiento:** En este nivel diseñaremos el comportamiento de nuestro sistema con las bases de los niveles anteriores.

### 2) Describa los siguientes tipos de procesos.

- **Initial:** Es un proceso que solo se ejecuta una vez, comenzando en el tiempo cero y no es sintetizable.
- **Always:** Es un proceso que se puede ejecutar continuamente en forma de bucle, es sintetizable y puede ser controlada su ejecución por medio de un temporizador, también puede ser ejecutado por eventos.

### 3) Defina y escriba la sintaxis para las asignaciones continuas en Verilog.

Estos son formas de asignación de valores, debe de estar declarada del tipo wire y tiene que ser declarada fuera de cualquier proceso, es decir, fuera de bloques always e initial. Son ejecutadas secuencialmente, pero pueden ser llamadas con temporizadores o eventos.

La sintaxis es:

Assign variable #<delay> = f(wire, reg, constante numérica)