HARMONOGRAM PRACY

Semestr 20L

Adam Drawc

1. Opracowanie struktury repozytorium projektowego.
2. Opracowanie zautomatyzowanego środowiska do symulacji, weryfikacji, syntezy.
3. Środowisko ma wspierać następujące narzędzia:
   1. Symulacja:
      1. Icarus Verilog
      2. Verilator
      3. GTKWave
   2. Weryfikacja:
      1. Funkcjonalna:
         1. Icarus Verilog
         2. Verilator
         3. GTKWave
         4. środowisko cocotb
      2. Formalna:
         1. SymbiYosys (opcjonalnie)
   3. Synteza:
      1. pakiet Yosys (opcjonalnie)
4. Środowisko ma mieć możliwość łatwego rozszerzenia o kolejne narzędzia, w tym komercyjne jak Modelsim, Cadence, Xilinx etc.
5. Opracowanie przykładowego bloku funkcjonalnego wykorzystującego opracowane mechanizmy symulacji, weryfikacji i syntezy.

Notatki:

Proszę zapoznać się z poniższym projektem:

<https://github.com/lowRISC/ibex>

Myślę, że warto zaadaptować ich strukturę katalogów, nazewnictwo, coding style itp.

Odnośnie zintegrowanego środowiska mam na myśli zestaw plików makefile, skryptów itp. który zapewni obsługę całego repozytorium z jednego miejsca.

Np:

make SIMULATOR=icarus BLOCK=dac sim      - uruchamia symulację bloku DAC narzędziem Icarus Verilog

make SIMULATOR=verilator BLOCK=dac sim

make BLOCK=dac TOOL=icarus verify        - weryfikuje funkcjonalnie narzędziem Icarus np. z wykorzystaniem coctb

make BLOCK=all TOOL=icarus verify        - weryfikuje wszystkie dostępne bloki, zapisuje raporty z weryfikacji itp.

make help                                - wypisuje wszystkie opcje sim, verify, wspierane SIMULATOR, wspiera TOOL, wspierane BLOCK etc.

make clean                               - czyści repozytorium z plików tymczasowych