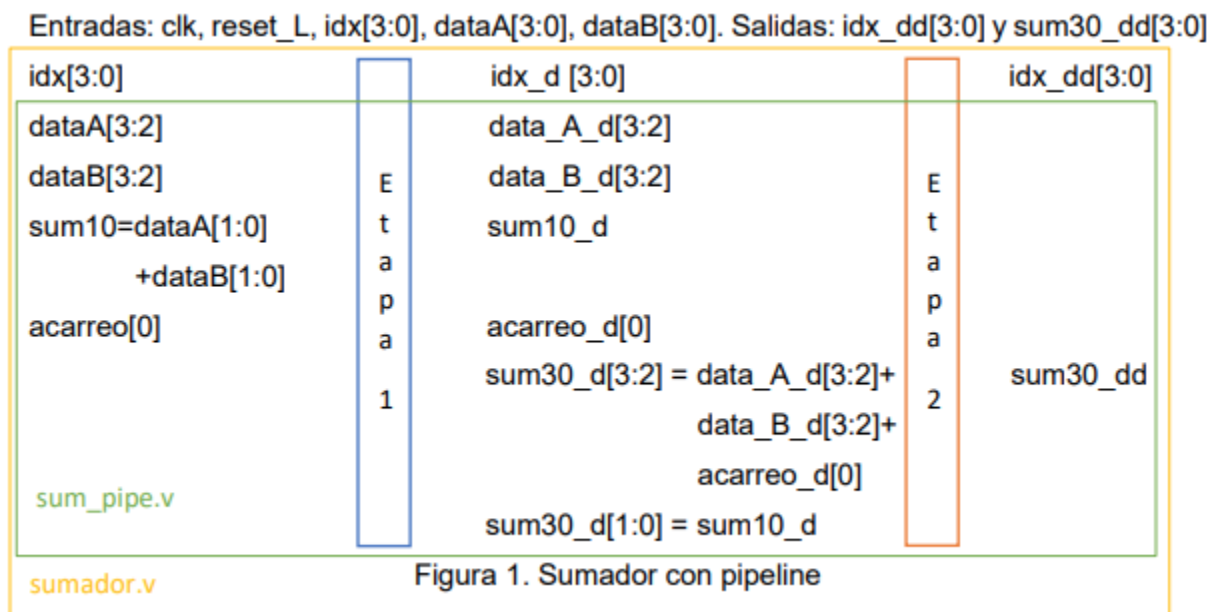


Tarea 9

Distribución de tiempo:

- Búsqueda de información: 47 minutos
- Realización del módulo: 2 hora y media
- Realización de pruebas/testbench: 2 horas con 26 minutos

Diagrama del circuito:



Instrucciones de simulación:

Se descarga el .zip y se descomprime, al hacer esto se necesita guardar los archivos en una carpeta aparte. Al hacer esto, se abre una terminal en dicha carpeta y se escribe el comando make para desplegar los resultados de la simulación en GTKWave.

Resultados obtenidos:

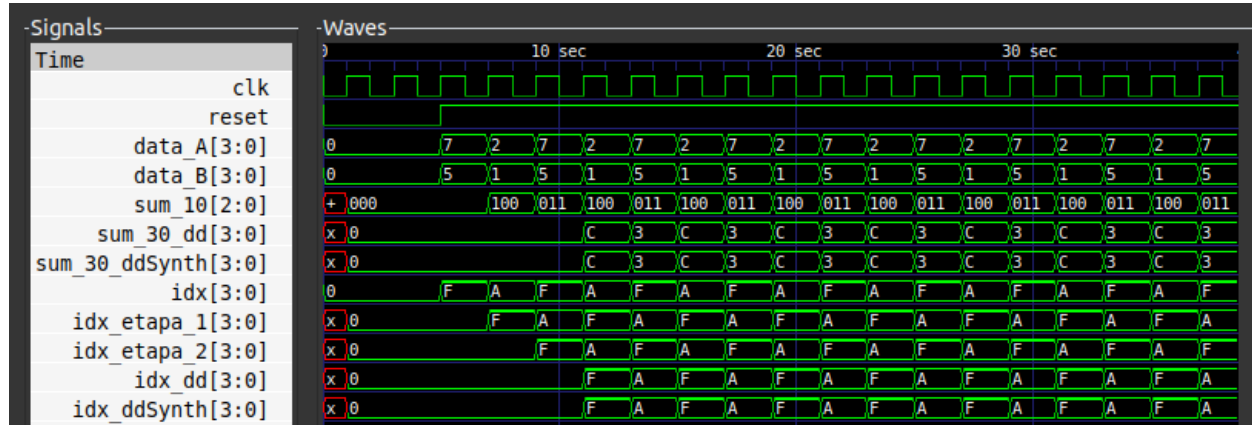


Figura 2. Resultados obtenidos para el sumador.

Análisis y conclusiones:

Nótese de la figura 2 que se logró diseñar el sumador de la manera esperada; los datos de salida se obtienen varios ciclos de reloj después y esto es debido a la técnica de pipelining que se utilizó para dicho sumador y lo mismo ocurre con la señales de identificación llamadas idx. Esta técnica se utilizó para poder aumentar la frecuencia máxima del reloj (al fragmentar los caminos lógicos más largos, se puede poner a funcionar un cierto dispositivo electrónico a una frecuencia más alta).

Asimismo, se tiene que tanto la descripción estructural como la conductual dan exactamente igual, por lo que se puede garantizar que la descripción conductual creada fue implementada de manera correcta y toda su lógica es sintetizable.