

## Tarea 5

### Distribución de tiempo:

- Búsqueda de información: 40 minutos
- Realización del módulo: 1 hora y media
- Realización de pruebas/testbench: 5 horas con 26 minutos

### Diagrama del circuito:

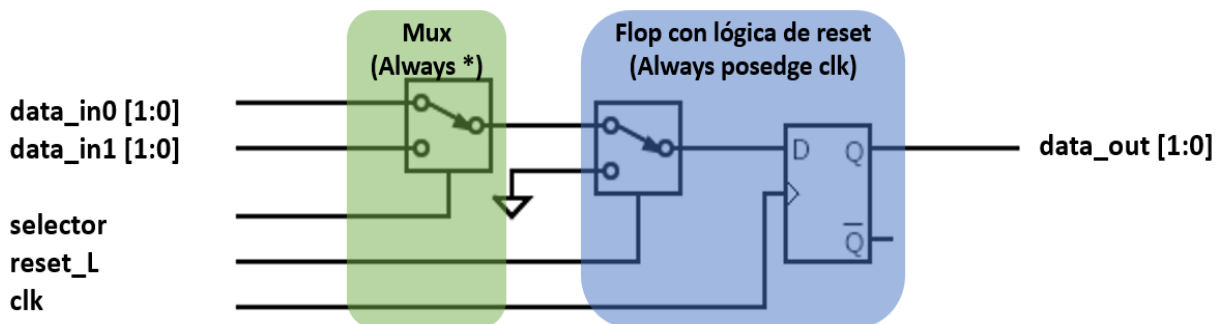


Figura 1. Esquemático del circuito a sintetizar.

### Plan de pruebas:

Primero, se ideó un testbench y un probador para la descripción estructural genérica (RTLIL) para ver su comportamiento. Luego, se hizo lo mismo para la descripción estructural creada a partir de la librería cmos\_cells. Por último, se realizaron pruebas para corroborar la funcionalidad de la descripción estructural anterior (con el mapeo tecnológico) pero esta vez agregándole retardos a las compuertas de la librería.

### Instrucciones de utilización de la simulación:

Se descarga el .zip y se descomprime, al hacer esto se necesita guardar los archivos en una carpeta aparte. Al hacer esto, se abre una terminal en dicha carpeta y se escribe el comando make para desplegar los resultados de la simulación en GTKWave.

## Resultados obtenidos:

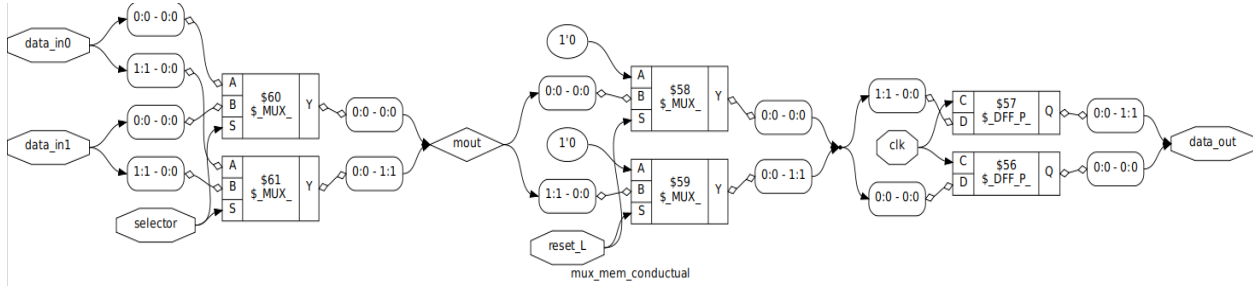


Figura 2. Diagrama esquemático de la descripción estructural genérica del MUX.

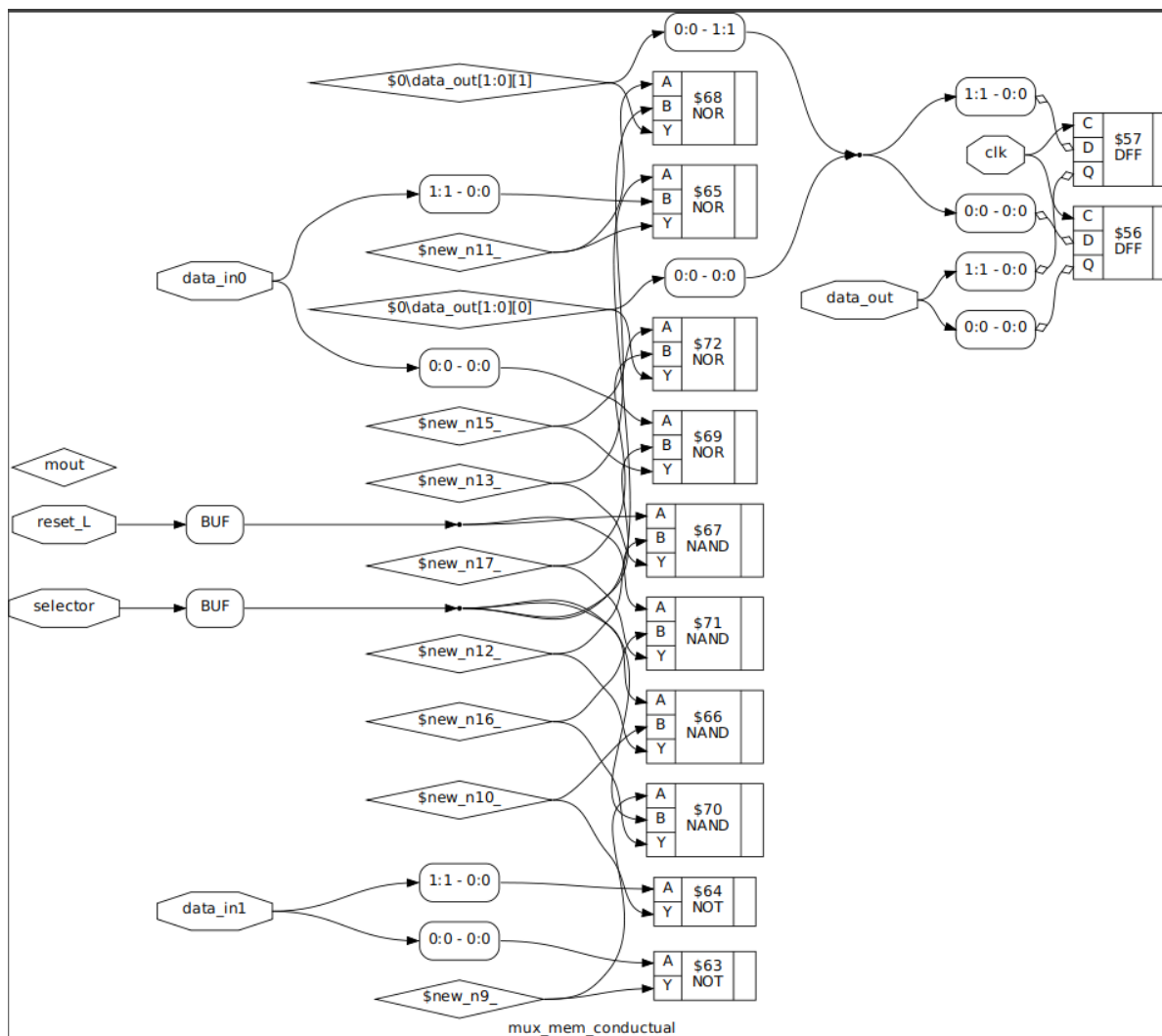


Figura 3. Diagrama esquemático de la descripción estructural sintetizada del MUX (utilizando librería cmos\_cells).

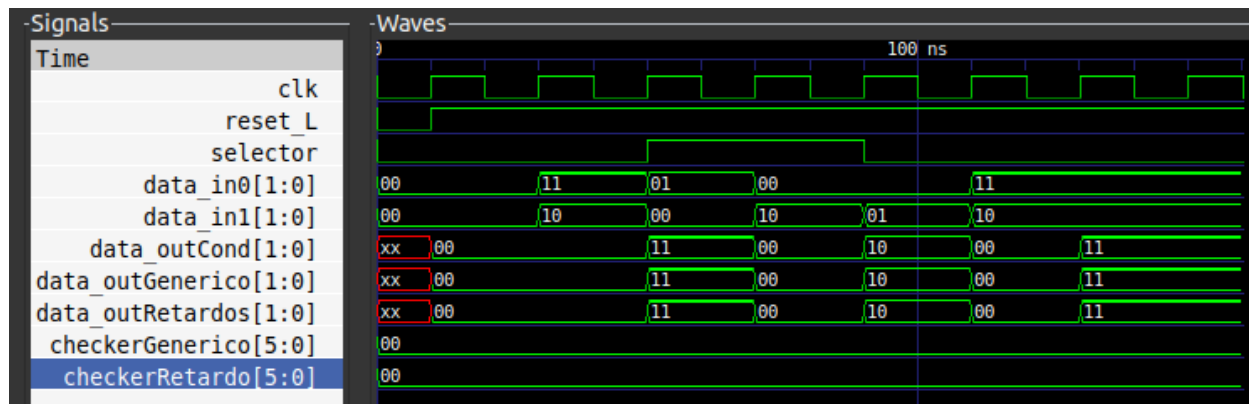


Figura 4. Comparación entre descripción conductual, estructural genérica y estructural con mapeo tecnológico.

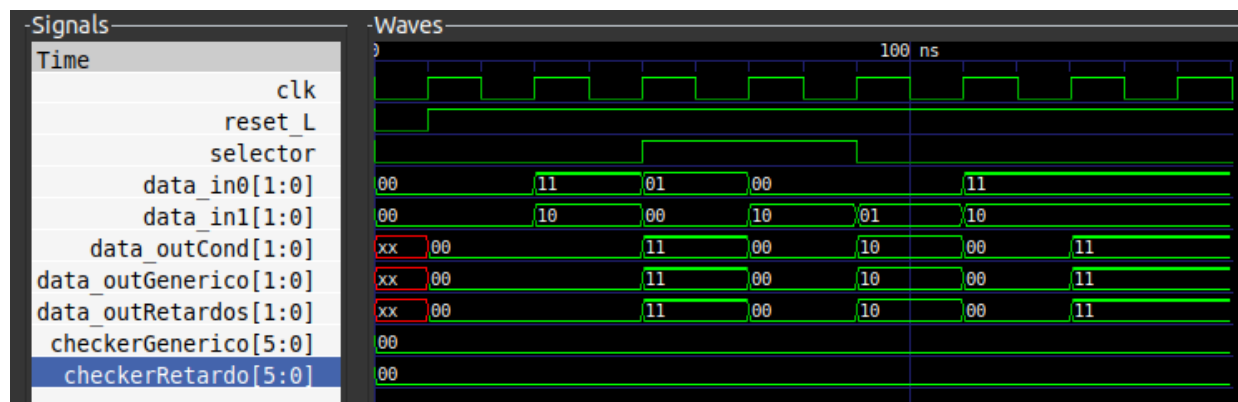


Figura 5. Comparación entre descripción conductual, estructural genérica y estructural con mapeo tecnológico (con retardos añadidos).

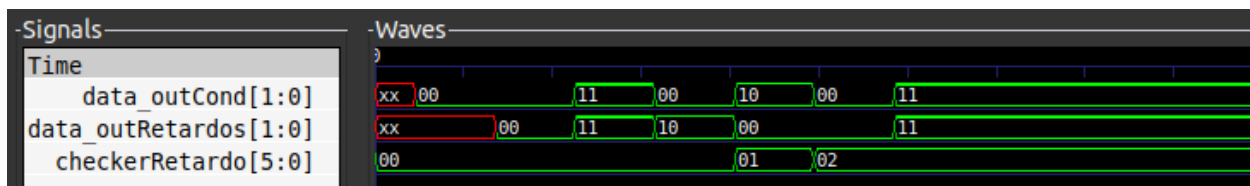


Figura 6. Pruebas realizadas para las descripciones en la frecuencia máxima de operación.

## Análisis y conclusiones:

La figura 4 y 5 muestran que, a pesar de que las descripciones de los módulos para los MUXES son diferentes, los resultados obtenidos para las diversas descripciones correctos; tanto la descripción genérica como la sintetizada a partir de la librería `cmos_cells` (ya sea con o sin retardos incluidos) se comportan igual que la conductual.

A la hora de añadir los retardos a la librería de componentes, se va a tener una fuente de error y esta corresponde a la frecuencia. Las descripciones funcionan de la misma manera a bajas frecuencias, pero a medida que se sube la frecuencia del reloj, la descripción con retardos empieza a ser más propensa a fallos en el comportamiento lógico debido a los retardos de las compuertas que fueron utilizadas para construir el módulo del multiplexor. La figura 6 expone a la luz lo dicho anteriormente; nótese que la descripción sintetizada con retardos empieza a arrojar valores erróneos en la salida debido al aumento en frecuencia. La frecuencia máxima de operación de dicha descripción es de aproximadamente 110,375 Mhz, y esta se encontró al subir y bajar la frecuencia múltiples veces hasta llegar al punto en el que el modelo estructural se quiebra.

De la figura 3 se puede observar la cantidad de componentes utilizados para construir la descripción estructural; en total se utilizaron 12. Si se toman como referencia los precios de los componentes adjuntos en la tarea 3-4 (aproximando que los precios de las NAND y las NOR son parecidos a los de las AND y OR) y estimando que mi mano de obra cuesta \$200/h, se tiene que el costo total del diseño es de unos \$ 1540.

Por último, cabe destacar que realizar el proceso de síntesis fue mucho más placentero al realizarlo con Yosys en vez de hacerlo manualmente, esto debido a la simplicidad y exactitud de la herramienta.