

# 西安交通大学考试题

成绩	
----	--

课 程 数字逻辑电路 期中  期末

系 别 计算机 考试日期 年 月 日

专业班号 \_\_\_\_\_ 姓 名 \_\_\_\_\_ 学号 \_\_\_\_\_。

题号	一	二	三	四	总分
得分					

## 考试注意事项

1. 请在试题纸、答题纸和草稿纸上认真填写专业班号、姓名和学号。
2. 答案写在答题纸上，可使用背面，否则一律无效；答案前标明题号，卷面要求整齐整洁。
3. 交卷时，请将试题纸、答题纸、草稿纸依次折叠整齐，正面朝上一并上交。

### 一、填空题（每题 2 分，共 20 分）：

1.  $(2009)_{16} = ( \quad )_2 = ( \quad )_8$

2. 已知数为  $-\frac{11}{256}$ ，则其反码为 \_\_\_\_\_；补码为 \_\_\_\_\_。

3.  $83.5 = ( \quad )_{BCD} = ( \quad )_{2421}$

4. 函数  $F = \overline{A}(\overline{B} + \overline{C})(A + \overline{B} + C)(\overline{A}\overline{B}\overline{C})$

则函数 F 的最简与或式 = \_\_\_\_\_，函数 F 的最简或与式 = \_\_\_\_\_。

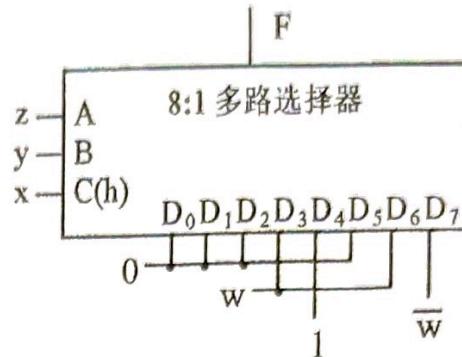
5. 函数  $F = \overline{B}\overline{C} + \overline{A}BC$ ，直接使用基本规则  $\overline{F} = ( \quad )$ ， $F' = ( \quad )$ 。

6. 如果输入无反变量，将函数  $F = (\overline{A}B + A\overline{C} + A\overline{B})$  用最少的与非门实现的逻辑表达式为：\_\_\_\_\_ 使用的与非门数量为：\_\_\_\_\_。

7. ROM 根据其内部结构可分为：\_\_\_\_\_。

8. 已知信息位为 1001，则收到的正确的海明码应当是\_\_\_\_\_。

9. 试写出如图所示电路实现的  $F(w, x, y, z) = \sum m(\underline{\hspace{2cm}})$ 。



(题一.9 图)

10. 同步时序电路与脉冲异步时序电路的相同点是：

(1) \_\_\_\_\_ (2) \_\_\_\_\_。

## 二、选择题：（每题答案可能有多个，每题 4 分，共 20 分）

1. 符合三变量  $m_3$  的相邻最小项，有下列 \_\_\_\_\_ 说法成立。

- A. 共有 3 个相邻最小项      B. 共有 4 个相邻最小项  
C. 相邻项为  $m_1, m_2, m_7$       D. 相邻项为  $m_2, m_4, m_7$

2. 函数  $F_1 = ABC + \bar{B}C + B\bar{C}$ 。

$$F_2 = A B + \bar{A}C$$

$$F_3 = (A + B)(\bar{B} + C) + \bar{B}$$

则有 \_\_\_\_\_。

- A. 三个函数都有静态险象      B.  $F_1$  有逻辑险象  
C.  $F_2$  无功能险象      D.  $F_3$  有动态险象

3. 由六个 D 触发器构成的自恢复扭环移位寄存器的计数模是 \_\_\_\_\_。

- A. 64      B. 32      C. 12      D. 6

4. 在完全给定状态表的化简中，应考虑：\_\_\_\_\_。
- 状态之间的相容性
  - 输入输出情况
  - 每个最大等效类构成一个新状态
  - 次态情况
5. 利用译码器可实现 1-8 数据分配器，则电路有 \_\_\_\_\_。
- 8 个数据输出信号
  - 3 个数据输入信号
  - 4 个地址输入信号
  - 1 个数据输入信号

### 三、简答题：（每题 3 分，共 15 分）

- 用代数法证明： $AB+BC+CA = (A+B)(B+C)(C+A)$
- 简述 GAL 器件的主要特点。
- 组合逻辑电路的描述方法有哪些？
- 简述组合 PAL 器件的输出结构及其具有三态功能的编程方式。
- 画出消除险象的卡诺圈（极大圈）

(1)

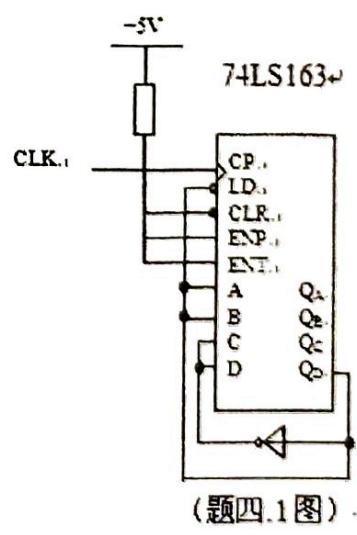
		1*	1*
		1*	1*
1*		1*	1*
1*			1*

(2)

0*	0*	0*	0*
	0*	0*	
0*	0*	0*	
0*			

### 四、分析题：（共 20 分）

1. 试分析右图所示的电路。（10 分）



(题四.1图)

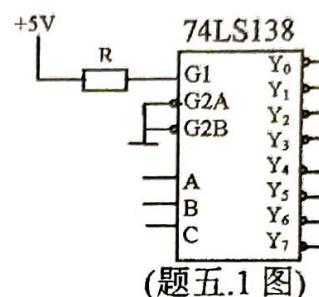
2. 使用 D 触发器设计循环电路 ( $Q_4Q_3Q_2Q_1$ )  $0001 \rightarrow 0010 \rightarrow 0100 \rightarrow 1000 \rightarrow 0001$ , 并画出完整(所有状态)的状态图和电路图。有挂起, 请修正  $Q_1$  解决之, 写出详细步骤。注: 不可使用 D 触发器的置位及复位端 (10 分)

### 五、设计题: (共 25 分)

1. 用左图 74LS138 及与非门实现

下列多输出函数。(10 分)

$$\left\{ \begin{array}{l} F(X, Y, Z) = \prod m^3(0, 1, 2, 4, 5, 7) \\ G(Z, Y, X) = \sum m^3(2, 7) \end{array} \right.$$



(题五.1 图)

2. 用 JK 触发器设计下图所示完全确定的原始状态表所对应的电路, 并分析结果。写出详细步骤(状态使用  $Q_2Q_1$ )。(15 分)

S \ X	0	1
A	A/1	B/0
B	C/0	A/0
C	C/0	B/0
D	D/1	E/0
E	C/0	D/0

(题五.2 图)  $S^{n+1}/Z$

## 西安交通大学考试题

成绩	
----	--

课 程 数字逻辑电路 期中  期末 系 别 计算机 考试日期 年 月 日

专业班号 \_\_\_\_\_ 姓 名 \_\_\_\_\_ 学 号 \_\_\_\_\_

题号	一	二	三	四	总分
得分					

## 考试注意事项

1. 请在试题纸、答题纸和草稿纸上认真填写专业班号、姓名和学号。
2. 答案写在答题纸上，可使用背面，否则一律无效；答案前标明题号，卷面要求整齐整洁。
3. 交卷时，请将试题纸、答题纸、草稿纸依次折叠整齐，正面朝上一并上交。

## 一、填空题（每题 2 分，共 20 分）：

1.  $2010 = ( \quad )_{16} = ( \quad )_2$

2. 已知数为  $-\frac{7}{128}$ ，则其原码为 \_\_\_\_\_；补码为 \_\_\_\_\_。

3.  $84.86 = ( \quad )_{2421} = ( \quad )_{\text{余三码}}$

4. 一个逻辑完备组是由 \_\_\_\_\_ 构成的，

某个逻辑的完备性是指能用该逻辑来等效地实现 \_\_\_\_\_。

5. 对偶函数的定义是 \_\_\_\_\_；所谓对偶规则是：\_\_\_\_\_。

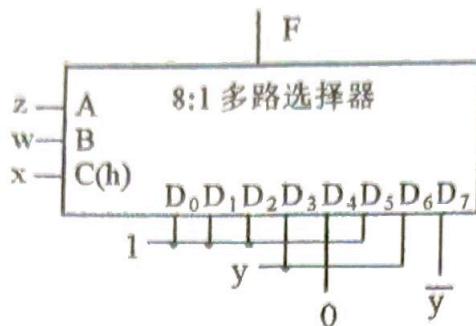
6. 如果输入无反变量，将函数  $F(A,B,C) = \sum m(1,3,5,6)$  用最少的与非门实现

的逻辑表达式为：\_\_\_\_\_ 使用的与非门数量为：\_\_\_\_\_。

7. 只读存储器 ROM 可编程的是 \_\_\_\_\_ 阵列，不可编程的是 \_\_\_\_\_ 阵列。

8. 已知海明码 0101010，则它的“8421”码是\_\_\_\_\_。

9. 试写出如图所示电路实现的  $F(w, x, y, z) = \sum m( \dots )$ 。



(题一.9图)

10. 在脉冲异步时序电路的设计中，当无输入时，CLK 卡诺图中对应列填\_\_\_\_，输出卡诺图中对应列填\_\_\_\_；次态与现态相同时，CLK 卡诺图中对应列填\_\_\_\_；次态与现态不同时，CLK 卡诺图中对应列填\_\_\_\_。

## 二、选择题：（每题答案可能有多个，每题 4 分，共 20 分）

1. 对于函数  $F(A, B, C) = AB + AC$ ，下列 \_\_\_\_\_ 说法成立。

- A.  $F(A, B, C) = \prod M(0, 1, 2, 3, 4)$       B. 该函数的  $m_0 = m_1 = m_5 = 0$   
C. 该函数的  $m_5 = m_6 = m_7 = 1$       D. 三变量的所有最小项（8个）之和为1

2. 下列叙述正确的有：\_\_\_\_\_。

- A. 功能险象有静态0现象和静态1现象  
B. 增加多余项只能消除逻辑险象，不能消除功能险象  
C. 在两级“与或”电路中只可能出现静态0现象  
D. 在两级“与非—与非”电路中只可能出现静态1现象

3. 在由四个D触发器构成的自恢复扭环移位寄存器  $(Q_4, Q_3, Q_2, Q_1)$  中，如果为了“解挂”仅考虑改变  $Q_4$  的输入  $D_4$ ，则  $D_4 = \dots$ 。

- A.  $Q_4 Q_3 + Q_3 Q_2$       B.  $Q_4 Q_3 + Q_1 Q_3$       C.  $\bar{Q}_1 Q_3 + Q_3 Q_2$       D.  $Q_1 Q_3 + Q_3 Q_2$

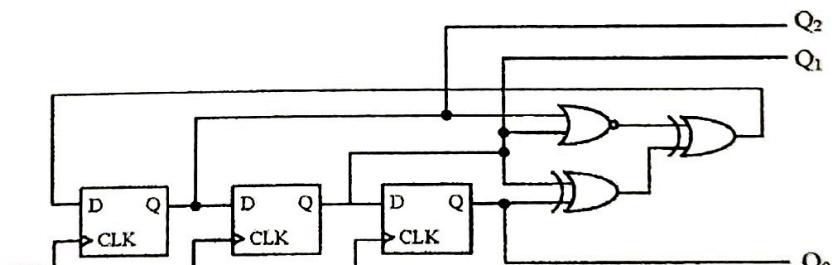
4. 在不完全给定状态表的化简中，应考虑：\_\_\_\_\_。
- A. 状态之间的等效性 B. 闭合性是指所产生的次态应属于相应的相容类集  
 C. 每个最大相容类一定构成一个新状态 D. 输入输出情况
5. 在实验环境中，如果不使用其他逻辑器件，最少需要用\_\_\_\_\_3-8译码器实现一个5-32二进制译码器。其中3-8译码器有一个低有效和两个高有效的使能端。
- A. 3个 B. 4个 C. 5个 D. 6个

### 三、简答题：（每题3分，共15分）

1. 简述（两条）引端有效级变换规则及目的。
2. 简述 ROM 的分类。
3. 简述逻辑函数的表示方法和化简方法。
4. 简述组合 PAL 与时序 PAL 器件的基本结构及其区别。
5. 简述逻辑流程图与 ASM 图之间的主要区别。

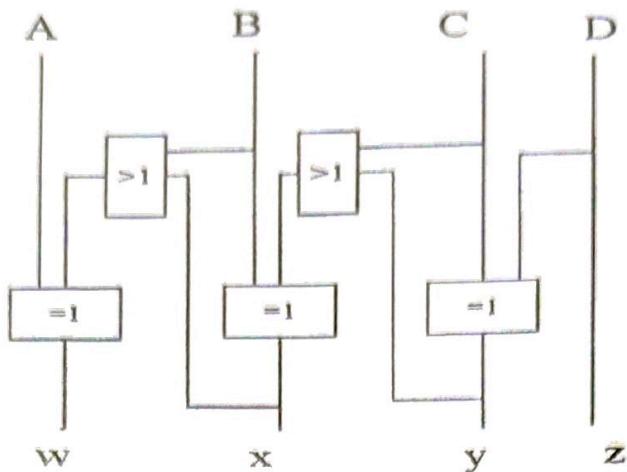
### 四、分析题：（共20分）

1. 分析如图所示同步电路。写出激励方程，激励/转换表及状态输出表。  
 设对应  $Q_0Q_1Q_2=000 \sim 111$  的状态名分别为 A~H。（10分）



(图四.1)

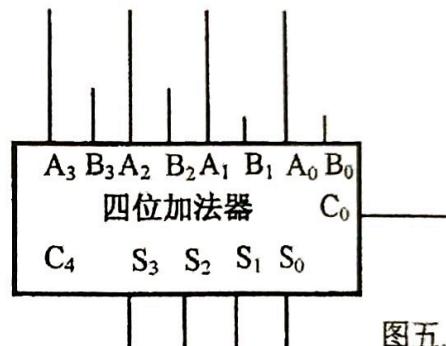
2. 下图所示的电路是两种编码的转换器 ( $ABCD \rightarrow wxyz$ )，试分析两种编码之间的关系。 (10 分)



图四.2

### 五、设计题：(共 25 分)

1. 试用一个四位二进制加法器 74LS283 实现 BCD 码到典型格雷码 (0000 ~ 1101) 的转换。(图五.1) (10 分)



图五.1

2. 用 JK 触发器设计下图所示不完全确定的原始状态表所对应的电路，并分析结果。写出详细步骤。 (15 分)

<u>S</u>	<u>x</u>	0	1
A		B/d	C/0
B		d/d	E/1
C		D/1	E/d
D		A/0	C/d
E		B/1	C/d

图五.2 8

西安交通大学考试题

成绩

课 程 数字逻辑电路

期中

期末

系 别 计算机 考试日期 年 月 日

专业班号 \_\_\_\_\_ 姓 名 \_\_\_\_\_ 学号 \_\_\_\_\_

题号	一	二	三	四	五
得分					

考试注意事项

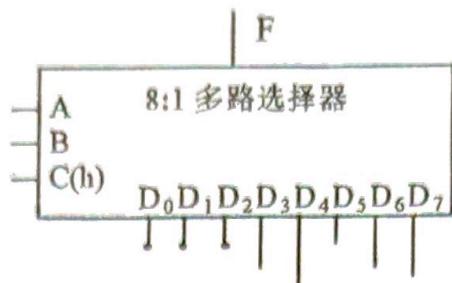
1. 请在试题纸、答题纸和草稿纸上认真填写专业班号、姓名和学号。
2. 答案写在答题纸上，可使用背面，否则一律无效；答案前标明题号，卷面要求整齐整洁。
3. 交卷时，请将试题纸、答题纸、草稿纸依次折叠整齐，正面朝上一并上交。

一、填空题（每题 2 分，共 20 分）：

1.  $(201.1)_3 = ( \quad )_{10}$  (小数点后 1 位)  $= ( \quad )_2$
2. 逻辑函数的基本规则有 \_\_\_\_\_。
3. 静态险象按其产生的条件可分为： \_\_\_\_\_ 和 \_\_\_\_\_。
4.  $91 = ( \quad )_{8421} = ( \quad )_{2421}$
5. 电路状态等效是指：设  $S_1$  和  $S_2$  是完全给定序时电路  $M_1$  和  $M_2$  的两个状态，作为初态同时加入 \_\_\_\_\_ 输入序列，所产生的输出序列 \_\_\_\_\_。
6. 由四个 D 触发器构成的自恢复环型计数器  $(Q_4, Q_3, Q_2, Q_1)$ ，其计数状态为：0111, 1011, 1101, 1110；则  $D_1 = \underline{\hspace{2cm}}$ ,  $D_2 = \underline{\hspace{2cm}}$ ,  $D_3 = \underline{\hspace{2cm}}$ ,  $D_4 = \underline{\hspace{2cm}}$ 。
7. 逻辑电路的特性是接收输入信号且产生 \_\_\_\_\_。

8. 时序电路的状态是状态变量的集合，它在任何时刻的值都包含所有的对确定电路将来行为所\_\_\_\_\_。

9. 试完成下图电路实现的  $F(w, x, y, z) = \sum m(1, 3, 4, 6, 8, 9, 10, 11)$



题一.9 图

10. 异步时序电路状态的改变是由\_\_\_\_\_引起的。根据状态改变的方式不同，可分为\_\_\_\_\_和\_\_\_\_\_。

## 二、选择题：（每题答案可能有多个，每题 4 分，共 20 分）

1. 对于真值为 0 的数，在 8 位二进制数中，下列\_\_\_\_\_成立。

- A. 原码为 (10000000)
- B. 补码为 (00000000)
- C. 反码为 (11111111)
- D. 原码为 (00000000)

2. 下列能构成逻辑完备组的运算（门）有：\_\_\_\_\_。

- A. 与、或、非
- B. 与或非
- C. 异或
- D. 与非

3. 关于“相邻状态分配法”，下列\_\_\_\_\_说法是正确的。

- A. 令状态表中出现最多的状态的二进制编码全为 0
- B. 次态表达式最简，通常所得到的激励函数的表达式也最简
- C. 应使出现在二进制状态表中的“0”尽可能地少
- D. 基于得到最简的次态和输出函数表达式

4. 对于 PLD，或阵列可编程的有：

- A. ROM
- B. PAL
- C. PLA
- D. GAL

5. 数字系统的描述工具有：

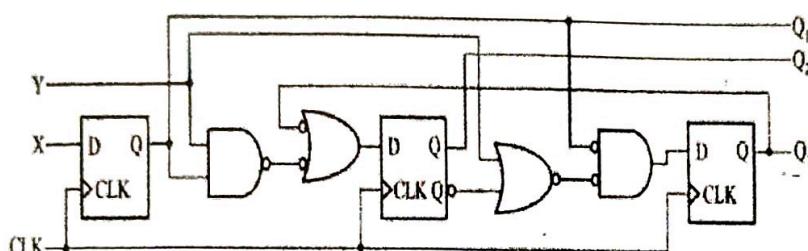
- A. 卡诺图      B. 程序流程图      C. ASM 图      D. UML 图

三、简答题：（每题 3 分，共 15 分）

- 分别用原码运算与补码运算求  $Z = X - Y$ 。其中  $X = +0011, Y = +1010$ 。
- 简述“逻辑规定（约定）”。
- 如输入均为原变量，求用最少与非门实现函数  $F = \overline{AC} + \overline{AB} + \overline{BC}$  的表达式。
- 用代数法确定函数  $F = \overline{AB} + \overline{BC} + ACD$  存在的静态险象，并消除之。
- 画出用 JK 触发器实现 D 触发器的电路图。

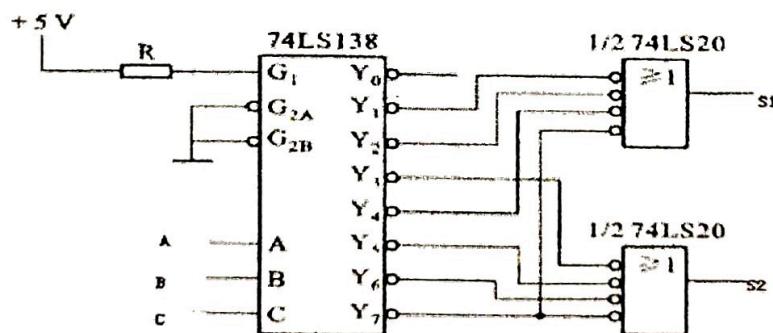
四、分析题：（共 20 分）

- 分析如图所示同步电路。写出激励方程，激励/转换表及状态输出表。  
设对应  $Q_3Q_2Q_1=000 \sim 111$  的状态名分别为 A~H。（10 分）



题四.1 图

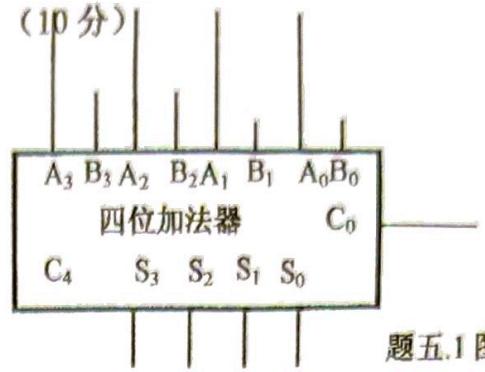
- 下图所示电路，输入为 A、B、C，输出为 S1、S2，试分析输出与输入之间的关系。（10 分）



题四.2 图

## 五、设计题：（共 25 分）

1. 试用多个或非门及一个四位二进制加法器 74LS283 实现四位二进制码到四位典型格雷码的转换。（题五.1 图）（10 分）



题五.1 图

2. 用 D 触发器设计下图所示不完全给定的原始状态表所对应的电路，并分析结果。写出详细步骤。（15 分）

S \ X	0	1
A	E/0	B/d
B	D/d	B/d
C	D/0	A/1
D	C/d	C/d
E	C/1	A/d

题五.2 图

## 西安交通大学考试题

成绩	
----	--

课 程 数字逻辑电路 期中  期末

系 别 计算机 考 试 日 期 年 月 日

专业班号\_\_\_\_\_ 姓 名\_\_\_\_\_ 学 号\_\_\_\_\_。

题号	一	二	三	四	五
得分					

## 考试注意事项

1. 请在试题纸、答题纸和草稿纸上认真填写专业班号、姓名和学号。
2. 答案写在答题纸上，可使用背面，否则一律无效；答案前标明题号，卷面要求整齐整洁。
3. 交卷时，请将试题纸、答题纸、草稿纸依次折叠整齐，正面朝上一并上交。

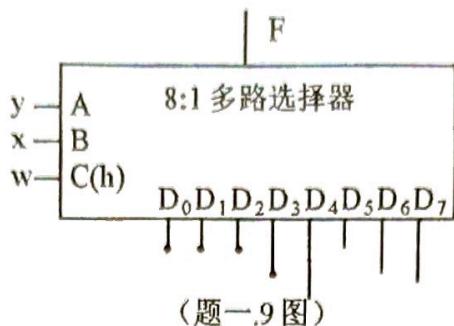
## 一、填空题（每题 3 分，共 30 分）：

1.  $2102 = ( \quad )_{16} = ( \quad )_8 = ( \quad )_2$
2. 已知数为  $-\frac{7}{128}$ ，取 8 位，其原码表示为\_\_\_\_，反码为\_\_\_\_，补码为\_\_\_\_。
3.  $60.40 = ( \quad )_{\text{余三码}}$
4. 逻辑规定是\_\_\_\_\_过程，确定了\_\_\_\_\_与\_\_\_\_\_之间的关系，有两种方法，即\_\_\_\_\_和\_\_\_\_\_。
5. 原函数  $F = A + BC + 0$ ，则对偶函数为：\_\_\_\_\_。
6. 如果输入无反变量，将函数  $F(A, B, C) = \sum m(1, 3, 5, 6)$  用最少的与非门实现，其卡诺图为：\_\_\_\_，逻辑表达式为：\_\_\_\_，与非门数量为：\_\_\_\_。
7. EPROM 是\_\_\_\_\_只读存储器，可编程的是\_\_\_\_，不可编程的是\_\_\_\_。

8. 写出二进制编码  $B_4B_3B_2B_1$  到典型 Gray 码  $G_4G_3G_2G_1$  的最简与或式:  $G_4 = B_4$ ,

$$G_3 = \underline{\hspace{2cm}}, G_2 = \underline{\hspace{2cm}}, G_1 = \underline{\hspace{2cm}}$$

9. 用下图实现函数  $F(w, x, y, z) = \sum(0, 1, 2, 3, 4, 5, 7, 8, 12, 15)$ 。



10. 在脉冲异步时序电路的设计中,为了使用同步时序电路设计的方法,作了如下规定: 状态不变时,令  $CLK = 0$ , 激励卡诺图中对应列填\_\_\_\_\_; 无输入时,输出卡诺图中对应列填\_\_\_\_\_,  $CLK$  卡诺图中对应列填\_\_\_\_\_。

## 二、选择题: (每题答案可能有多个, 每题 3 分, 共 15 分)

1. 对于函数  $F(A, B, C) = AB + AC$ , 下列 \_\_\_\_\_ 说法成立。

A.  $F(A, B, C) = \prod M(0, 1, 2, 3, 4)$       B. 函数  $F(A, B, C) = 1$

C. 该函数的  $m_7=1$       D. 该函数的  $m_1$  既不等于 0, 也不等于 1

2. 下列叙述正确的有: \_\_\_\_\_。

- A. 动态险象是临界竞争的结果;
- B. 增加多余项只能消除逻辑险象, 不能消除功能险象;
- C. 在两级“与或”电路中只可能出现静态 1 现象
- D. 在两级“或与”电路中只可能出现静态 1 现象

3. 由四个 D 触发器( $D_4 D_3 D_2 D_1$ )构成的自恢复扭环(右)移位寄存器中, 有效状态为 Gray 码, 为了“解挂”仅考虑改变了激励  $D_4$ , 则  $D_4$  应为: \_\_\_\_\_。

A.  $Q_1\bar{Q}_3 + Q_3\bar{Q}_2$     B.  $\bar{Q}_4Q_3 + \bar{Q}_3Q_2$     C.  $\bar{Q}_1 + Q_4\bar{Q}_2$     D.  $Q_4\bar{Q}_1 + \bar{Q}_2\bar{Q}_1$

在不完全给定状态表的化简中，应考虑：\_\_\_\_\_。

- A. 对于任一相容类，任一输入条件下所产生的次态只能属于一个相容类
- B. 输入输出情况
- C. 每个最大相容类一定构成一个新状态
- D. 状态之间的等效性

5. 请问：在不使用其他逻辑器件的情况下，使用一个 2-4 译码器及至少多少个 3-8 译码器才能实现一个 5-32 二进制译码器？

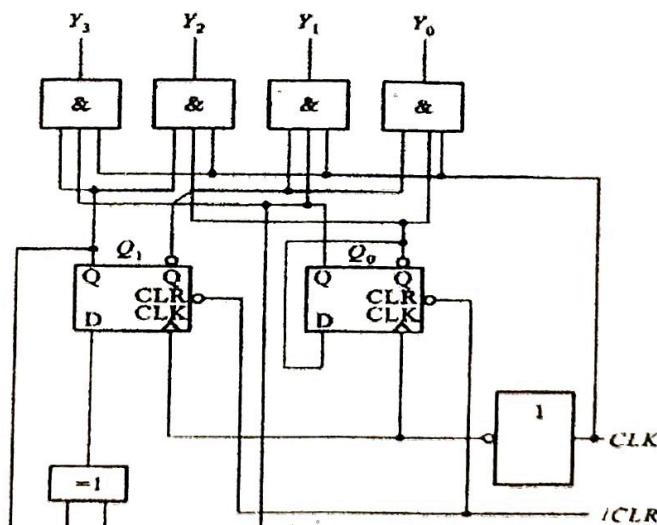
- A. 3 个
- B. 4 个
- C. 5 个
- D. 6 个

### 三、简答题：（每题 3 分，共 15 分）

1. 写出用逻辑门、JK 触发器构成 D 触发器的逻辑表达式，并画出电路图。
2. 简述组合可编程阵列逻辑 PAL 结构中 IO 输出端及其三态门的作用。
3. 指出函数  $F(A,B,C) = \sum m(0,1,3,4,6)$  在什么输入组合值时， $F=0$ 。
4. 用与非门与两个 74LS163 实现 0~22 的模 23 的二进制计数器。74LS163 的逻辑符号见图三.4（试卷最后）。
5. 写出 F 的最简或与式， $F(A,B,C,D) = \prod M(1,7,9,13,15) + d(2,4,12)$

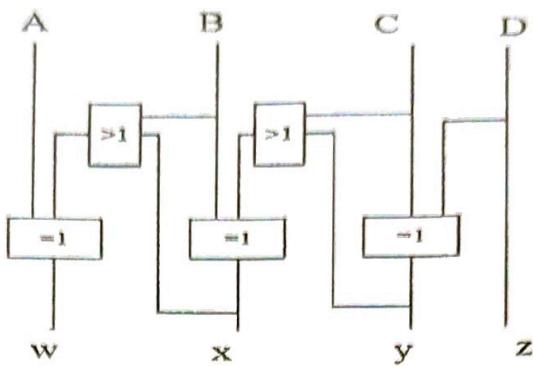
### 四、分析题：（每题 10 分，共 20 分）

1. 分析图四.1 所示电路，写出激励方程、输出表达式及二进制状态输出表。



(图四.1)

下图所示的电路是两种编码的转换器 ( $ABCD \rightarrow wxyz$ )，试分析两种编码之间的关系。(10分)



图四.2

### 五、设计题：(每题 10 分，共 20 分)

1. 试用逻辑门及四位二进制加法器 74LS283 实现一位十进制数的 BCD 码到 2421 码的转换。(图五.1)

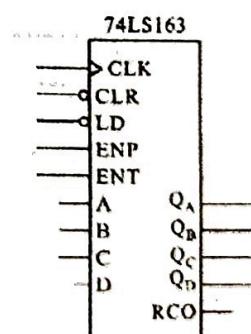


图五.1

2. 用 JK 触发器设计下图所示原始状态表所对应的电路，写出详细步骤并分析结果。(图五.2)

<u>S</u>	X	0	1
A	C/0	D/0	
B	C/0	A/0	
C	A/0	B/1	
D	B/0	D/0	
E	C/0	A/0	

图五.2



图五.3

## 西安交通大学考试题

成绩

课 程 数字逻辑电路

系 别 计算机 考试日期 年 月 日

专业年级 班号

姓 名 学 号 期中  期末 

题号	一	二	三	四	五
得分					

## 考试注意事项

1. 请在试题纸、答题纸和草稿纸上认真填写专业班号、姓名和学号。
2. 答案写在答题纸上，可使用背面，否则一律无效；答案前标明题号，卷面要求整齐整洁。
3. 交卷时，请将试题纸、答题纸、草稿纸依次折叠整齐，正面朝上一并上交。

## 一、填空题（每题 2 分，共 20 分）：

1. 若字长为 8 位， $x = +1011, y = -0011,$

则  $[x+y]_{\text{补}} = \underline{\hspace{2cm}}$ ,  $[x-y]_{\text{反}} = \underline{\hspace{2cm}}.$

2. 函数  $F = ABC + \overline{AC} + \overline{ABC} + \overline{BC}$ , 则函数 F 的

最小项标准式 =                         ,

最简与或式 =                         .

3. 完成下列等式:

$(123.04)_5 = (\underline{\hspace{2cm}})_8$  (保留小数点后四位)

$73.16 = (\underline{\hspace{2cm}})_{2421}$

.. 已知二进制代码 1110101，则其对应的典型 Gray 码是\_\_\_\_\_。

5. 时序电路按输入特性可分为：\_\_\_\_\_ 和 \_\_\_\_\_。

6. 脉冲异步时序电路设计方法是在同步时序电路设计方法的基础上作了如下

修改：

(1) 无输入时，电路状态不变，因此，CLK 卡诺图中对应列填\_\_\_\_\_；

(2) 状态不变时，令 CLK = 0，这样，触发器的数据端变量就可认为是：\_\_\_\_\_。

7. 用 JK 触发器构成 T 触发器的等价电路，那么输入端的逻辑表达式应

当为 J=\_\_\_\_\_ K=\_\_\_\_\_。

8. 用 PLD 进行设计时所需的两大类工具是：\_\_\_\_\_ 和

\_\_\_\_\_。

9. 逻辑化过程是对\_\_\_\_\_ 和\_\_\_\_\_ 之间的关系所作的规定。

10. 如果输入无反变量，将函数  $F(A,B,C)=\sum m(1,3,5)$  用最少的与非门实现，

逻辑表达式为：\_\_\_\_\_，与非门数量为：\_\_\_\_\_。

二、选择题：（每题答案可能有多个，选错扣分，每题 3 分，共 15 分）

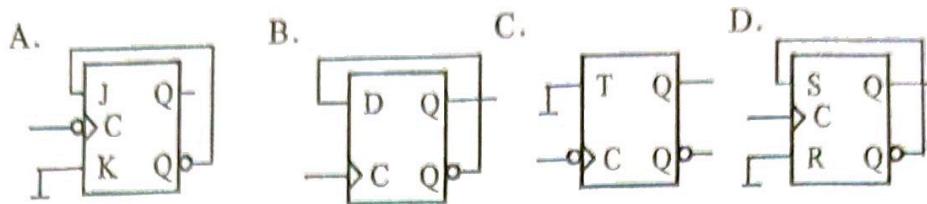
1. 函数  $F_1 = \bar{A}\bar{B}\bar{C} + \bar{B}\bar{C} + BC$ ， $F_2 = AC + B\bar{C}$ ， $F_3 = B + \bar{A}C$ ，  
 $F_4 = (A + B)(\bar{B} + C)$ ，则有 \_\_\_\_\_。

- A.  $F_1$  有动态险象                      B.  $F_2 + AB$  可消除  $F_2$  的功能险象  
C.  $F_3$  有逻辑险象                      D.  $F_4$  有静态“0”险象

2. 二进制数 1101 对应于：\_\_\_\_\_。

- A.  $(0010011)_{\text{海明码}}$  B.  $(00010011)_{\text{bcd}}$  C.  $(11011)_{\text{格雷码}}$  D.  $(10010110)_{\text{ASCII}}$

3. 如下能完成  $Q^{n+1} = Q$  的逻辑功能的电路有 \_\_\_\_\_。



4. 下列成立的等式有：\_\_\_\_\_。

- A.  $A \oplus B \oplus C = A \odot B \odot C$     B.  $\bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C} + ABC = A \oplus B \odot C$   
 C.  $(A \odot B \odot 0)' = \overline{A \odot B}$     D.  $AB + BC + CA = (A+B)(B+C)(C+A)$

5. 对于函数  $F(A,B,C) = AB + AC$ , 下列 \_\_\_\_\_ 说法成立。

- A.  $F(A,B,C) = \prod M(0,1,3)$     B. 函数  $F(A,B,C) = 1$   
 C. 该函数的  $m_5 = 1$     D. 该函数的  $m_0$  不是 0 就是 1

### 三、简答题（每题 4 分，共 20 分）

1. 简述“逻辑电路的特性”。
2. 写出  $F(A,B,C) = \prod M(1,3,5,7)$  的最简与或式，并用 3-8 译码器实现之。
3. 请问状态图（第 4 页图 3.3）中 A、B 两状态是否等效，为什么？
4. 用与非门与两个 74LS163 实现 0~52 的模 53 的二进制计数器。74LS163 的逻辑符号（第 4 页图 3.4）。
5. 化简不完全给定同步时序电路的状态表（第 4 页表 3.5）。

### 四、分析题：（共 20 分）

1. 试分析十进制代码转换电路（第 4 页图 4.1）的功能，X 是控制输入端。  
 (10 分)
2. 下列电路（第 4 页图 4.2）实现一个计数器，其计数状态为  $(Q_4Q_3Q_2Q_1)$   
 $1001 \rightarrow 0011 \rightarrow 0110 \rightarrow 1100 \rightarrow 1001$ 。请画出修改 D4 解决电路“挂起”现象的电路。注：触发器的置位及复位端无效 (10 分)

### 五、设计题：（共 25 分）

1. 用 8: 1 多路选择器 (图 5.1) 实现下列函数 (10 分)

$$F(a, b, c, d) = \overline{a} (\overline{b} + c \overline{d}) + a (\overline{c} \overline{d} + \overline{b} \overline{c} d) + b (\overline{c} + \overline{d})$$

2. 用带使能 T 的触发器设计一个 Mealy 型 “1011” 序列检测器，当输入 x  
连续出现 “1011” 时，输出 Z=1；否则，输出 Z=0。如：输入 101101111，  
则输出为 000100100。(15 分)

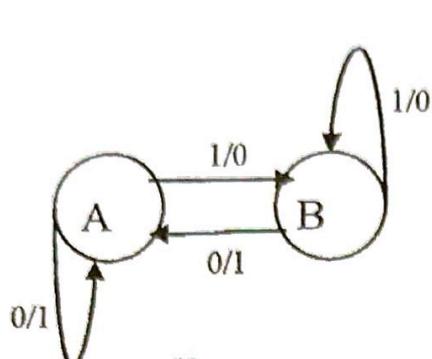


图 3.3

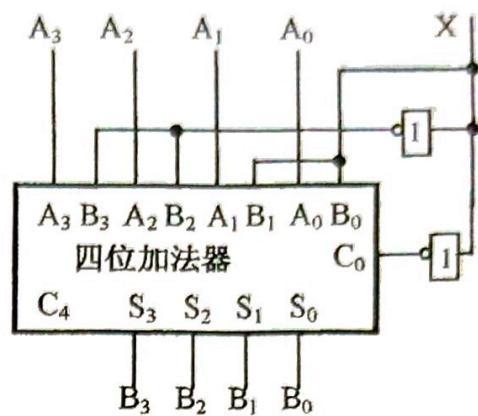


图 4.1

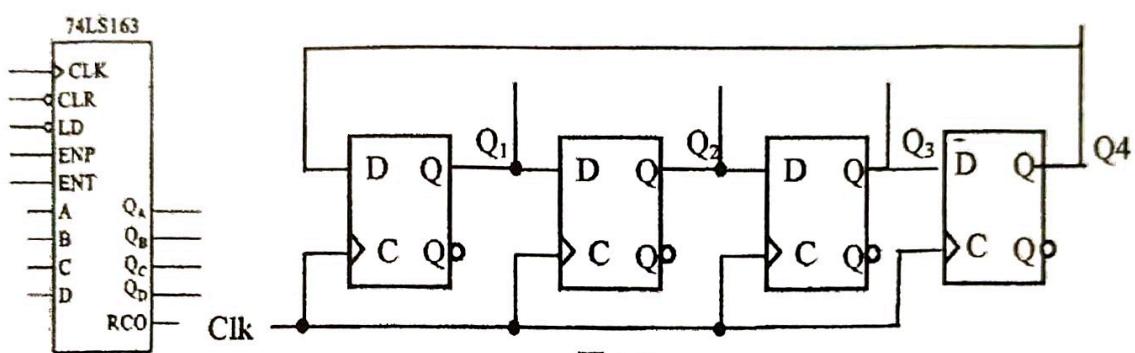


图 4.2

S \ X	0	1
A	B/d	C/0
B	D/1	E/d
C	d/d	E/1
D	A/0	C/d
E	B/1	C/d

表 3.5  $S^{n+1}/Z$

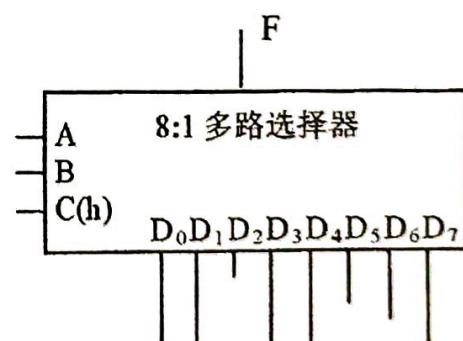


图 5.1