



1300HenleyCourt
Pullman, WA99163
509.334.6306
www.digilentinc.com

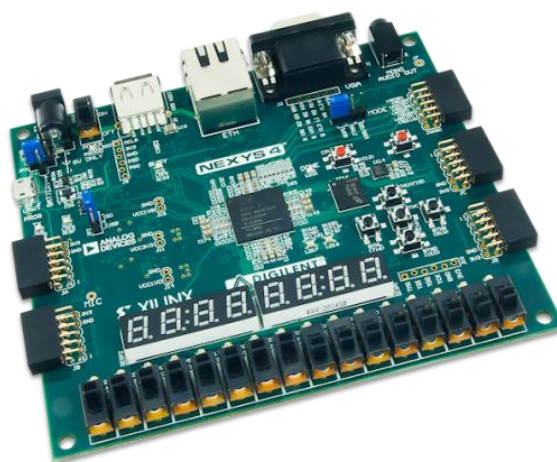
Manual de referência da placa FPGA Nexys 4™

Revisado em 11 de abril de 2016

Este manual se aplica ao Nexys4rev.B

Visão geral

A placa Nexys 4 é uma plataforma de desenvolvimento de circuito digital completa e pronta para uso, baseada no mais recente Artix-7™ Field Programmable Gate Array (FPGA) da Xilinx. Com seu FPGA grande e de alta capacidade (número de peça Xilinx XC7A100T-1CSG324C), memórias externas generosas e coleção de USB, Ethernet e outras portas, o Nexys 4 pode hospedar projetos que vão desde circuitos combinacionais introdutórios até poderosos processadores embarcados. Vários periféricos integrados, incluindo um acelerômetro, sensor de temperatura, microfone digital MEMs, um amplificador de alto-falante e muitos dispositivos de E/S permitem que o Nexys 4 seja usado em uma ampla variedade de designs sem a necessidade de quaisquer outros componentes.



O FPGA Artix-7 é otimizado para lógica de alto desempenho e oferece mais capacidade, maior desempenho e mais recursos do que os designs anteriores. Os recursos do Artix-7 100T incluem:

- 15.850 fatias lógicas, cada uma com quatro LUTs de 6 entradas e 8 flip-flops
- 4.860 Kbits de RAM de bloco rápido
- Seis blocos de gerenciamento de clock, cada um com loop de bloqueio de fase (PLL)
- 240 fatias DSP
- Velocidades de clock internas superiores a 450
- MHz Conversor analógico-digital no chip (XADC)



O Nexys 4 também oferece uma coleção aprimorada de portas e periféricos, incluindo:

- | | | |
|-------------------------------|---|---|
| - 16 interruptores de usuário | - 16 LEDs de usuário | - Dois monitores de 4 dígitos e 7 |
| - Ponte USB-UART | - Dois LEDs tricolores | - segmentos Conector para cartão Micro |
| - Saída VGA de 12 bits | - Saída de áudio PWM | - SD Microfone PDM |
| - Acelerômetro de 3 eixos | - Sensor de temperatura | - Ethernet 10/100 física |
| - 16 Mbytes de RAM celular | - Flash serial | - Quatro portas Pmod |
| - Pmod para sinais XADC | - Porta Digilent USB-JTAG para programação FPGA e comunicação | - Host USB HID para mouses, teclados e cartões de memória |

O Nexys 4 é compatível com o novo Vivado de alto desempenho da Xilinx® Design Suite, bem como o conjunto de ferramentas ISE, que inclui ChipScope e EDK. A Xilinx oferece versões “Webpack” gratuitas desses conjuntos de ferramentas, para que os projetos possam ser implementados sem custo adicional.

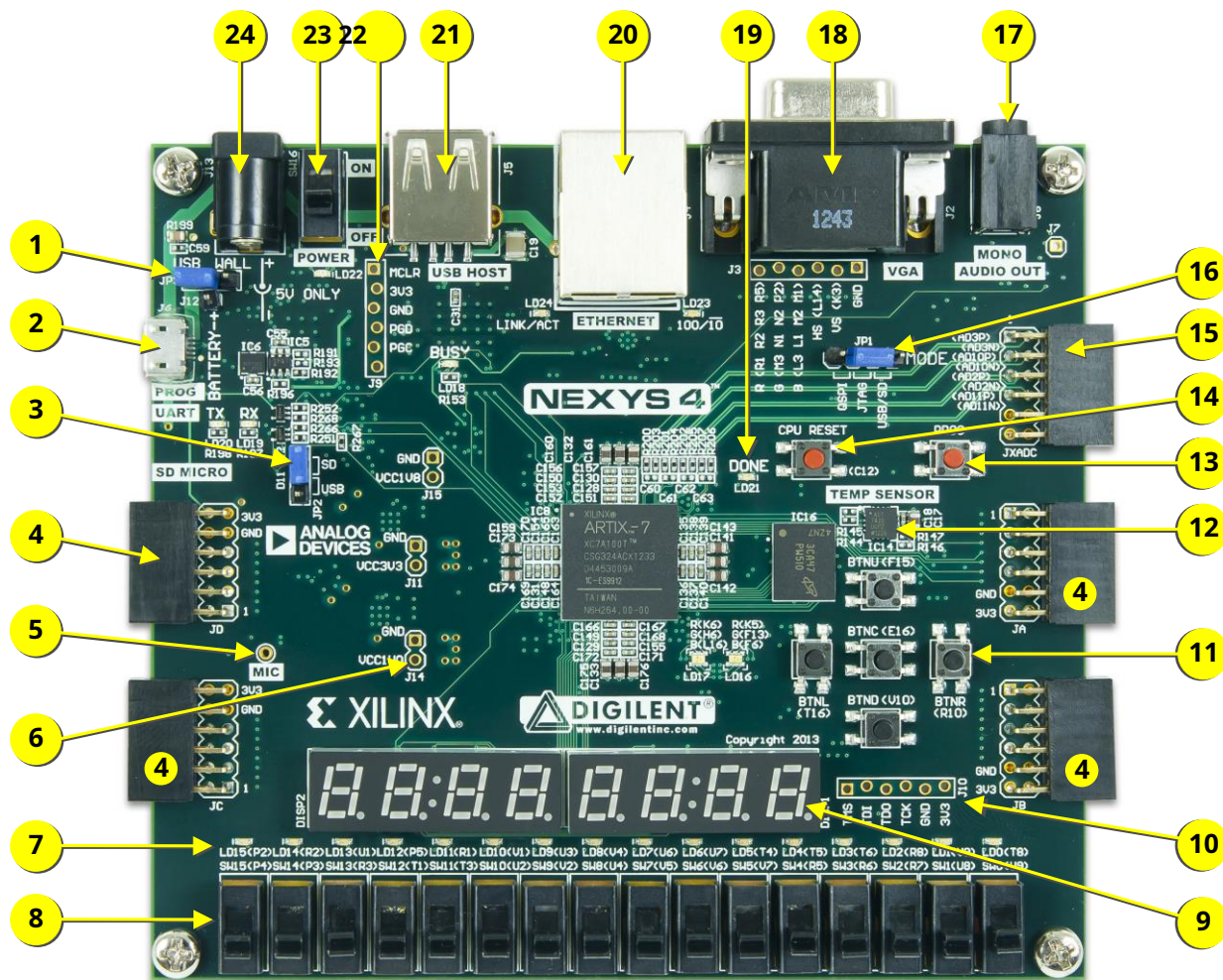


Figura 1. Recursos da placa Nexys 4

Chamar	Descrição do componente	Chamar	Descrição do componente
1	Jumper de seleção de energia e conector de bateria	13	Botão de redefinição de configuração FPGA
2	Porta USB UART/JTAG compartilhada	14	Botão de reinicialização da CPU (para núcleos suaves)
3	Jumper de configuração externa (SD/USB)	15	Porta Pmod de sinal analógico (XADC)
4	Porta(s) Pmod	16	Jumper de modo de programação
5	Microfone	17	Conector de áudio
6	Ponto(s) de teste da fonte de alimentação	18	Conector VGA
7	LEDs (16)	19	Programação FPGA feita LED
8	Interruptores deslizantes	20	Conector Ethernet
9	Display de oito dígitos e 7 segundos	21	Conector host USB
10	Porta JTAG para cabo externo (opcional)	22	Porta de programação PIC24 (uso de fábrica)
11	Cinco botões	23	Interruptor de energia
12	Sensor de temperatura	24	Tomada de energia

Uma coleção crescente de placas IP de suporte, designs de referência e placas complementares estão disponíveis no site da Digilent. Veja a página do Nexys 4 em www.digilentinc.com Para maiores informações.

1 Suprimentos de energia

A placa Nexys 4 pode receber energia da porta Digilent USB-JTAG (J6) ou de uma fonte de alimentação externa. O jumper JP3 (próximo ao conector de alimentação) determina qual fonte é usada.

Todas as fontes de alimentação Nexys 4 podem ser ligadas e desligadas por um único interruptor de nível lógico (SW16). Um LED de boa potência (LD22), acionado pela saída “energia boa” da fonte ADP2118, indica que as fontes estão ligadas e operando normalmente. Uma visão geral do circuito de potência do Nexys 4 é mostrada na Fig 2.

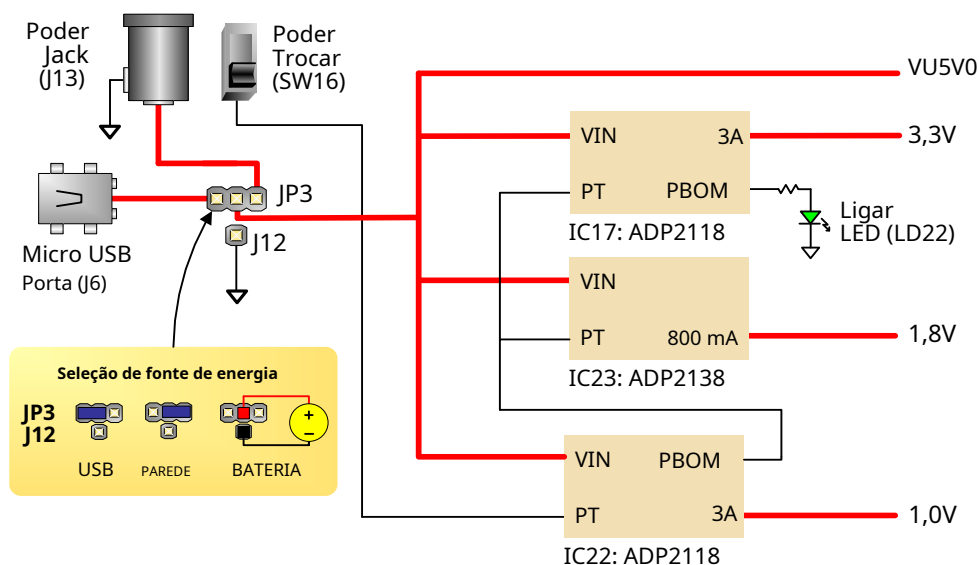


Figura 2. Circuito de potência Nexys 4

A porta USB pode fornecer energia suficiente para a grande maioria dos designs. Algumas aplicações exigentes, incluindo aquelas que controlam múltiplas placas periféricas, podem exigir mais energia do que a porta USB pode fornecer. Além disso, alguns aplicativos podem precisar ser executados sem estarem conectados à porta USB de um PC. Nestes casos, uma fonte de alimentação externa ou bateria pode ser usada.

Uma fonte de alimentação externa pode ser usada conectando-a ao conector de alimentação (JP3) e configurando o jumper J13 para “parede”. A fonte deve usar um plugue coaxial com centro positivo de 2,1 mm de diâmetro interno e fornecer 4,5 VCC a 5,5 VCC e pelo menos 1 A de corrente (ou seja, pelo menos 5 W de potência). Muitos suprimentos adequados podem ser adquiridos através da Digikey ou de outros fornecedores de catálogo.

Uma bateria externa pode ser usada conectando o terminal positivo da bateria ao pino central de JP3 e o terminal negativo ao pino identificado como J12 diretamente abaixo de JP3. Como o regulador principal do Nexys 4 não pode acomodar tensões de entrada acima de 5,5 VCC, uma bateria externa deve ser limitada a 5,5 VCC. A voltagem mínima da bateria depende da aplicação - se a função USB Host (J5) for usada, pelo menos 4,6 V deverão ser fornecidos. Nos demais casos a tensão mínima é de 3,6V.

Os circuitos reguladores de tensão da Analog Devices criam as fontes necessárias de 3,3 V, 1,8 V e 1,0 V a partir da entrada de alimentação principal. A Tabela 2 fornece informações adicionais (as correntes típicas dependem fortemente da configuração do FPGA e os valores fornecidos são típicos de projetos de tamanho/velocidade médios).

Fornecer	Circuitos	Dispositivo	Atual (máximo/típico)
3,3V	E/S FPGA, portas USB, relógios, E/S de RAM, Ethernet, slot SD, sensores, Flash	IC17: ADP2118	3A/0,1 a 1,5A
1,0V	Núcleo FPGA	IC22: ADP2118	3A/0,2 a 1,3A
1,8V	Auxiliar e Ram FPGA	IC23: ADP2138	800mA/0,05 a 0,15A

Tabela 2. Fontes de alimentação Nexys 4

2 Configuração FPGA

Após ligar, o FPGA Artix-7 deve ser configurado (ou programado) antes de poder executar qualquer função. Você pode configurar o FPGA de quatro maneiras:

1. Um PC pode usar o circuito Digilent USB-JTAG (porta J6, rotulado como "PROG") para programar o FPGA sempre que ele estiver ligado.
2. Um arquivo armazenado no dispositivo flash serial não volátil (SPI) pode ser transferido para o FPGA usando a porta SPI.
3. Um arquivo de programação pode ser transferido para o FPGA a partir de um cartão micro SD.
4. Um arquivo de programação pode ser transferido de um cartão de memória USB conectado à porta USB HID.

Figura 3 Mostra as diferentes opções disponíveis para configuração do FPGA. Um jumper de "modo" integrado (JP1) e um jumper de seleção de mídia (JP2) selecionam entre os modos de programação.

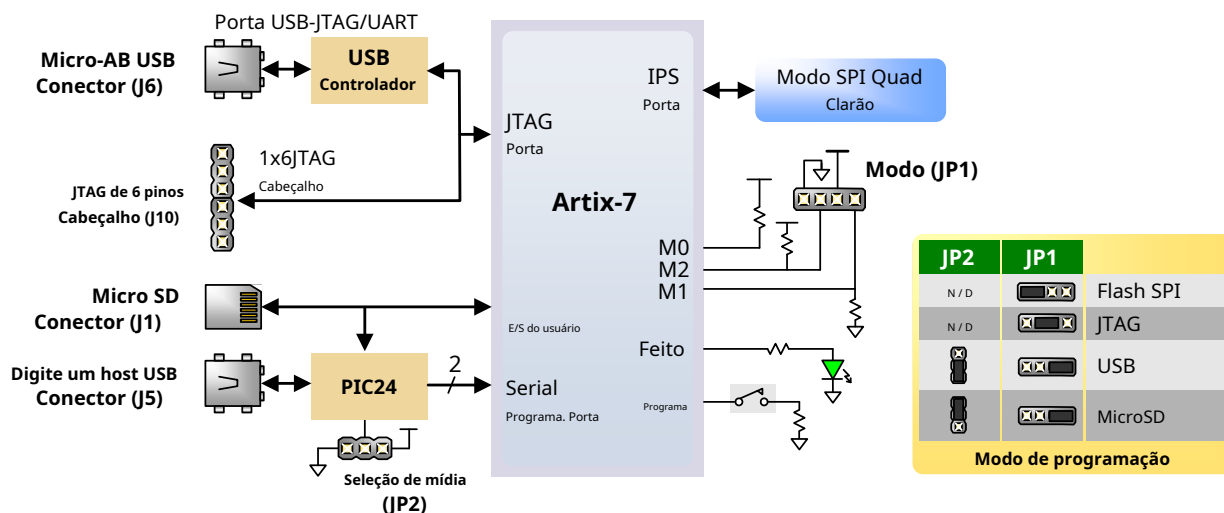


Figura 3. Opções de configuração do Nexys 4

Os dados de configuração do FPGA são armazenados em arquivos chamados bitstreams que possuem a extensão de arquivo .bit. O software ISE ou Vivado da Xilinx pode criar fluxos de bits a partir de VHDL, Verilog ou arquivos de origem baseados em esquemáticos (no conjunto de ferramentas ISE, EDK é usado para projetos baseados em processador incorporado MicroBlaze™).

Os fluxos de bits são armazenados em células de memória baseadas em SRAM dentro do FPGA. Esses dados definem as funções lógicas e as conexões do circuito do FPGA e permanecem válidos até serem apagados pela remoção da alimentação da placa, pressionando o botão reset conectado à entrada PROG ou gravando um novo arquivo de configuração usando a porta JTAG.

Um fluxo de bits Artix-7 100T normalmente tem 30.606.304 bits e pode levar muito tempo para ser transferido. O tempo necessário para programar o Nexys 4 pode ser diminuído comprimindo o fluxo de bits antes da programação e, em seguida, permitindo que o FPGA descompacte o próprio fluxo de bits durante a configuração. Dependendo da complexidade do projeto, podem ser alcançadas taxas de compressão de 10x. A compactação de fluxo de bits pode ser habilitada nas ferramentas Xilinx (ISE ou Vivado) para ocorrer durante a geração. Para obter instruções sobre como fazer isso, consulte a documentação do Xilinx para o conjunto de ferramentas que está sendo usado.

Após ser programado com sucesso, o FPGA fará com que o LED “DONE” acenda. Pressionar o botão “PROG” a qualquer momento irá zerar a memória de configuração no FPGA. Após ser reinicializado, o FPGA tentará imediatamente se reprogramar a partir de qualquer método selecionado pelos jumpers do modo de programação.

As seções a seguir fornecem mais detalhes sobre a programação do Nexys 4 usando os diferentes métodos disponíveis.

2.1 Programação JTAG

As ferramentas Xilinx normalmente se comunicam com FPGAs usando a porta de acesso de teste e a arquitetura Boundary-Scan, comumente chamada de JTAG. Durante a programação JTAG, um arquivo .bit é transferido do PC para o FPGA usando o circuito Digilent USB-JTAG integrado (porta J6) ou um programador JTAG externo, como o Digilent JTAG-HS2, conectado à porta J10. Você pode realizar a programação JTAG a qualquer momento após o Nexys 4 ser ligado, independentemente de como o jumper de modo (JP1) estiver definido. Se o FPGA já estiver configurado, a configuração existente será substituída com o fluxo de bits sendo transmitido por JTAG. Definir o jumper de modo para a configuração JTAG (visto na Fig 3) é útil para evitar que o FPGA seja configurado a partir de qualquer outra fonte de fluxo de bits até que ocorra uma programação JTAG.

Programar o Nexys 4 com um fluxo de bits não compactado usando o circuito USB_JTAG integrado geralmente leva cerca de cinco segundos. A programação JTAG pode ser feita usando o servidor de hardware do Vivado ou a ferramenta iMPACT incluída no ISE e a versão labtools do Vivado. O projeto de demonstração disponível em digilentinc.com oferece tutoriais detalhados sobre como programar sua placa.

2.2 Programação Quad-SPI

Ao programar um dispositivo flash não volátil, um arquivo bitstream é transferido para o flash em um processo de duas etapas. Primeiro, o FPGA é programado com um circuito que pode programar dispositivos flash e, em seguida, os dados são transferidos para o dispositivo flash através do circuito FPGA (essa complexidade é ocultada do usuário pelas ferramentas Xilinx). Após o dispositivo flash ter sido programado, ele pode configurar automaticamente o FPGA em um evento subsequente de inicialização ou reinicialização, conforme determinado pela configuração do jumper de modo (consulte a Fig 3). Os arquivos de programação armazenados no dispositivo flash permanecerão até serem substituídos, independentemente dos eventos de ciclo de energia.

A programação do flash pode levar de quatro a cinco minutos, principalmente devido ao longo processo de apagamento inerente à tecnologia de memória. No entanto, uma vez escrita, a configuração do FPGA pode ser muito rápida – menos de um segundo. A compactação de fluxo de bits, a largura do barramento SPI e a taxa de configuração são fatores controlados pelas ferramentas Xilinx que podem afetar a velocidade de configuração.

A programação Quad-SPI pode ser feita usando a ferramenta iMPACT incluída no ISE ou a versão labtools do Vivado.

2.3 Host USB e Programação Micro SD

Você pode programar o FPGA a partir de um pen drive conectado à porta USB-HID (J5) ou de um cartão microSD inserido no J1 fazendo o seguinte:

1. Formate o dispositivo de armazenamento (Pen drive ou cartão microSD) com sistema de arquivos FAT32.

2. Coloque um único arquivo de configuração .bit no diretório raiz do dispositivo de armazenamento.
3. Conecte o dispositivo de armazenamento ao Nexys 4.
4. Defina o jumper do modo de programação JP1 no Nexys 4 para "USB/SD".
5. Selecione o dispositivo de armazenamento desejado usando JP2.
6. Pressione o botão PROG ou desligue e ligue o Nexys 4.

O FPGA será configurado automaticamente com o arquivo .bit no dispositivo de armazenamento selecionado. Quaisquer arquivos .bit que não sejam criados para o dispositivo Artix-7 adequado serão rejeitados pelo FPGA.

O Status da Função Auxiliar, ou LED "BUSY", fornece feedback visual sobre o estado do processo de configuração quando o FPGA ainda não está programado:

- Quando aceso continuamente, o microcontrolador auxiliar está inicializando ou lendo o meio de configuração (microSD ou pen drive) e baixando um fluxo de bits para o FPGA.
- Um pulso lento significa que o microcontrolador está aguardando a conexão de um meio de configuração.
- Em caso de erro durante a configuração, o LED piscará rapidamente.

Quando o FPGA for configurado com sucesso, o comportamento do LED será específico da aplicação. Por exemplo, se um teclado USB estiver conectado, uma piscada rápida sinalizará o recebimento de um relatório de entrada HID do teclado.

3 Memória

A placa Nexys 4 contém duas memórias externas: uma RAM celular de 128 Mbit (DRAM pseudoestática) e um dispositivo Flash serial não volátil de 128 Mbit. A RAM celular possui uma interface SRAM e o Flash serial está em um barramento SPI de modo quádruplo (x4) dedicado. As conexões e atribuições de pinos entre o FPGA e as memórias externas são mostradas na Figura 4 e na Tabela 3.

A RAM celular de 16 Mbytes (número de peça Micron M45W8MW16) possui um barramento de 16 bits que suporta acesso a dados de 8 ou 16 bits. Ela pode operar como uma SRAM assíncrona típica com tempos de ciclo de leitura e gravação de 70ns, ou como uma memória síncrona com barramento de 104MHz. Quando operada como uma SRAM assíncrona, a RAM celular atualiza automaticamente suas matrizes DRAM internas, permitindo um controlador de memória simplificado (semelhante a qualquer controlador SRAM). Quando operado em modo síncrono, são possíveis transferências contínuas de até 104 MHz.

Os arquivos de configuração do FPGA podem ser gravados no Quad SPI Flash (número de peça Spansion S25FL032S), e as configurações de modo estão disponíveis para fazer com que o FPGA leia automaticamente uma configuração deste dispositivo ao ser ligado. Um arquivo de configuração Artix-7 100T requer pouco menos de quatro Mbytes de memória, deixando cerca de 77% do dispositivo flash disponível para dados do usuário.

NOTA: Consulte as folhas de dados do fabricante e os designs de referência publicados no site da Digilent para obter mais informações sobre os dispositivos de memória.

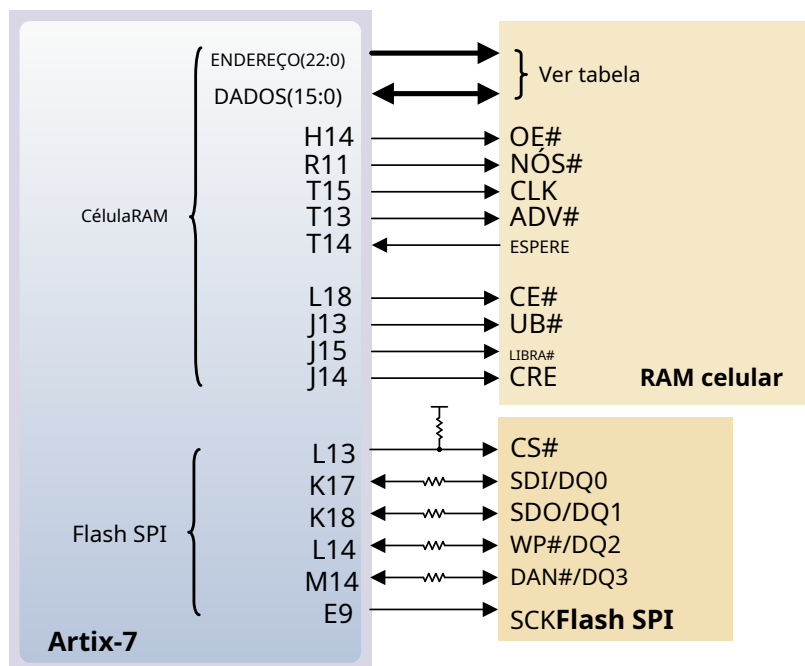


Figura 4. Memórias externas do Nexys 4

Barramento de endereço			Barramento de dados	
ADDR22: U13	ADDR13: U16	ADDR4: H16	DADOS15: P17	DADOS6: T18
ADDR21: M16	ADDR12: P14	ADDR3: J17	DADO14: N17	DADOS5: R17
ADDR20: T10	ADDR11: V12	ADDR2: H15	DADOS13: P18	DADOS4: U18
ADDR19: Sub17	ADDR10: V14	ADDR1: H17	DADOS12: M17	DADOS3: R13
ADDR18: V17	ADDR9: U14	ADDR0: J18	DADOS11: M18	DADOS2: U12
ADDR17: M13	ADDR8: V16		DADOS10: G17	DADOS1: T11
ADDR16: N16	ADDR7: N15		DADOS9: G18	DADOS0: R12
ADDR15: N14	ADDR6: K13		DADOS8: F18	
ADDR14: R15	ADDR5: K15		DADOS7: R18	

Tabela 3. Endereço CellRAM e atribuições de pinos do barramento de dados

4 Ethernet física

A placa Nexys 4 inclui um SMSC 10/100 Ethernet PHY (número de peça SMSC LAN8720A) emparelhado com um conector Ethernet RJ-45 com magnetismo integrado. O SMSC PHY usa a interface RMII e suporta 10/100 Mb/s. A Figura 5 ilustra as conexões de pinos entre o Artix-7 e o Ethernet PHY. Na reinicialização ao ligar, o PHY é definido com os seguintes padrões:

- Interface do modo RMII
- Negociação automática habilitada, anunciando todos os endereços PHY com capacidade
- para modo 10/100 = 00001

Dois LEDs integrados (LD23 = LED2, LD24 = LED1) conectados ao PHY fornecem status do link e feedback da atividade de dados. Consulte a folha de dados PHY para obter detalhes.

Projetos baseados em EDK podem acessar o PHY usando o núcleo IP `axi_ethernetlite` (AXI EthernetLite) ou o núcleo IP `axi_ethernet` (Tri Mode Ethernet MAC). Um núcleo `mii_to_rmii` (Ethernet PHY MII para MII reduzido) precisa ser inserido para converter a interface MAC de MII para RMII. Além disso, um clock de 50 MHz precisa ser gerado para o núcleo `mii_to_rmii` e o pino CLKIN do PHY externo. Para compensar a inclinação introduzida pelo núcleo `mii_to_rmii`, gere cada relógio individualmente, com o relógio PHY externo tendo uma mudança de fase de 45 graus em relação ao `mii_to_rmii Ref_Clk`. Um projeto de demonstração do EDK que usa adequadamente o Ethernet PHY pode ser encontrado na página do produto Nexys 4 em www.digilentinc.com.

Os projetos ISE podem usar o assistente IP Core Generator para criar um núcleo IP do controlador MAC Ethernet.

NOTA: Consulte a folha de dados do LAN8720A no site www.smsc.com para obter mais informações.

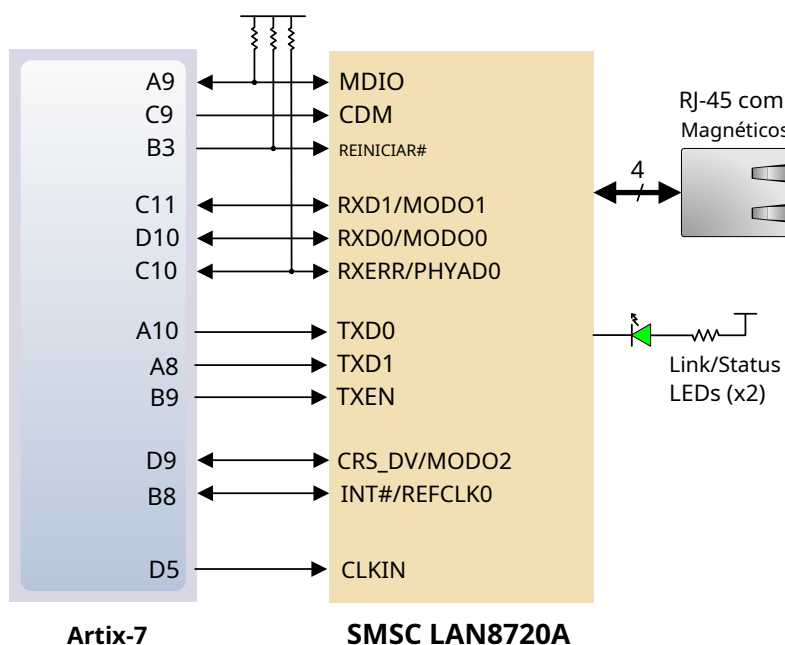


Figura 5. Conexões de pinos entre o Artix-7 e o Ethernet PHY

5 Osciladores/relógios

A placa Nexys 4 inclui um único oscilador de cristal de 100 MHz conectado ao pino E3 (E3 é uma entrada MRCC no banco 35). O relógio de entrada pode acionar MMCs ou PLLs para gerar relógios de várias frequências e com relações de fase conhecidas que podem ser necessárias em todo o projeto. Algumas regras restringem quais MMCs e PLLs podem ser acionados pelo clock de entrada de 100 MHz. Para obter uma descrição completa dessas regras e dos recursos dos recursos de clocking Artix-7, consulte o "Guia do usuário de recursos de clocking de FPGAs da série 7" disponível na Xilinx.

Xilinx oferece o núcleo Clocking Wizard IP para ajudar os usuários a gerar os diferentes relógios necessários para um projeto específico. Este assistente instanciará adequadamente os MMCs e PLLs necessários com base nas frequências desejadas e nas relações de fase especificadas pelo usuário. O assistente irá então gerar um componente wrapper fácil de usar em torno desses

recursos de clocking que podem ser inseridos no design do usuário. O assistente de relógio pode ser acessado nas ferramentas Project Navigator ou Core Generator.

6 Ponte USB-UART (porta serial)

O Nexys 4 inclui uma ponte FTDI FT2232HQ USB-UART (conectada ao conector J6) que permite usar aplicativos de PC para se comunicar com a placa usando comandos de porta COM padrão do Windows. Drivers de porta USB-COM gratuitos, disponíveis em www.ftdichip.com sob o título "Virtual Com Port" ou VCP, convertem pacotes USB em dados de porta UART/serial. Os dados da porta serial são trocados com o FPGA usando uma porta serial de dois fios (TXD/RXD) e controle de fluxo de hardware opcional (RTS/CTS). Após a instalação dos drivers, comandos de E/S podem ser usados do PC direcionados à porta COM para produzir tráfego de dados serial nos pinos C4 e D4 do FPGA.

Dois LEDs de status integrados fornecem feedback visual sobre o tráfego que flui pela porta: o LED de transmissão (LD20) e o LED de recepção (LD19). Os nomes dos sinais que implicam direção são do ponto de vista do DTE (Data Terminal Equipment), neste caso o PC.

O FT2232HQ também é usado como controlador para o circuito Digilent USB-JTAG, mas as funções USB-UART e USB-JTAG se comportam de forma totalmente independente uma da outra. Os programadores interessados em usar a funcionalidade UART do FT2232 em seu projeto não precisam se preocupar com a interferência do circuito JTAG nas transferências de dados UART e vice-versa. A combinação desses dois recursos em um único dispositivo permite que o Nexys 4 seja programado, comunicado via UART e alimentado por um computador conectado com um único cabo Micro USB.

As conexões entre o FT2232HQ e o Artix-7 são mostradas na Figura 6.

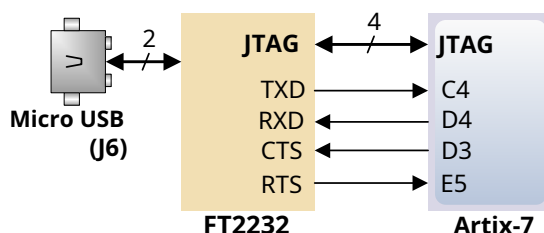


Figura 6. Conexões Nexys 4 FT2232HQ

7 Anfitrião USB HID

O microcontrolador de função auxiliar (Microchip PIC24FJ128) fornece ao Nexys 4 capacidade de host USB HID. Após a inicialização, o microcontrolador está em modo de configuração, baixando um fluxo de bits para o FPGA ou aguardando para ser programado de outras fontes. Depois que o FPGA é programado, o microcontrolador muda para o modo de aplicação, que neste caso é USB HID Host. O firmware no microcontrolador pode acionar um mouse ou teclado conectado ao conector USB tipo A em J5 denominado "USB Host". O suporte a hub não está disponível atualmente, portanto, apenas um único mouse ou teclado pode ser usado. O PIC24 direciona vários sinais para o FPGA – dois são usados para implementar uma interface PS/2 padrão para comunicação com um mouse ou teclado, e o outros são conectados à porta de programação serial de dois fios do FPGA, de modo que o FPGA pode ser programado a partir de um arquivo armazenado em um pen drive USB ou cartão microSD.

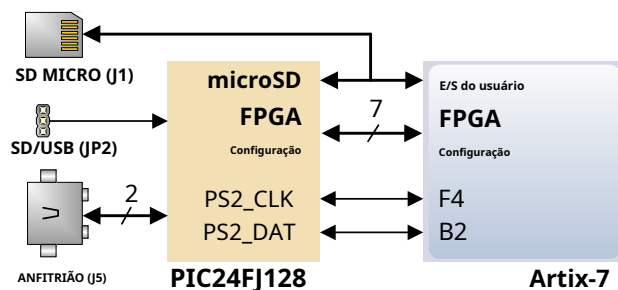


Figura 7. Conexões Nexys 4 PIC24

7.1 Controlador HID

O microcontrolador de função auxiliar oculta o protocolo USB HID do FPGA e emula um barramento PS/2 antigo. O microcontrolador se comporta exatamente como um teclado ou mouse PS/2. Isso significa que novos designs podem reutilizar núcleos IP PS/2 existentes. Mouses e teclados que usam o protocolo PS/2 usam um barramento serial de dois fios (relógio e dados) para se comunicar com um host. No Nexys 4, o microcontrolador emula um dispositivo PS/2 enquanto o FPGA desempenha o papel de host. Tanto o mouse quanto o teclado usam palavras de 11 bits que incluem um bit de início, byte de dados (LSB primeiro), paridade ímpar e bit de parada, mas os pacotes de dados são organizados de maneira diferente e a interface do teclado permite transferências de dados bidirecionais (portanto, o dispositivo host pode iluminar LEDs de estado no teclado). Os horários dos ônibus são mostrados na Fig. 8.

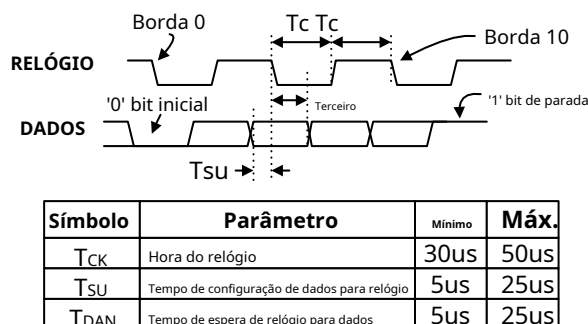


Figura 8. Diagrama de temporização de dispositivo para host PS/2

Os sinais de relógio e de dados só são acionados quando ocorrem transferências de dados; caso contrário, eles serão mantidos no estado inativo na lógica '1'. Isso exige que, quando os sinais PS/2 forem usados em um projeto, pull-ups internos sejam habilitados no FPGA nos pinos de dados e de clock. O sinal do relógio normalmente é acionado pelo dispositivo, mas pode ser mantido baixo pelo host em casos especiais. As temporizações definem os requisitos de sinal para comunicações mouse-host e comunicações bidirecionais de teclado. Um circuito de interface PS/2 pode ser implementado no FPGA para criar uma interface de teclado ou mouse.

Quando um teclado ou mouse é conectado ao Nexys 4, um comando “autoteste aprovado” (0xAA) é enviado ao host. Depois disso, comandos poderão ser emitidos para o dispositivo. Como o teclado e o mouse usam a mesma porta PS/2, é possível saber o tipo de dispositivo conectado usando o ID do dispositivo. Este ID pode ser lido emitindo um comando Read ID (0xF2). Além disso, um mouse envia seu ID (0x00) logo após o comando “autoteste aprovado”, o que o distingue de um teclado.

7.2 Teclado

O teclado usa drivers de coletor aberto para que o teclado, ou um dispositivo host conectado, possa acionar o barramento de dois fios (se o dispositivo host não enviar dados ao teclado, o host poderá usar portas somente de entrada).

Os teclados estilo PS/2 usam códigos de varredura para comunicar dados de pressionamento de tecla. Cada tecla recebe um código que é enviado sempre que a tecla é pressionada. Se a tecla for mantida pressionada, o código de digitalização será enviado repetidamente uma vez a cada 100 ms. Quando uma tecla é liberada, um código de ativação F0 é enviado, seguido pelo código de leitura da chave liberada. Se uma tecla puder ser alterada para produzir um novo caractere (como uma letra maiúscula), um caractere shift será enviado além do código de varredura e o host deverá determinar qual caractere ASCII usar. Algumas chaves, chamadas de chaves estendidas, enviam um E0 antes do código de varredura (e podem enviar mais de um código de varredura). Quando uma tecla estendida é liberada, um código de ativação E0 F0 é enviado, seguido pelo código de leitura. Os códigos de digitalização para a maioria das chaves são mostrados na Fig 9.

ESC 76	F1 05	F2 06	F3 04	F4 0°C	F5 03	F6 0B	F7 83	F8 0A	F9 01	F10 09	F11 78	F12 07	
~ 0E	1! 16	2@ 1E	3# 26	4\$ 25	5% 2E	6 36	7 e 3D	8 * 3E	9 (46	0) 45	- _ = + 4E 55	BackSpace ← 66	
ABA 0D	P 15	C 1D	E 24	R 2D	T 2C	S 35	você 3C	EU 43	Ó 44	P 4D	[{ 54] } 5B	\ 5D
Caps Lock 58	A 1C	S 1B	D 23	F 2B	G 34	H 33	J. 3B	K 42	eu 4B	; : 4C	" 52	Digitar ← 5A	
Mudança 12	Z 1Z	X 22	C 21	V 2A	B 32	N 31	M 3A	, < 41	> . 49	/ ? 4A	↵ Mudança 59		
Ctrl 14	Alt. 11	Espaço 29							Alt. E0 11	Ctrl E0 14			

Figura 9. Códigos de leitura do teclado

Um dispositivo host também pode enviar dados para o teclado. A Tabela 4 mostra uma lista de alguns comandos comuns que um host pode enviar.

O teclado pode enviar dados ao host somente quando as linhas de dados e de clock estão altas (ou ociosas). Como o host é o barramento mestre, o teclado deve verificar se o host está enviando dados antes de acionar o barramento. Para facilitar isso, a linha do relógio é usada como um sinal “liberado para enviar”. Se o host reduzir a linha do relógio, o teclado não deverá enviar nenhum dado até que o relógio seja liberado. O teclado envia dados para o host em palavras de 11 bits que contêm um bit inicial '0', seguido por 8 bits de código de varredura (LSB primeiro), seguido por um bit de paridade ímpar e terminado com um bit de parada '1'. O teclado gera 11 transições de clock (de 20 a 30 KHz) quando os dados são enviados, e os dados são válidos na borda descendente do clock.

Comando	Ação
EA	Defina o modo de transmissão. O mouse responde com "reconhecimento" (0xFA), depois redefine seus contadores de movimento e entra no modo de fluxo.
F4	Ative o relatório de dados. O mouse responde com "reconhecimento" (0xFA), em seguida, ativa o relatório de dados e redefine seus contadores de movimento. Este comando afeta apenas o comportamento no modo stream. Uma vez emitido, o movimento do mouse gerará automaticamente um pacote de dados.
F5	Desative o relatório de dados. O mouse responde com "reconhecimento" (0xFA), em seguida, desativa o relatório de dados e redefine seus contadores de movimento.
F3	Defina a taxa de amostragem do mouse. O mouse responde com "reconhecimento" (0xFA) e então lê mais um byte do host. Este byte é então salvo como a nova taxa de amostragem e um novo pacote de "reconhecimento" é emitido.
FE	Reenviar. FE direciona o mouse para reenviar o último pacote.
FF	Reiniciar. O mouse responde com "reconhecimento" (0xFA) e entra no modo de reinicialização.

Tabela 5. Extensões, comandos e ações do tipo Microsoft Intellimouse

8 Porta VGA

A placa Nexys 4 usa 14 sinais FPGA para criar uma porta VGA com 4 bits por cor e os dois sinais de sincronização padrão (HS – Sincronização Horizontal e VS – Sincronização Vertical). Os sinais coloridos usam circuitos divisores de resistor que funcionam em conjunto com a resistência de terminação de 75 ohms do monitor VGA para criar 16 níveis de sinal cada um nos sinais VGA vermelho, verde e azul. Este circuito, mostrado na Figura 11, produz sinais coloridos de vídeo que prosseguem em incrementos iguais entre 0V (totalmente desligado) e 0,7V (totalmente ligado). Usando este circuito, 4.096 cores diferentes podem ser exibidas, uma para cada padrão exclusivo de 12 bits. Um circuito controlador de vídeo deve ser criado no FPGA para acionar os sinais de sincronização e cores com o tempo correto para produzir um sistema de exibição funcional.

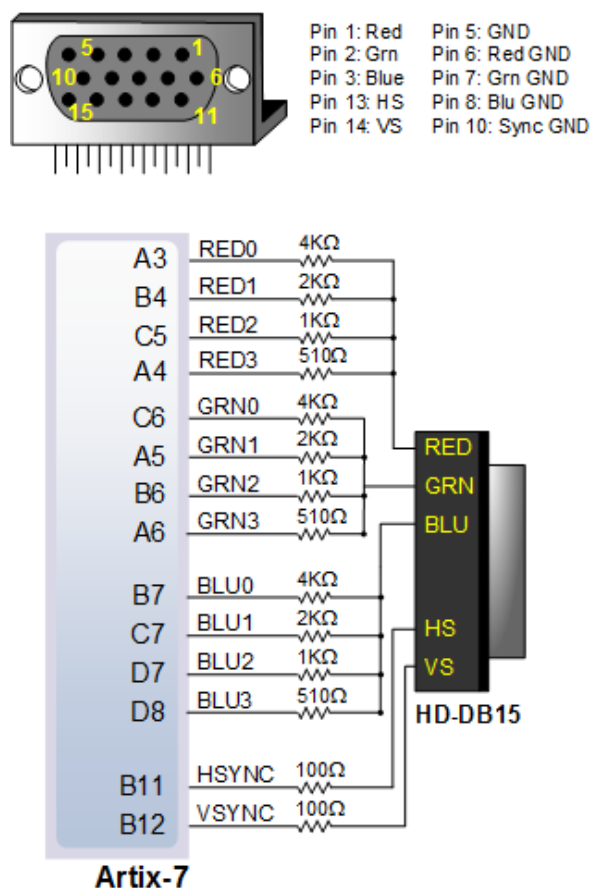


Figura 11. Interface VGA Nexys 4

8.1 Sincronização do sistema VGA

As temporizações do sinal VGA são especificadas, publicadas, protegidas por direitos autorais e vendidas pela organização VESA (www.vesa.org). As informações de temporização do sistema VGA a seguir são fornecidas como um exemplo de como um monitor VGA pode ser acionado no modo 640 por 480.

NOTA: Para informações mais precisas ou sobre outras frequências VGA, consulte a documentação disponível no site da VESA.

Os monitores VGA baseados em CRT usam feixes de elétrons móveis (ou raios catódicos) modulados em amplitude para exibir informações em uma tela revestida de fósforo. Os monitores LCD usam uma série de interruptores que podem impor uma voltagem a uma pequena quantidade de cristal líquido, alterando assim a permissividade da luz através do cristal pixel por pixel. Embora a descrição a seguir seja limitada aos monitores CRT, os monitores LCD evoluíram para usar as mesmas temporizações de sinal que os monitores CRT (portanto, a discussão sobre “sinais” abaixo se refere tanto aos CRTs quanto aos LCDs). Os monitores CRT coloridos usam três feixes de elétrons (um para vermelho, um para azul e um para verde) para energizar o fósforo que reveste o lado interno da extremidade do display de um tubo de raios catódicos (veja a Figura 12).

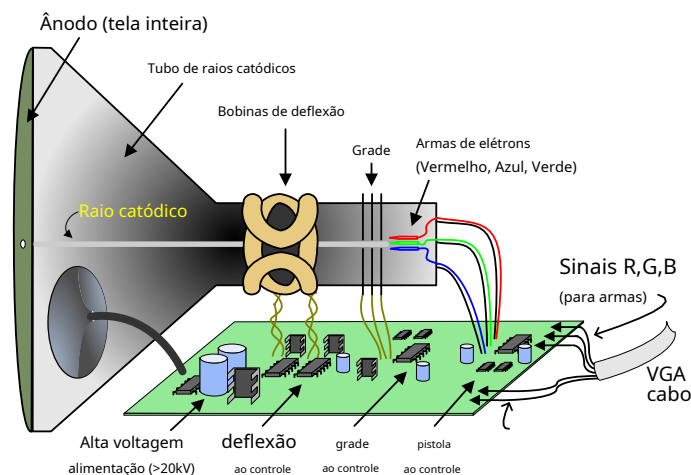


Figura 12. Tela CRT colorida

Os feixes de elétrons emanam de “canhões de elétrons”, que são cátodos aquecidos de pontas finas colocados próximos a uma placa anular carregada positivamente chamada “grade”. A força eletrostática imposta pela grade puxa raios de elétrons energizados dos cátodos, e esses raios são alimentados pela corrente que flui para os cátodos. Esses raios de partículas são inicialmente acelerados em direção à grade, mas logo caem sob a influência da força eletrostática muito maior que resulta da carga de toda a superfície do display revestida de fósforo do CRT a 20kV (ou mais). Os raios são focados em um feixe fino à medida que passam pelo centro das grades e, em seguida, aceleram para impactar a superfície revestida de fósforo da tela. A superfície do fósforo brilha intensamente no ponto de impacto e continua a brilhar por várias centenas de microssegundos após o feixe ser removido. Quanto maior a corrente alimentada no cátodo, mais brilhante será o fósforo.

Entre a grade e a superfície da tela, o feixe passa através do pescoço do CRT, onde duas bobinas de fio produzem campos eletromagnéticos ortogonais. Como os raios catódicos são compostos de partículas carregadas (elétrons), eles podem ser desviados por esses campos magnéticos. Formas de onda de corrente passam através das bobinas para produzir campos magnéticos que interagem com os raios catódicos e fazem com que eles atravessem a superfície da tela em um padrão “raster”, horizontalmente da esquerda para a direita e verticalmente de cima para baixo, como mostrado na Figura 14. À medida que o raio catódico se move sobre a superfície do display, a corrente enviada aos canhões de elétrons pode ser aumentada ou diminuída para alterar o brilho do display no ponto de impacto do raio catódico.

As informações só são exibidas quando o feixe está se movendo na direção “para frente” (da esquerda para a direita e de cima para baixo), e não durante o tempo em que o feixe é redefinido de volta para a borda esquerda ou superior da tela. Grande parte do tempo potencial de exibição é, portanto, perdida em períodos de “apagamento” quando o feixe é redefinido e estabilizado para iniciar uma nova passagem de exibição horizontal ou vertical. O tamanho dos feixes, a frequência na qual o feixe pode ser rastreado na tela e a frequência na qual o feixe de elétrons pode ser modulado determinam a resolução da tela.

Os monitores VGA modernos podem acomodar diferentes resoluções, e um circuito controlador VGA determina a resolução produzindo sinais de tempo para controlar os padrões raster. O controlador deve produzir pulsos de sincronização de 3,3 V (ou 5 V) para definir a frequência na qual a corrente flui através das bobinas de deflexão e deve garantir que os dados de vídeo sejam aplicados aos canhões de elétrons no momento correto. As exibições de vídeo raster definem um número de “linhas” que corresponde ao número de passagens horizontais que o cátodo faz sobre a área de exibição, e um número de “colunas” que corresponde a uma área em cada linha que é atribuída a um “elemento de imagem” ou pixel. As exibições típicas usam de 240 a 1.200 linhas e de 320 a 1.600 colunas. O tamanho geral de uma exibição e o número de linhas e colunas determinam o tamanho de cada pixel.

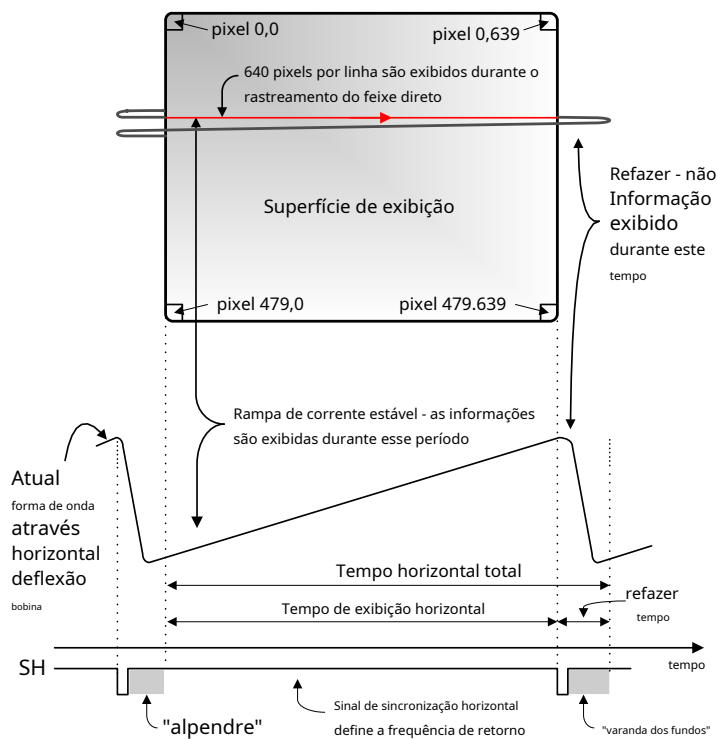
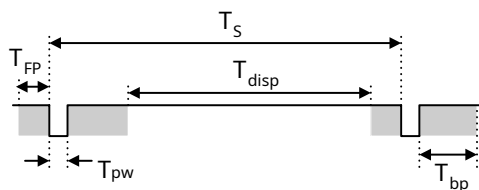


Figura 13. Sincronização Horizontal VGA

Os dados de vídeo normalmente vêm de uma memória de atualização de vídeo, com um ou mais bytes atribuídos a cada localização de pixel (o Nexys 4 usa 12 bits por pixel). O controlador deve indexar na memória de vídeo à medida que os feixes se movem pela tela, e recuperar e aplicar dados de vídeo à tela precisamente no momento em que o feixe de elétrons está se movendo através de um determinado pixel.

Um circuito controlador VGA deve gerar os sinais de temporização HS e VS e coordenar a entrega de dados de vídeo com base no clock do pixel. O relógio de pixel define o tempo disponível para exibir um pixel de informação. O sinal VS define a frequência de "atualização" do display, ou a frequência na qual todas as informações do display são redesenhadas. A frequência mínima de atualização é uma função da intensidade do fósforo e do feixe de elétrons da tela, com frequências de atualização práticas caindo na faixa de 50 Hz a 120 Hz. O número de linhas a serem exibidas em uma determinada frequência de atualização define a frequência de "retraço" horizontal. Para uma exibição de 640 pixels por 480 linhas usando um clock de pixel de 25 MHz e atualização de 60 +/- 1 Hz, as temporizações de sinal mostradas na Figura 14 podem ser derivadas. Os tempos para largura de pulso de sincronização e intervalos de varanda frontal e traseira (intervalos de varanda são os tempos de pulso pré e pós-sincronização durante os quais as informações não podem ser exibidas) são baseados em observações tiradas de monitores VGA reais.



Símbolo	Parâmetro	Sincronização vertical			Horiz. Sincronizar	
		Linhas de relógios de ponto	Clks de tempo			
TS	Pulso de sincronização	16,7ms	416.800	521	32 nós	800
T disp.	Tempo de exibição	15,36ms	384.000	480	25,6 us	640
T pw	Largura do pulso	64 nós	1.600	2	3,84 nós	96
Tfp	Alpendre	320 nós	8.000	10	640ns	16
T bp	Varanda dos fundos	928 nós	23.200	29	1,92 nós	48

Figura 14. Temporizações de sinal para uma tela de 640 pixels por 480 linhas usando um clock de pixel de 25 MHz e atualização vertical de 60 Hz

Um circuito controlador VGA, tal como aquele diagramado na Figura 15, decodifica a saída de um contador de sincronização horizontal acionado pelo relógio de pixel para gerar temporizações de sinal HS. Você pode usar este contador para localizar qualquer localização de pixel em uma determinada linha. Da mesma forma, a saída de um contador de sincronização vertical que aumenta com cada pulso HS pode ser usada para gerar temporizações de sinal VS, e você pode usar esse contador para localizar qualquer linha. Esses dois contadores em execução contínua podem ser usados para formar um endereço na RAM de vídeo. Nenhuma relação de tempo entre o início do pulso HS e o início do pulso VS é especificada, portanto, você pode organizar os contadores para formar facilmente endereços de RAM de vídeo ou para minimizar a lógica de decodificação para geração de pulso de sincronização.

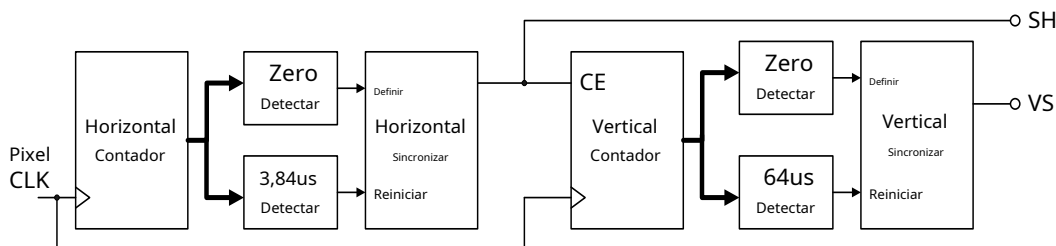


Figura 15. Diagrama de blocos do controlador de vídeo VGA

9 E/S básica

A placa Nexys 4 inclui dois LEDs tricolores, dezesseis interruptores deslizantes, seis botões, dezesseis LEDs individuais e um display de sete segmentos de oito dígitos, conforme mostrado na Fig 16. Os botões e interruptores deslizantes são conectados ao FPGA via resistores em série para evitar danos causados por curtos-circuitos inadvertidos (um curto-circuito pode ocorrer se um pino FPGA atribuído a um botão ou chave deslizante for inadvertidamente definido como uma saída). Os cinco botões dispostos em uma configuração de sinal de mais são interruptores "momentâneos" que normalmente geram uma saída baixa quando estão em repouso e uma saída alta somente quando são pressionados. O botão vermelho denominado "CPU RESET", por outro lado, gera uma saída alta quando em repouso e uma saída baixa quando pressionado. O botão CPU RESET destina-se a ser usado em designs EDK para reiniciar o processador, mas você também pode usá-lo como um botão de uso geral. Os interruptores deslizantes geram entradas constantes altas ou baixas dependendo de sua posição.

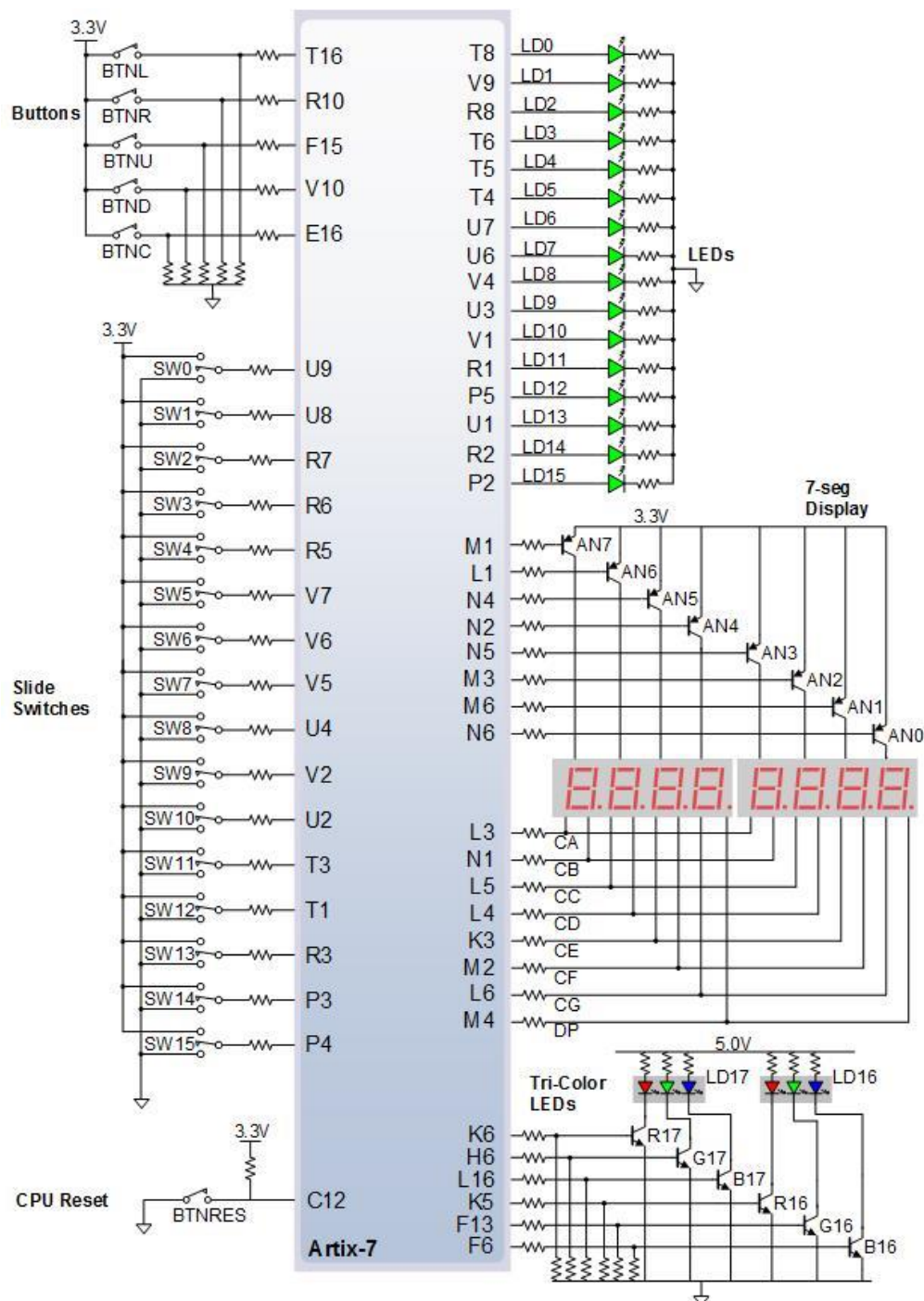


Figura 16. Dispositivos de E/S de uso geral no Nexys 4

Os dezesseis LEDs individuais de alta eficiência são conectados por ânodo ao FPGA por meio de resistores de 330 ohms, portanto, eles acenderão quando uma alta tensão lógica for aplicada ao seu respectivo pino de E/S. LEDs adicionais que não são acessíveis ao usuário indicam inicialização, status de programação do FPGA e status das portas USB e Ethernet.

9.1 Display de Sete Segmentos

A placa Nexys 4 contém dois displays LED de sete segmentos com ânodo comum de quatro dígitos, configurados para se comportar como um único display de oito dígitos. Cada um dos oito dígitos é composto por sete segmentos dispostos em um padrão de “figura 8”, com um LED embutido em cada segmento. Os LEDs de segmento podem ser iluminados individualmente, portanto, qualquer um dos 128 padrões

pode ser exibido em um dígito iluminando certos segmentos de LED e deixando os outros escuros, como mostrado na Fig 17. Destes 128 padrões possíveis, os dez correspondentes aos dígitos decimais são os mais úteis.

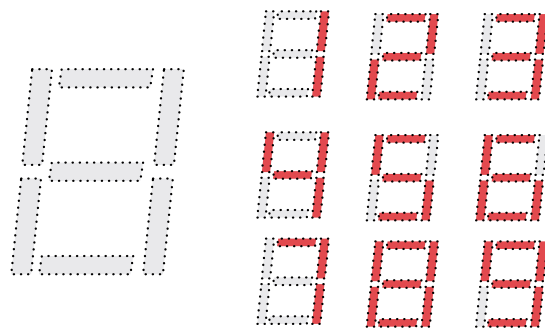


Figura 17. Um display de sete segmentos não iluminado e nove padrões de iluminação correspondentes a dígitos decimais

Os ânodos dos sete LEDs que formam cada dígito são interligados em um nó do circuito de “ânodo comum”, mas os cátodos dos LED permanecem separados, como mostrado na Fig 18. Os sinais de ânodo comum estão disponíveis como oito sinais de entrada de “habilitação de dígito” para o Visor de 8 dígitos. Os cátodos de segmentos semelhantes em todos os quatro displays são conectados em sete nós de circuito rotulados de CA a CG (assim, por exemplo, os oito cátodos “D” dos oito dígitos são agrupados em um único nó de circuito chamado “CD”). Esses sete sinais catódicos estão disponíveis como entradas para o display de 8 dígitos. Este esquema de conexão de sinal cria um display multiplexado, onde os sinais do cátodo são comuns a todos os dígitos, mas só podem iluminar os segmentos do dígito cujo sinal do ânodo correspondente é afirmado.

Para iluminar um segmento, o ânodo deve ser acionado para cima enquanto o cátodo é acionado para baixo. No entanto, como o Nexys 4 usa transistores para conduzir corrente suficiente para o ponto anódico comum, as habilitações anódicas são invertidas. Portanto, ambos os sinais AN0..7 e CA..G/DP são reduzidos quando ativos.

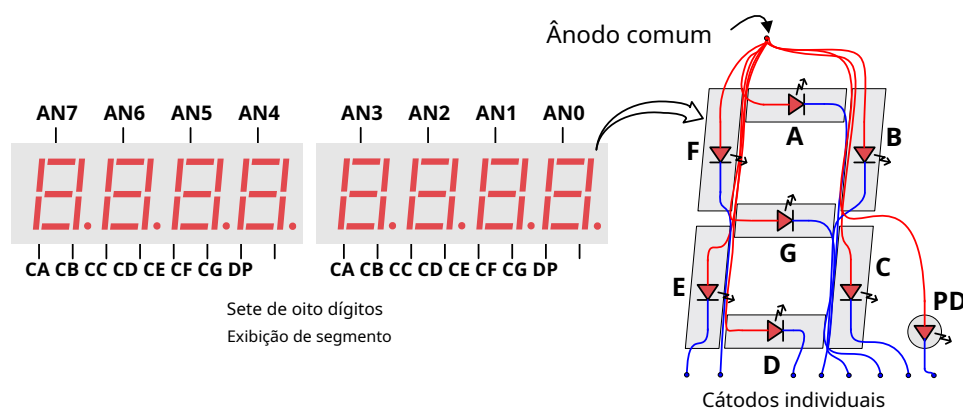


Figura 18. Nó do circuito anódico comum

Um circuito controlador de display de varredura pode ser usado para mostrar um número de oito dígitos neste display. Este circuito aciona os sinais anódicos e os padrões catódicos correspondentes de cada dígito em uma sucessão repetida e contínua a uma taxa de atualização mais rápida do que o olho humano pode detectar. Cada dígito é iluminado apenas um oitavo do tempo, mas como o olho não consegue perceber o escurecimento de um dígito antes de ser iluminado novamente, o dígito parece continuamente iluminado. Se a taxa de atualização, ou “atualização”, for reduzida para cerca de 45 hertz, uma oscilação poderá ser notada na tela.

Para que cada um dos quatro dígitos pareça brilhante e continuamente iluminado, todos os oito dígitos devem ser acionados uma vez a cada 1 a 16 ms, para uma frequência de atualização de cerca de 1 KHz a 60 Hz. Por exemplo, em um esquema de atualização de 62,5 Hz, todo o display seria atualizado uma vez a cada 16 ms e cada dígito seria iluminado durante 1/8 do ciclo de atualização, ou 2 ms. O controlador deve abaixar os cátodos com o padrão correto quando o sinal do ânodo correspondente for acionado para alto. Para ilustrar o processo, se AN0 for ativado enquanto CB e CC são ativados, então um "1" será exibido na posição do dígito 1. Então, se AN1 for ativado enquanto CA, CB e CC são ativados, um "7" será ativado. Será exibido na posição de dígito 2. Se AN0, CB e CC forem acionados por 4 ms e, em seguida, AN1, CA, CB e CC forem acionados por 4 ms em uma sucessão infinita, o display mostrará "71" nos dois primeiros dígitos. Um exemplo de diagrama de temporização para um controlador de quatro dígitos é mostrado na Fig 19.

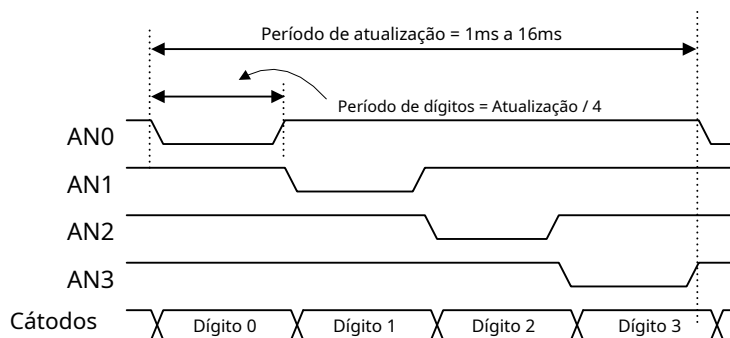


Figura 19. Diagrama de temporização do controlador de exibição de varredura de quatro dígitos

9.2 LEDs tricolores

A placa Nexys 4 contém dois LEDs tricolores. Cada LED tricolor possui três sinais de entrada que acionam os cátodos de três LEDs internos menores: um vermelho, um azul e um verde. Dirigir o sinal correspondente a uma dessas cores para alto iluminará o LED interno. Os sinais de entrada são acionados pelo FPGA através de um transistor, que inverte os sinais. Portanto, para acender o LED tricolor, os sinais correspondentes precisam ser elevados. O LED tricolor emitirá uma cor dependente da combinação de LEDs internos que estão sendo iluminados no momento. Por exemplo, se os sinais vermelho e azul forem aumentados e o verde for reduzido, o LED tricolor emitirá uma cor roxa.

Nota: A Diligent recomenda fortemente o uso de modulação por largura de pulso (PWM) ao acionar os LEDs tricolores (para informações sobre PWM, consulte a seção 15.1). Conduzir qualquer uma das entradas para uma lógica estável '1' resultará na iluminação do LED em um nível desconfortavelmente brilhante. Você pode evitar isso garantindo que nenhum dos sinais tricolores seja acionado com um ciclo de trabalho superior a 50%. O uso do PWM também expande bastante a paleta de cores potencial do led tricolor. Ajustar individualmente o ciclo de trabalho de cada cor entre 50% e 0% faz com que as diferentes cores sejam iluminadas em diferentes intensidades, permitindo que praticamente qualquer cor seja exibida.

10 portas Pmod

As portas Pmod são dispostas em um ângulo reto 2x6 e são conectores fêmea de 100 mil que combinam com conectores padrão de 2x6 pinos. Cada porta Pmod de 12 pinos fornece dois sinais VCC de 3,3 V (pinos 6 e 12), dois sinais de aterramento (pinos 5 e 11) e oito sinais lógicos, conforme mostrado na Fig 20. Os pinos VCC e de aterramento podem fornecer até 1A. de corrente. Os sinais de dados Pmod não são pares casados e são roteados usando as melhores trilhas disponíveis sem controle de impedância ou correspondência de atraso. As atribuições de pinos para a E/S Pmod conectada ao FPGA são mostradas na Tabela 6.

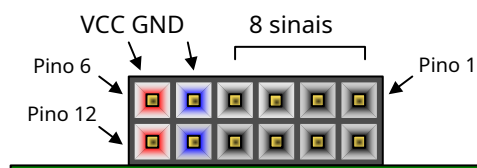


Figura 20. Portas PMOD - Vista frontal carregada na PCB

Pmod JA	Pmod JB	Pmod JC	Pmod JD	PmodXDAC
JA1: B13	JP1: G14	JC1: K2	JD1: H4	JXADC1: A13
JA2: F14	JB2: P15	JC2: E7	JD2: H1	JXADC2: A15
JA3: D17	JB3: V11	JC3: J3	JD3: G1	JXADC3: B16
JA4: E17	JB4: V15	JC4: J4	JD4: G3	JXADC4: B18
JA7: G13	JB7: K16	JC7: K1	JD7: H2	JXADC7: A14
JA8: C17	JB8: R16	JC8: E6	JD8: G4	JXADC8: A16
JA9: D18	JB9: T9	JC9: J2	JD9: G2	JXADC9: B17
JA10: E18	JB10: Sub11	JC10: G6	JD10: F3	JXADC10: A18

Tabela 6. Atribuições de pinos Nexys 4 Pmod

A Digilent produz uma grande coleção de placas acessórias Pmod que podem ser conectadas aos conectores de expansão Pmod para adicionar funções prontas como A/D, D/A, drivers de motor, sensores e outras funções. Ver www.digilentinc.com Para maiores informações.

10.1 Pmod analógico/digital duplo

O conector de expansão Pmod integrado denominado “JXADC” é conectado aos pinos de entrada analógica auxiliar do FPGA. Dependendo da configuração, este conector pode ser usado para inserir sinais analógicos diferenciais no conversor analógico-digital dentro do Artix-7 (XADC). Qualquer um ou todos os pares no conector podem ser configurados como entrada analógica ou entrada-saída digital.

O Pmod Dual Analógico/Digial no Nexys 4 difere dos demais no roteamento de seus traços. Os oito sinais de dados são agrupados em quatro pares, com os pares roteados estreitamente acoplados para melhor imunidade a ruído analógico. Além disso, cada par possui um filtro anti-alias parcialmente carregado disposto na PCB. O filtro não possui capacitores C60-C63. Em projetos onde tais filtros são desejados, os capacitores podem ser carregados manualmente pelo usuário.

NOTA: O roteamento acoplado e os filtros anti-alias podem limitar as velocidades de dados quando usados para sinais digitais.

O núcleo XADC dentro do Artix-7 é um conversor analógico-digital de 12 bits de canal duplo capaz de operar a 1 MSPS. Qualquer canal pode ser acionado por qualquer um dos pares de entradas analógicas auxiliares conectados ao cabeçalho JXADC. O núcleo XADC é controlado e acessado a partir de um design de usuário por meio da Porta de Reconfiguração Dinâmica (DRP). O DRP também fornece acesso a monitores de tensão presentes em cada um dos barramentos de alimentação do FPGA e a um sensor de temperatura interno ao FPGA. Para obter mais informações sobre o uso do núcleo XADC, consulte o documento da Xilinx intitulado “7 Series FPGAs and Zynq-7000 All Programmable SoC XADC Dual 12-Bit 1 MSPS Analog-to-Digital Converter”.

11 Slot MicroSD

O Nexys 4 fornece um slot microSD para configuração de FPGA e acesso do usuário. O microcontrolador de Função Auxiliar integrado compartilha o barramento do cartão SD com o FPGA. Antes de o FPGA ser configurado, o microcontrolador deve ter acesso ao cartão SD através de uma interface SPI. Depois que um arquivo de bit é baixado para o FPGA (de qualquer fonte), o microcontrolador desliga e desliga o slot SD e abre mão do controle do barramento. Isso permite que qualquer cartão SD no slot reinicie suas máquinas de estado internas e inicie no modo de barramento nativo SD. Todos os pinos SD no FPGA são conectados para suportar velocidades SD completas no modo de interface nativa, conforme mostrado na Figura 21. A interface SPI também está disponível, se necessário. Depois que o controle sobre o barramento SD é passado do microcontrolador para o FPGA, o sinal SD_RESET precisa ser ativamente acionado pelo FPGA para alimentar o slot do cartão microSD. Para obter informações sobre a implementação de um controlador de cartão SD, consulte a especificação do cartão SD disponível em www.sdcard.org.

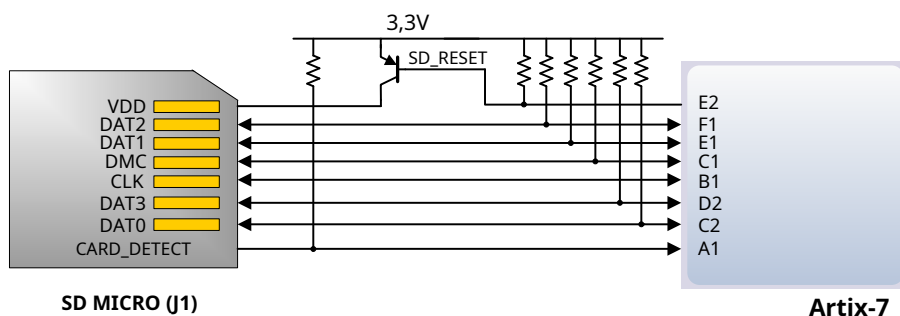


Figura 21. Interface do conector do cartão microSD Artix-7 (conexões PIC24 não mostradas)

12 Sensor de temperatura

O Nexys 4 inclui um sensor de temperatura Analog Device ADT7420. O sensor fornece resolução de até 16 bits com uma precisão típica melhor que 0,25 graus Celsius. A interface entre o sensor de temperatura e o FPGA é mostrada na Fig 22.

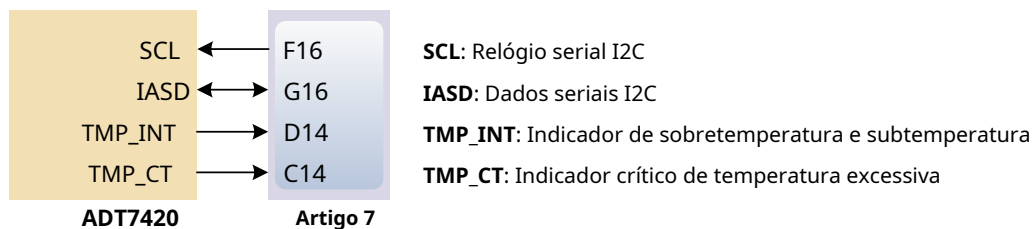


Figura 22. Interface do sensor de temperatura

12.1 Interface I2C

O chip ADT7420 atua como um dispositivo escravo usando o esquema de comunicação I2C padrão da indústria. Para se comunicar com o chip ADT7420, o mestre I2C deve especificar um endereço escravo (0x4B) e um flag indicando se a comunicação é de leitura (1) ou escrita (0). Depois que as especificações de comunicação são feitas, ocorre uma transferência de dados. Para o ADT7420, a transferência de dados deve consistir no endereço do registro do dispositivo desejado seguido dos dados a serem gravados no registro especificado. Para ler um registrador, o mestre deve escrever o endereço de registrador desejado no ADT7420, depois enviar uma condição de reinicialização I2C e enviar uma nova solicitação de leitura ao ADT7420. Caso o mestre não gere uma condição de reinicialização antes de tentar a leitura, o valor escrito no registrador de endereço será zerado para 0x00.

Como alguns registradores armazenam valores de 16 bits como pares de registradores de 8 bits, o ADT7420 incrementará automaticamente o registrador de endereço do dispositivo ao acessar determinados registradores, como os registradores de temperatura e os registradores de limite. Isso permite que o mestre use uma única solicitação de leitura ou gravação para acessar os bytes baixos e altos desses registradores. Uma lista completa dos registradores e seu comportamento pode ser encontrada na ficha técnica do ADT7420 disponível no site da Analog Devices.

12.2 Saídas de drenagem aberta

O ADT7420 fornece dois sinais de saída de dreno aberto para indicar quando os limites de temperatura predefinidos são atingidos. Se a temperatura sair de uma faixa definida pelos registros TLOW (0x06:0x07) e THIGH (0x04:0x05), o pino INT pode ser acionado para baixo ou para cima com base na configuração do dispositivo. Da mesma forma, o pino CT pode ser reduzido ou elevado se a temperatura exceder um limite crítico definido no TCRIT (0x08:0x09). Ambos os pinos precisam de pull-ups internos do FPGA quando usados.

Para detalhes sobre as especificações elétricas e configuração dos pinos INT e CT, consulte a ficha técnica do ADT7420.

12.3 Operação de início rápido

Quando o ADT7420 é ligado, ele está em um modo que pode ser usado como um simples sensor de temperatura sem qualquer configuração inicial. Por padrão, o registro de endereço do dispositivo aponta para o registro MSB de temperatura, portanto, uma leitura de dois bytes sem especificar um registro lerá o valor do registro de temperatura do dispositivo. O primeiro byte lido será o byte mais significativo (MSB) dos dados de temperatura e o segundo será o byte menos significativo (LSB) dos dados. Esses dois bytes formam um número inteiro de 16 bits em complemento de dois. Se o resultado for deslocado três bits para a direita e multiplicado por 0,0625, o valor de ponto flutuante assinado resultante será uma leitura de temperatura em graus Celsius.

Para informações sobre leitura e gravação nos demais registros do dispositivo, bem como notas sobre a precisão das medições de temperatura, consulte a ficha técnica do ADT7420.

13 Acelerômetro

O Nexys 4 inclui um acelerômetro Analog Device ADXL362. O ADXL362 é um acelerômetro MEMS de 3 eixos que consome menos de 2 μ A a uma taxa de dados de saída de 100 Hz e 270 nA quando em modo de despertar acionado por movimento. Ao contrário dos acelerômetros que usam ciclos de potência para atingir baixo consumo de energia, o ADXL362 não faz alias de sinais de entrada por subamostragem; ele amostra toda a largura de banda do sensor em todas as taxas de dados. O ADXL362 sempre fornece resolução de saída de 12 bits; Dados formatados de 8 bits também são fornecidos para transferências de byte único mais eficientes

quando uma resolução mais baixa é suficiente. Estão disponíveis faixas de medição de ± 2 g, ± 4 g e ± 8 g, com resolução de 1 mg/LSB na faixa de ± 2 g. O FPGA pode se comunicar com o ADXL362 via interface SPI. Enquanto o ADXL362 está no modo de medição, ele mede e armazena continuamente dados de aceleração nos registros de dados X, dados Y e dados Z. A interface entre o FPGA e o acelerômetro pode ser vista no Fi 23.

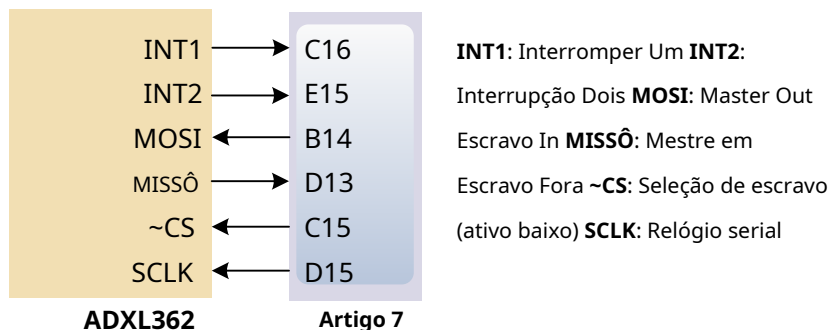


Figura 23. Interface do acelerômetro

13.1 Interface SPI

O ADXL362 atua como um dispositivo escravo utilizando um esquema de comunicação SPI. A frequência de clock SPI recomendada varia de 1 MHz a 5 MHz. A interface SPI opera no modo SPI 0 com CPOL = 0 e CPHA = 0. Todas as comunicações com o dispositivo devem especificar um endereço de registro e um flag que indique se a comunicação é de leitura ou gravação. A transferência real de dados sempre segue o endereço de registro e o sinalizador de comunicação. A configuração do dispositivo pode ser realizada escrevendo nos registros de controle do acelerômetro. Acesse os dados do acelerômetro lendo os registros do dispositivo.

Para obter uma lista completa de registradores, suas funcionalidades e especificações de comunicação, consulte a ficha técnica do ADXL362 disponível em: www.analog.com.

13.2 Interrupções

Várias das funções integradas do ADXL362 podem acionar interrupções que alertam o processador host sobre determinadas condições de status. As interrupções podem ser mapeadas para um (ou ambos) dois pinos de interrupção (INT1, INT2). Ambos os pinos requerem pull-ups internos do FPGA quando usados. Para mais detalhes sobre as interrupções, consulte a ficha técnica do ADXL362 disponível em: www.analog.com.

14 Microfone

A placa Nexys 4 inclui um microfone MEMS omnidirecional. O microfone usa um chip Analog Device ADMP421 que possui uma alta relação sinal-ruído (SNR) de 61dBa e alta sensibilidade de -26 dBFS. Ele também possui uma resposta de frequência plana variando de 100 Hz a 15 kHz. O áudio digitalizado é emitido no formato modulado por densidade de pulso (PDM).

A arquitetura do componente é mostrada na Figura 24.



Figura 24. Diagrama do bloco de microfone

14.1 Modulação por Densidade de Pulso (PDM)

As conexões de dados PDM estão se tornando cada vez mais populares em aplicações de áudio portáteis, como celulares e tablets. Com o PDM, dois canais podem ser transmitidos com apenas dois fios. A frequência de um sinal PDM geralmente fica na faixa de 1 MHz a 3 MHz. Em um fluxo de bits PDM, 1 corresponde a um pulso positivo e 0 corresponde a um pulso negativo. Uma corrida consistindo de todos os '1's corresponderia ao valor positivo máximo e uma corrida de '0's corresponderia ao valor mínimo de amplitude. A Figura 25 mostra como uma onda senoidal é representada no sinal PDM.

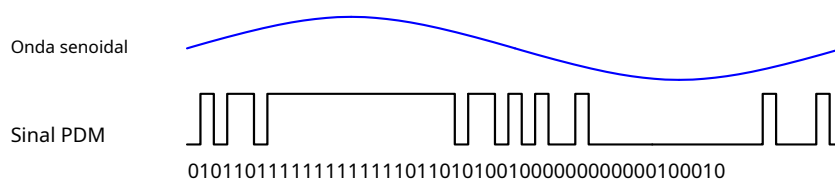


Figura 25. Representação PDM de uma onda senoidal

Um sinal PDM é gerado a partir de um sinal analógico por meio de um processo denominado Modulação Delta-Sigma. Um circuito idealizado simples do modulador Delta-Sigma é mostrado na Figura 26.

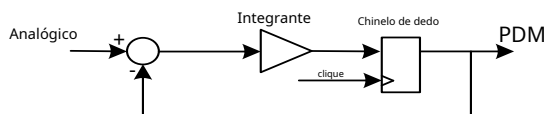


Figura 26. Circuito Modulador Delta-Sigma Simples

Soma	Integrador fora	Saída de flip-flop
0,4-0=0,4	0+0,4=0,4	0
0,4-0=0,4	0,4+0,4=0,8	1
0,4-1=-0,6	0,8-0,6=0,2	0
0,4-0=0,4	0,2+0,4=0,6	1
0,4-1=-0,6	0,6-0,6=0	0
0,4-0=0,4	0+0,4=0,4	0
0,4-0=0,4	0,4+0,4=0,8	1
0,4-1=-0,6	0,8-0,6=0,2	0

Tabela 7. Modulador Sigma Delta com entrada de 0,4Vdd

Para simplificar aqui, suponha que a entrada analógica e a saída digital tenham a mesma faixa de tensão 0 ~ Vdd. A entrada do flip-flop atua como um comparador (qualquer sinal acima de $V_{dd}/2$ é considerado '1' e qualquer entrada abaixo de $V_{dd}/2$ é considerada '0'). A entrada do circuito integral é a diferença entre o sinal analógico de entrada e o sinal PDM do ciclo de clock anterior. Então o circuito integral integra ambas as entradas, e a saída do circuito integral é amostrada por um D-Flip-flop. A Tabela 7 mostra a função do modulador delta-sigma com entrada de $0,4V_{dd}$.

Observe que a média da saída do flip-flop é igual ao valor do sinal analógico de entrada. Assim, para obter o valor da entrada analógica, basta um contador que conte os '1's por um determinado período de tempo.

14.2 Sincronização da interface digital do microfone

A entrada de clock do microfone pode variar de 1 MHz a 3,3 MHz com base na taxa de amostragem e nos requisitos de precisão de dados das aplicações. O sinal L/R Select deve ser definido para um nível válido, dependendo de qual borda do clock o bit de dados será lido. Um nível baixo em L/RSEL disponibiliza dados na borda ascendente do relógio, enquanto um nível alto corresponde à borda descendente do relógio, como mostrado na Fig. 27.

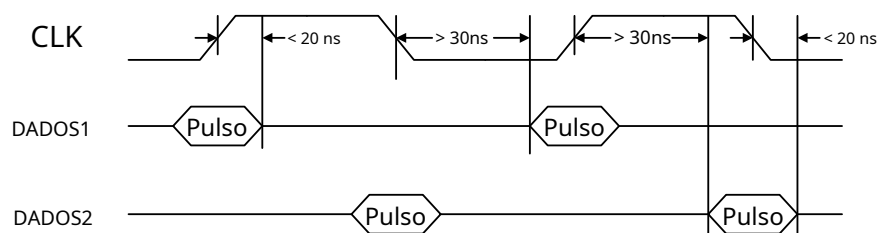


Figura 27. Diagrama de temporização do PDM

O valor típico da frequência do clock é 2,4 MHz. Supondo que a aplicação exija precisão de 7 bits e 24 KHz, pode haver dois contadores que contam 128 amostras a 12 KHz, conforme mostrado na Figura 28.

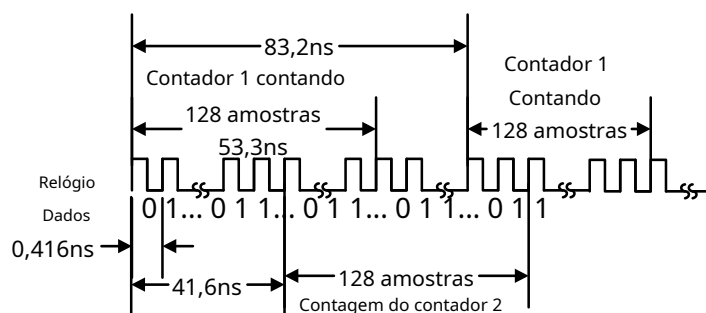


Figura 28. Amostragem PDM com dois contadores

15 Saída de áudio mono

O conector de áudio integrado (J8) é acionado por um Sallen-Key Butterworth Low-pass 4º Filtro de pedido que fornece saída de áudio mono. O circuito do filtro passa-baixa é mostrado na Fig 29. A entrada do filtro (AUD_PWM) está conectada ao pino A11 do FPGA. Uma entrada digital normalmente será um sinal modulado por largura de pulso (PWM) ou sinal modulado por densidade de pulso (PDM) produzido pelo FPGA. O filtro passa-baixa na entrada atuará como um filtro de reconstrução para converter o sinal digital modulado por largura de pulso em uma tensão analógica na saída do conector de áudio.

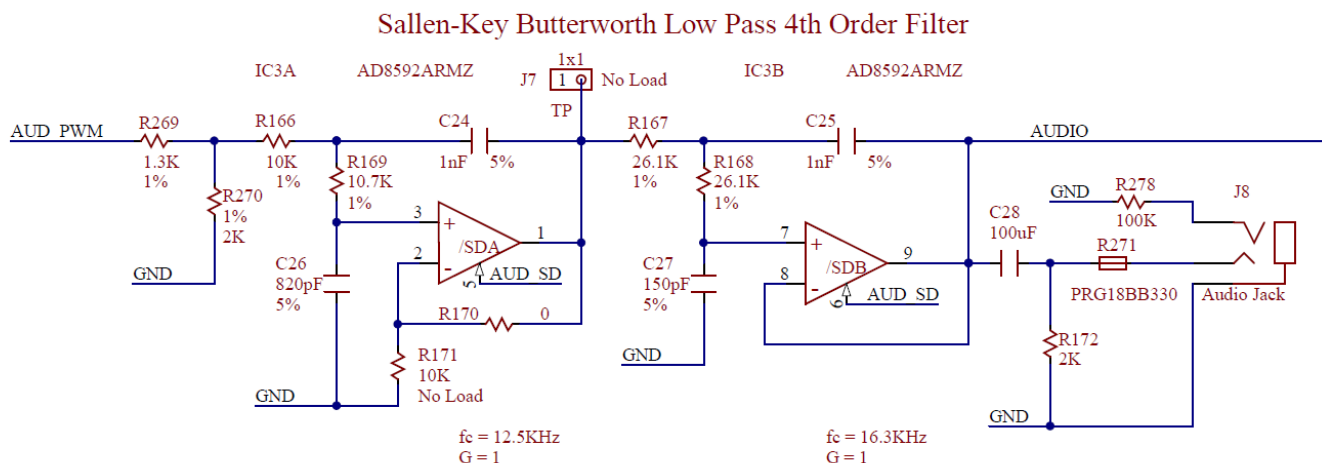


Figura 29. Sallen-Key Butterworth Low Pass 4-Pedido Filter

A resposta de frequência do filtro passa-baixa SK Butterworth é mostrada na Fig 30. A análise CA do circuito é feita usando NI Multism 12.0.

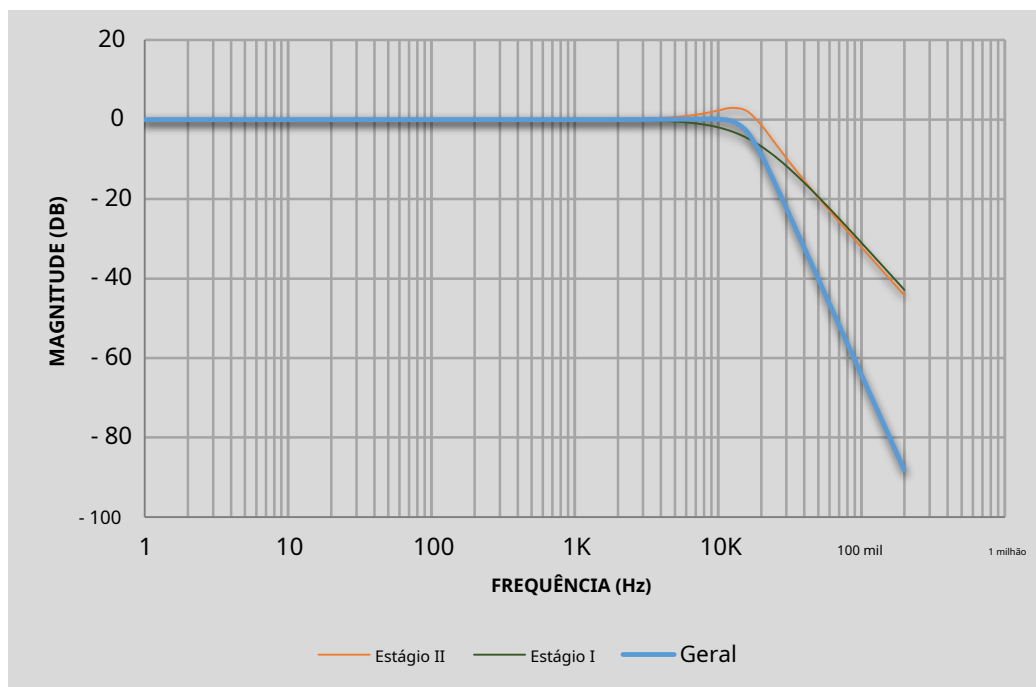


Figura 30. Resposta de frequência do filtro passa-baixa SK Butterworth

15.1 Modulação por largura de pulso

Um sinal modulado por largura de pulso (PWM) é uma cadeia de pulsos em alguma frequência fixa, com cada pulso tendo potencialmente uma largura diferente. Este sinal digital pode ser passado através de um filtro passa-baixa simples que integra a forma de onda digital para produzir uma tensão analógica proporcional à largura média do pulso em algum intervalo (o intervalo é determinado pela frequência de corte de 3dB do filtro passa-baixa e a frequência de pulso). Por exemplo, se os pulsos

são altos por uma média de 10% do período de pulso disponível, então um integrador produzirá um valor analógico que é 10% da tensão Vdd. A Figura 31 mostra uma forma de onda representada como um sinal PWM.

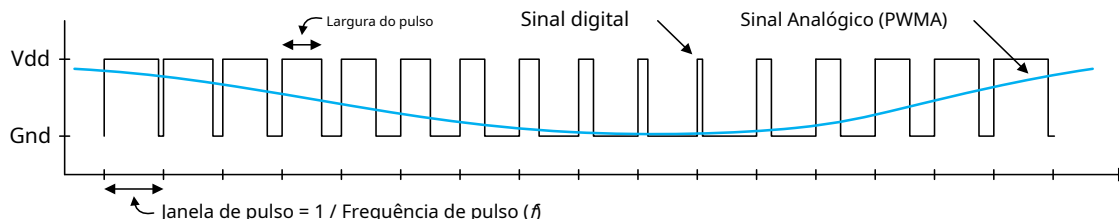


Figura 31. Forma de onda simples representada como PWM

O sinal PWM deve ser integrado para definir uma tensão analógica. A frequência do filtro passa-baixo de 3dB deve ser uma ordem de grandeza menor que a frequência PWM, de modo que a energia do sinal na frequência PWM seja filtrada do sinal. Por exemplo, se um sinal de áudio deve conter até 5 KHz de informações de frequência, então a frequência PWM deve ser de pelo menos 50 KHz (e de preferência ainda mais alta). Em geral, em termos de fidelidade do sinal analógico, quanto maior a frequência PWM, melhor. A Figura 32 mostra uma representação de um integrador PWM produzindo uma tensão de saída integrando o trem de pulsos. Observe que a relação de amplitude do sinal de saída do filtro em estado estacionário para Vdd é a mesma que o ciclo de trabalho da largura de pulso (o ciclo de trabalho é definido como o tempo de pulso alto dividido pelo tempo de janela de pulso).

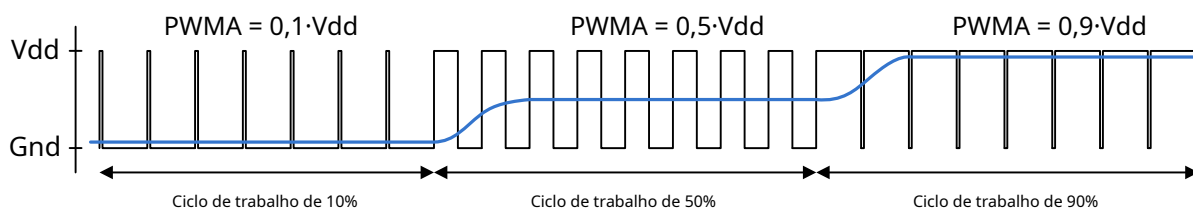


Figura 32. Representação de um integrador PWM produzindo uma tensão de saída integrando o trem de pulsos

16 Autoteste integrado

Uma configuração de demonstração é carregada no dispositivo SPI Flash na placa Nexys 4 durante a fabricação. O código-fonte e o fluxo de bits pré-construído para este design estão disponíveis para download no site da Digilent. Se a configuração demo estiver presente no dispositivo SPI Flash e a placa Nexys 4 estiver ligada no modo SPI, o projeto demo permitirá a verificação básica de hardware. Aqui está uma visão geral de como esta demonstração orienta os diferentes componentes integrados:

- Os LEDs do usuário acendem quando o interruptor do usuário correspondente é colocado na posição ligado.
- Os LEDs tricolores são controlados por alguns dos botões do usuário. Pressionar BTNL, BTNC ou BTNR faz com que eles iluminem em vermelho, verde ou azul, respectivamente. Pressionar BTND faz com que eles comecem a percorrer várias cores. Pressionar repetidamente BTND ligará ou desligará os dois LEDs.
- Pressionar BTNU acionará uma gravação de 5 segundos do microfone PDM integrado. Esta gravação é reproduzida imediatamente na porta de saída de áudio mono. O status da gravação e reprodução é exibido nos LEDs do usuário.
- A porta VGA exibe feedback do microfone integrado, sensores de temperatura, acelerômetro, LEDs RGB e mouse USB.

- Conectar um mouse à porta USB-HID Mouse permitirá que o ponteiro no monitor VGA seja controlado. Observe que alguns mouses da Microsoft têm dificuldade de comunicação com esta demonstração.
- Ao ligar, o display de sete segmentos mostrará os resultados de um teste automatizado para o CellRAM, acelerômetro e sensor de temperatura integrados. Em seguida, ele exibirá um padrão de cobra em movimento. Observe que o teste do acelerômetro falhará se a placa estiver em uma superfície instável ou desnivelada quando for ligada, e o teste do sensor de temperatura poderá falhar se a placa estiver em um clima térmico extremo. Com essas duas considerações em mente, se sua placa estiver relatando uma falha, anote o código de erro e entre em contato com o suporte da Digilent em suporte@digilentinc.com.

Todas as placas Nexys 4 são 100% testadas durante o processo de fabricação. Se algum dispositivo da placa Nexys 4 falhar no teste ou não estiver respondendo adequadamente, é provável que tenham ocorrido danos durante o transporte ou uso. Os danos típicos incluem juntas de solda tensionadas e contaminantes em interruptores e botões, resultando em falhas intermitentes. As juntas de solda tensionadas podem ser reparadas reaquecendo e refluindo a solda e os contaminantes podem ser limpos com produtos de limpeza eletrônicos disponíveis no mercado. Se uma placa falhar no teste dentro do período de garantia, ela será substituída sem nenhum custo. Entre em contato com a Digilent para obter mais detalhes.