

Introdução ao MicroBlaze

AULA 5

IOUL IIA SKL I AROVA

Processador MicroBlaze

Processador suave

- ~1.900-7.000 células lógicas (~1.200-4.500 LUTs) - estimativas
- 63.400 LUTs disponíveis no Artix-7 XC7A100T

Arquitetura RISC

- utiliza um conjunto pequeno e altamente otimizado de instruções, em vez de um conjunto mais especializado de instruções frequentemente encontrado em outros tipos de arquiteturas

Arquitetura de 32/64 bits

- Trinta e dois registradores de uso geral de 32 ou 64 bits

Em produção desde 2002.

Apoiado em

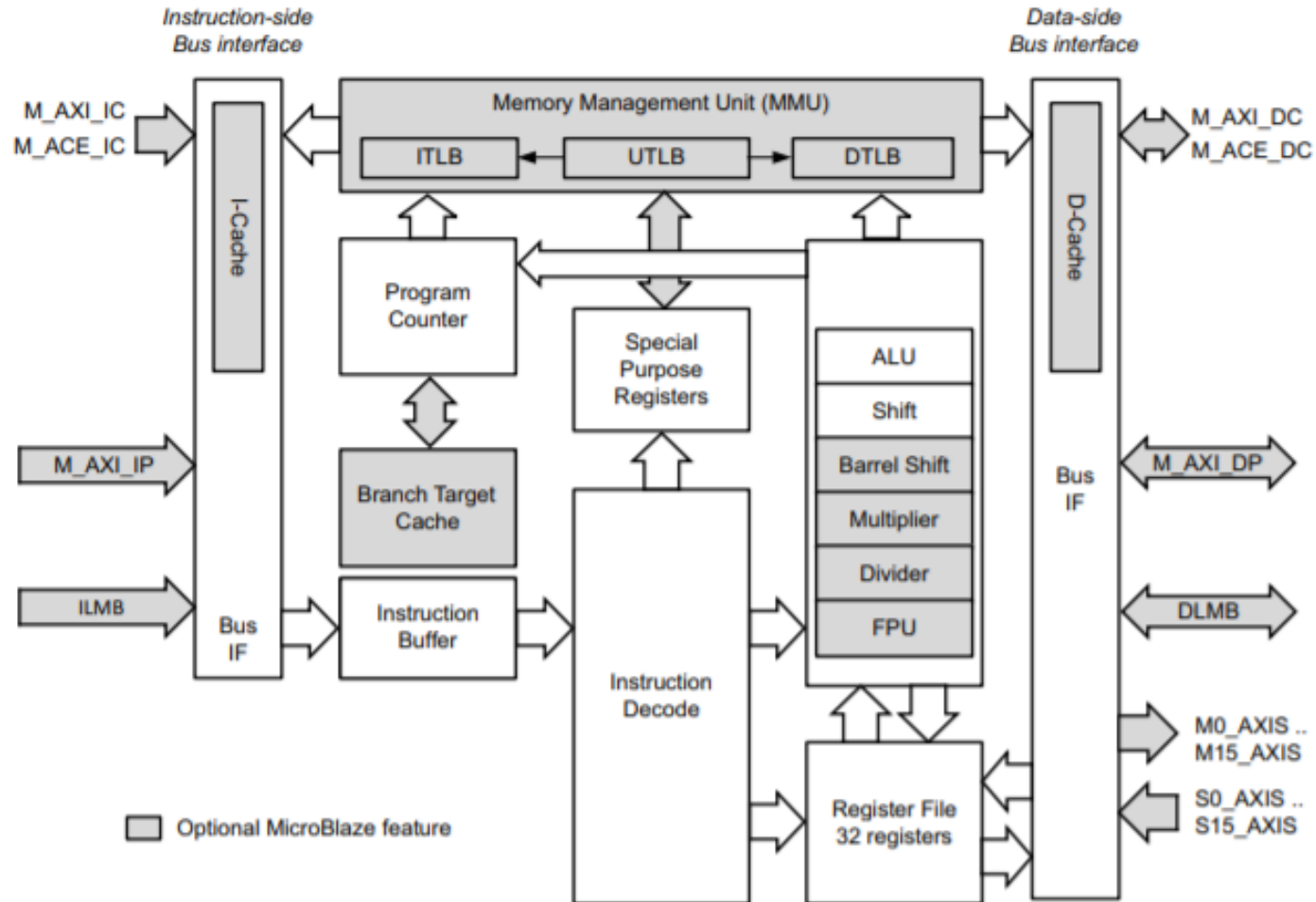
- Dispositivos série 7/UltraScale/UltraScale+

Três configurações predefinidas:

- um microcontrolador simples executando aplicações bare-metal (~200 MHz no Artix-7);
- um processador em tempo real rodando FreeRTOS (~170 MHz);
- um processador de aplicativo com uma unidade de gerenciamento de memória executando Linux (~140 MHz)

Visão geral do MicroBlaze

Guia de referência do processador MicroBlaze - UG984



Recursos do MicroBlaze

O conjunto de recursos fixos do processador inclui:

- Trinta e dois registradores de uso geral de 32 ou 64 bits
- Palavra de instrução de 32 bits com três operandos e dois modos de endereçamento
- Barramento de endereço padrão de 32 bits, extensível até 64 bits
- Pipeline de problema único

Recursos configuráveis

- Profundidade do pipeline do processador
- Unidade de ponto flutuante (FPU)
- Divisor de ferragens
- Área ou velocidade otimizada
- Modo de 64 bits
- ...

Tipos de dados MicroBlaze

O processador MicroBlaze usa o formato Big-Endian ou Little-Endian (padrão) para representar dados, dependendo do endianness selecionado.

Os tipos de dados suportados por hardware para MicroBlaze de 32 bits são palavra, meia palavra e byte. Com o MicroBlaze de 64 bits, os tipos de dados long e double também estão disponíveis em hardware.

Big-Endian Byte Address	n	n+1	n+2	n+3
Big-Endian Byte Significance	MSByte			LSByte
Big-Endian Byte Order	n	n+1	n+2	n+3
Big-Endian Byte-Reversed Order	n+3	n+2	n+1	n
Little-Endian Byte Address	n+3	n+2	n+1	n
Little-Endian Byte Significance	MSByte			LSByte
Little-Endian Byte Order	n+3	n+2	n+1	n
Little-Endian Byte-Reversed Order	n	n+1	n+2	n+3
Bit Label	0			31
Bit Significance	MSBit			LSBit

Resumo das instruções do MicroBlaze

Todas as instruções MicroBlaze são de 32 bits e são definidas como Tipo A ou Tipo B.

As instruções do tipo A possuem até dois operandos de registro de origem e um operando de registro de destino.

As instruções do tipo B possuem um registrador de origem e um operando imediato de 16 bits. As instruções do tipo B possuem um único operando de registro de destino.

Table 2-7: MicroBlaze Instruction Set Summary

Type A	0-5	6-10	11-15	16-20	21-31	Semantics
Type B	0-5	6-10	11-15	16-31		
ADD Rd,Ra,Rb	000000	Rd	Ra	Rb	00L00000000	Rd := Rb + Ra
RSUB Rd,Ra,Rb	000001	Rd	Ra	Rb	00L00000000	Rd := Rb + \overline{Ra} + 1
ADDC Rd,Ra,Rb	000010	Rd	Ra	Rb	00L00000000	Rd := Rb + Ra + C
RSUBC Rd,Ra,Rb	000011	Rd	Ra	Rb	00L00000000	Rd := Rb + \overline{Ra} + C
ADDK Rd,Ra,Rb	000100	Rd	Ra	Rb	00L00000000	Rd := Rb + Ra
RSUBK Rd,Ra,Rb	000101	Rd	Ra	Rb	00L00000000	Rd := Rb + \overline{Ra} + 1
CMP Rd,Ra,Rb	000101	Rd	Ra	Rb	00L00000001	Rd := Rb + \overline{Ra} + 1 Rd[0] := 0 if (Rb >= Ra) else Rd[0] := 1
CMPU Rd,Ra,Rb	000101	Rd	Ra	Rb	00L00000011	Rd := Rb + \overline{Ra} + 1 (unsigned) Rd[0] := 0 if (Rb >= Ra, unsigned) else Rd[0] := 1

Pipeline MicroBlaze

A execução da instrução MicroBlaze é pipeline.

Para a maioria das instruções, cada estágio leva um ciclo de clock para ser concluído.

Conseqüentemente, o número de ciclos de clock necessários para a conclusão de uma instrução específica é igual ao número de estágios do pipeline, e uma instrução é concluída em cada ciclo na ausência de dados, controle ou riscos estruturais.

- Um perigo de dados ocorre quando o resultado de uma instrução é necessário para uma instrução subsequente. Isso pode resultar na paralisação do pipeline, a menos que o resultado possa ser encaminhado para a instrução subsequente. O MicroBlaze GNU Compiler tenta evitar riscos de dados reordenando instruções durante a otimização.
- Um risco de controle ocorre quando um desvio é feito e a próxima instrução não está imediatamente disponível. Isso resulta na paralisação do pipeline. MicroBlaze fornece ramificações de slot de atraso e cache de destino de ramificação opcional para reduzir o número de ciclos de parada.
- Um risco estrutural ocorre para algumas instruções que requerem vários ciclos de clock no estágio de execução ou em um estágio posterior para serem concluídas. Isto é conseguido paralisando o pipeline.

Pipeline de três estágios

Com o MicroBlaze é otimizado para **área**, o pipeline é dividido em três estágios para minimizar o custo de hardware: busca, decodificação e execução.

O pipeline de três estágios não apresenta riscos de dados.

As paralisações do pipeline são causadas por riscos de controle, riscos estruturais devido a instruções de múltiplos ciclos, acessos à memória usando memória mais lenta, busca de instruções de memória mais lenta ou acessos de fluxo.

	cycle1	cycle2	cycle3	cycle4	cycle5	cycle6	cycle7
instruction 1	Fetch	Decode	Execute				
instruction 2		Fetch	Decode	Execute	Execute	Execute	
instruction 3			Fetch	Decode	Stall	Stall	Execute

Pipeline de cinco estágios

Com o MicroBlaze é otimizado para **desempenho**, o pipeline é dividido em cinco estágios para maximizar o desempenho: busca (IF), decodificação (OF), execução (EX), memória de acesso (MEM) e writeback (WB).

As paralisações do pipeline são causadas por riscos de dados, riscos de controle, riscos estruturais devido a instruções multiciclo, acessos à memória usando memória mais lenta, busca de instruções de memória mais lenta ou acessos de fluxo.

	cycle1	cycle2	cycle3	cycle4	cycle5	cycle6	cycle7	cycle8	cycle9
instruction 1	IF	OF	EX	MEM	WB				
instruction 2		IF	OF	EX	MEM	MEM	MEM	WB	
instruction 3			IF	OF	EX	Stall	Stall	MEM	WB

Pipeline de oito estágios

Com o MicroBlaze é otimizado para **frequência**, o pipeline é dividido em oito estágios para maximizar a frequência possível: busca (IF), decodificação (OF), execução (EX), memória de acesso 0 (M0), memória de acesso 1 (M1), memória de acesso 2 (M2), acesso Memória 3 (M3) e Writeback (WB).

As paralisações do pipeline são causadas por riscos de dados, riscos de controle, riscos estruturais, acessos à memória usando memória mais lenta, busca de instruções de memória mais lenta ou acessos de fluxo.

	cycle1	cycle2	cycle3	cycle4	cycle5	cycle6	cycle7	cycle8	cycle9	cycle10	cycle11
instruction 1	IF	OF	EX	M0	M1	M2	M3	WB			
instruction 2		IF	OF	EX	M0	M0	M1	M2	M3	WB	
instruction 3			IF	OF	EX	Stall	M0	M1	M2	M3	WB

Arquitetura de memória

MicroBlaze é implementado com uma **Arquitetura de memória Harvard**; os acessos a instruções e dados são feitos em espaços de endereço separados.

- O **espaço de endereço de instrução** tem um intervalo de endereços virtuais de 32 bits com MicroBlaze de 32 bits (ou seja, lida com até 4 GB de instruções) e pode ser estendido até um intervalo de endereços físicos de 64 bits.
- O **espaço de endereço de dados** tem um intervalo padrão de 32 bits e pode ser estendido até um intervalo de 64 bits (ou seja, suporta de 4 GB a 16 EB de dados).

Os intervalos de memória de instruções e de dados podem ser sobrepostos mapeando-os para a mesma memória física. Este último é necessário para depuração de software.

Ambas as interfaces de instrução e dados do MicroBlaze têm largura padrão de 32 bits e usam formato big endian ou little endian, bit invertido, dependendo do endianness selecionado. MicroBlaze suporta acessos de palavra, meia palavra e byte à memória de dados.

Os acessos aos dados devem ser alinhados (os acessos às palavras devem estar nos limites das palavras, meia palavra nos limites de meia palavra), a menos que o processador esteja configurado para suportar exceções não alinhadas. Todos os acessos às instruções devem estar alinhados por palavra.

Considerações finais

Ao final desta palestra você deverá ser capaz de:

- tenha uma ideia genérica do processador MicroBlaze

Pendência:

- Conclua o laboratório. 4