

UNIVERSIDAD POLITÉCNICA DE VALENCIA

**ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA DE
TELECOMUNICACIÓN**

**Grado de Ingeniería de Tecnologías y Servicios de
Telecomunicación**



**ESCUELA TÉCNICA
SUPERIOR DE
INGENIEROS DE
TELECOMUNICACIÓN**

**UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA**

“Prácticas de VLSI”

MEMORIAS de PRÁCTICAS 2 Y 3

Autores:

**Jara García Barrena
Luis Valls Sansaloni**

INTRODUCCIÓN

En la presente memoria se desarrollan las explicaciones del método utilizado para llevar a cabo las Prácticas 2 y 3 de la asignatura de VLSI. El trabajo ha sido realizado por Jara García Barrena y Luis Valls Sansaloni.

En los archivos comprimidos adjuntos, se añaden todos los ficheros creados a lo largo de las prácticas. En el primer archivo llamado "Pract2", se haya la librería utilizada en la práctica 2. Dicha librería tiene también como nombre "pract2". La forma de organizar los ficheros ha sido simple. Para las células que contienen esquemático, símbolo, layout y su av_extracted, el nombre de la carpeta donde se guardan tienen como denominación el nombre de la célula correspondiente. En el caso de los Test Bench, la carpeta contiene el esquemático de dicho diseño, renombrada con el nombre de su célula correspondiente más el sufijo "_TB". Por último, los esquemáticos de Test Bench que comparan el esquemático de una célula con su av_extracted, están guardados en carpetas con el nombre de la célula que simulan, seguido del sufijo "_TB2". También se añaden a estas últimas la carpeta "config" (configuración que nos permite situar el esquemático y el av_extracted en un mismo tiempo y espacio).

En el otro archivo comprimido, llamado "pract3", está guardada la librería "Pract3" utilizada en la práctica 3. Esta consta de 2 carpetas, las cuales contienen el esquemático y el símbolo del bloque dinámico (bajo el nombre "BlockDyn_fin") y el Test Bench de dicha célula en la otra (con nombre "BlockDyn_TB").

PRÁCTICA 2: PARÁMETROS CDF y VARIABLES DE SIMULACIÓN Y DIMENSIONADO DE UN TRIGGER

Jara García Barrena

jagarba3@teleco.upv.es

Luis Valls Sansaloni

luivalsa@teleco.upv.es

2 de junio de 2021

1. INTRODUCCIÓN

En esta práctica hemos realizado el diseño de un circuito inversor Trigger Schmitt (Trigger) en tecnología AMS C35B4, CMOS de pozo N, un polisilicio y cuatro metales, de 0.35μ de mínima longitud dibujada de puerta, mediante Cadence.

2. DISEÑO DEL TRIGGER SCHMITT

2.1. Esquemático y Símbolo

Para comenzar el diseño del Trigger Schmitt debemos empezar por crear el esquemático de la célula. Utilizando transistores, podemos formar el esquemático que se observa en la Fig. 1.

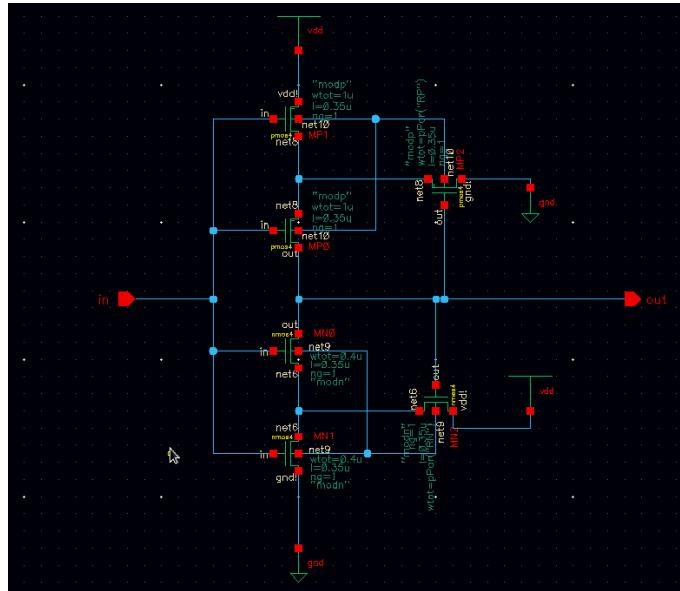


Figura 1: Esquemático de la célula Trigger Schmitt

A partir del esquemático creado, formamos el símbolo que utilizaremos en futuros diseños (ver Fig. 2).

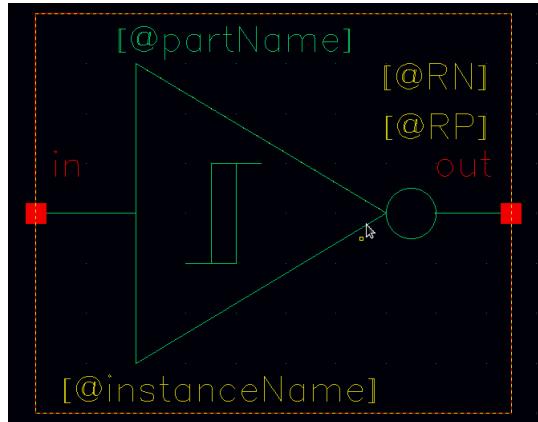


Figura 2: Símbolo del Trigger Schmitt

2.2. CDF

En este apartado vamos a realizar una serie de nuevos pasos para crear la asignación de parámetros jerárquicos.

En primer lugar cambiaremos los atributos del componente nmos4 y pmos4 (más concretamente el parámetro "Width").

Para crear los parámetros CDF iremos al CIW siguiendo el directorio *Tools/CDF/Edit*, y rellenamos la ventana emergente con los datos correspondientes (ver Fig. 3).

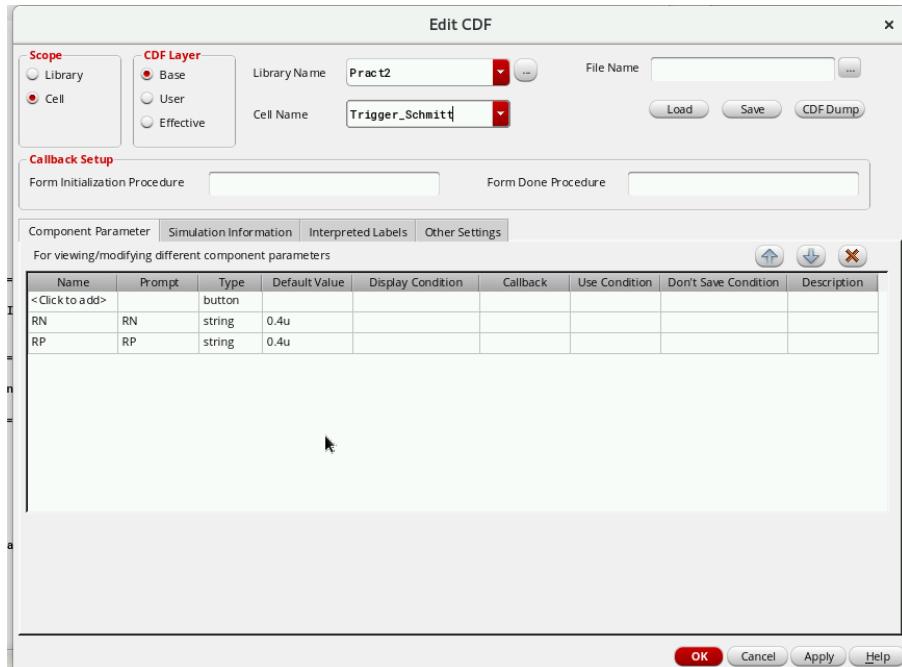


Figura 3: Configuración de los parámetros CDF

3. ANÁLISIS TRANSITORIO (Test Bench)

Una vez establecido el esquemático y el símbolo, llevamos a cabo el esquemático del Test Bench de la célula (ver Fig. 4). Para realizarlo, hemos utilizado una fuente vpulse (fuente de estímulos), con el fin de obtener una señal trapezoidal. Configurándola de forma correcta (ver Fig. 5), pasaremos a disponer de forma correcta la simulación. Cabe destacar que la simulación la haremos transitoria, ya que cuando simulemos, disponemos de una función con histéresis.

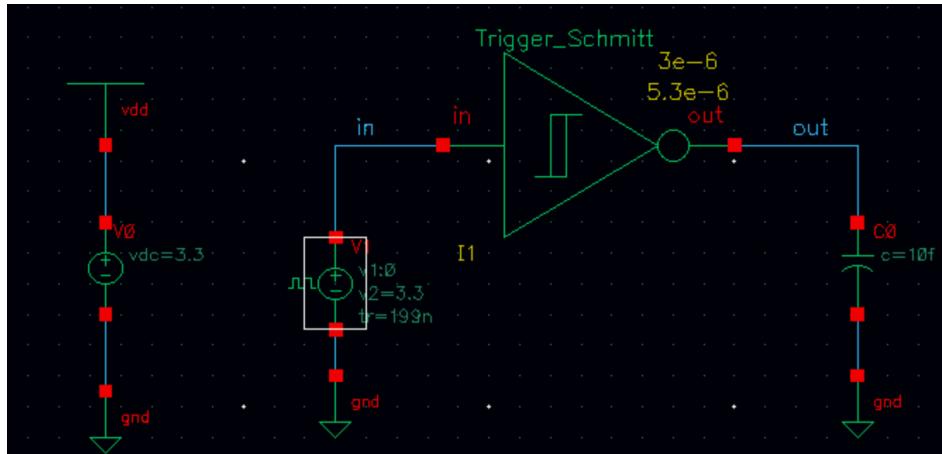


Figura 4: Esquemático del Test Bench

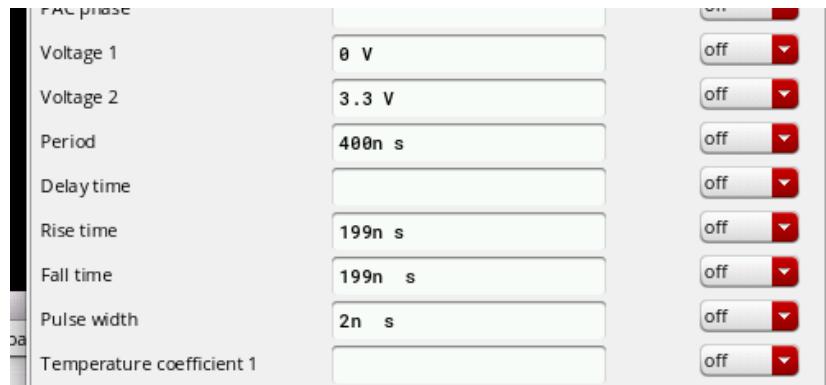


Figura 5: Configuración del vpulse

Tras realizar el esquemático anteriormente expuesto, estableceremos en el ADE los parámetros de simulación correspondientes, configurando correctamente las variables con unos valores iniciales arbitrarios (ver Fig. 6). A su vez, escogiendo un análisis transitorio (es interesante recordar que la opción Skipdc debe estar activa), podemos efectuar las simulaciones paramétricas que nos darán los valores "WidthN" y "WidthP" que necesitaremos para realizar, posteriormente, el layout.

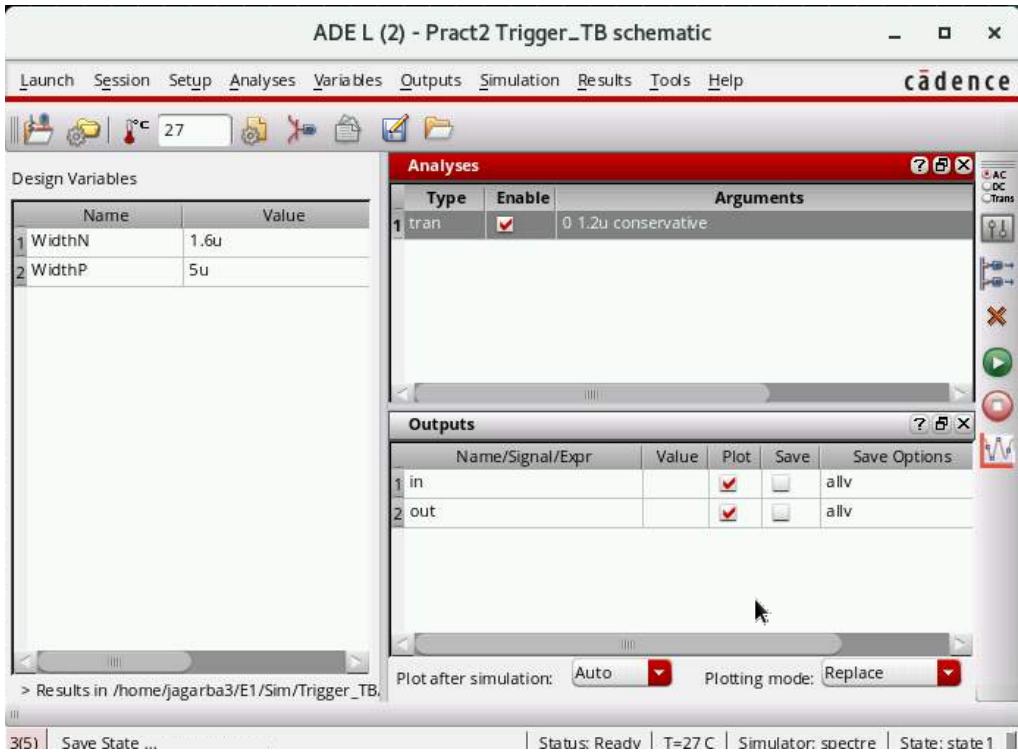


Figura 6: Configuración de las variables de simulación

En primer lugar, realizaremos un análisis paramétrico de la variable "WidthN". Estableciendo un rango de valores a analizar, con tamaño de los pasos igual a 0.4ns, obtenemos la siguiente gráfica (hay que tener en cuenta que el visionado de dicha gráfica se ve al cambiar la configuración de los ejes, representando las salidas en contra de las entradas):

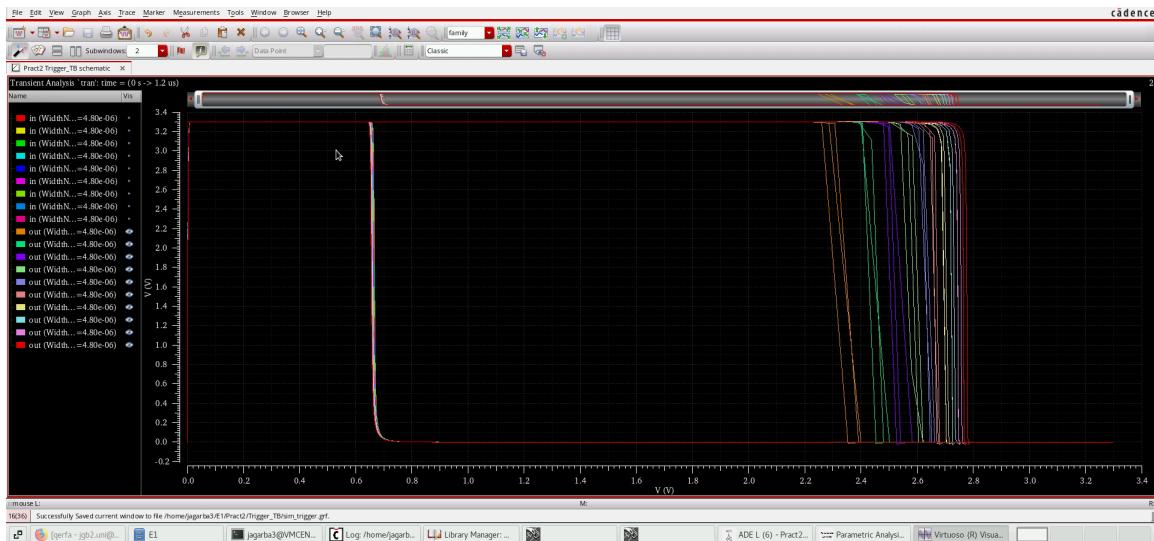


Figura 7: Simulación paramétrica del parámetro WidthN

Para elegir el correcto valor de la variable que estamos analizando, hemos seguido las especificaciones proporcionadas en el guión de prácticas. De esta forma, sabemos que el valor estará en el valor 2.65V (eje x) y 1.65V (eje y, sacado de $V_{dd}/2$). Usando marcadores con dichos puntos (ver Fig. 8), encontramos el punto que nos marca el valor correcto del "WidthN", el cual se encuentra en "WidthN" = 3u.

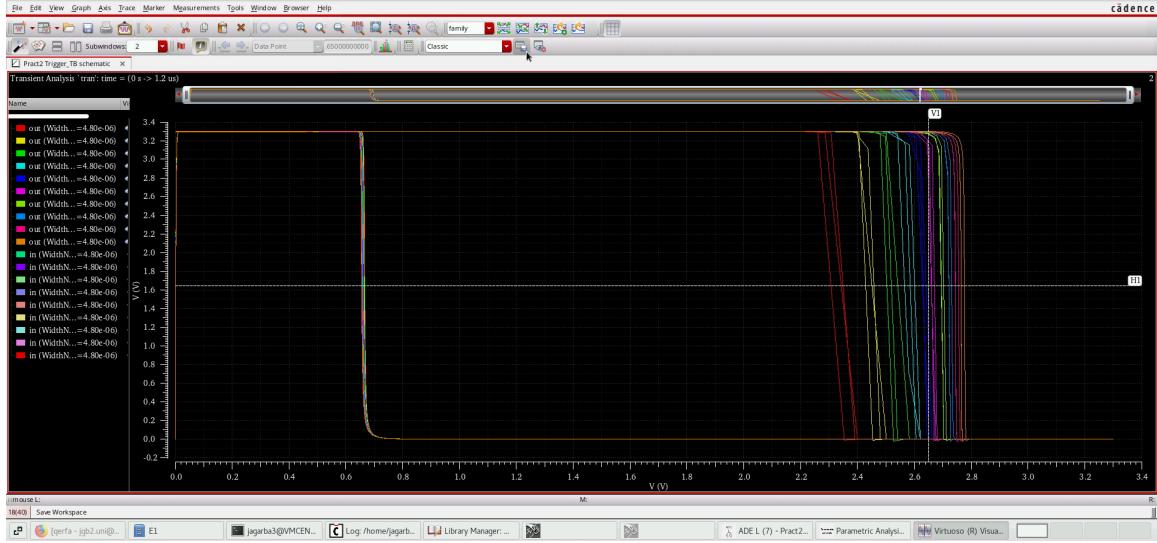


Figura 8: Búsqueda del valor "WidthN"

A continuación llevamos a cabo el análisis paramétrico de la variable "WidthP" (cambiando el valor de la "WidthN" al ya hallado anteriormente). Siguiendo el mismo procedimiento, obtenemos la gráfica cambiando los ejes para visualizarla mejor (ver Fig. 9).

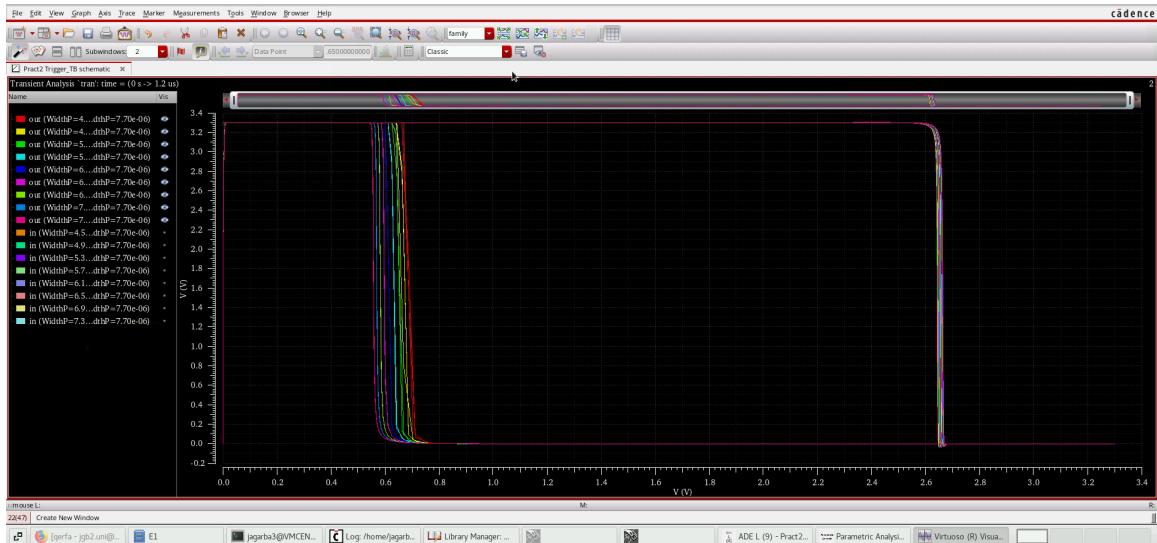


Figura 9: Simulación paramétrica del parámetro "WidthP"

En este caso, situaremos los marcadores (ver Fig. 10) para poder encontrar el valor correspondiente, en

los puntos 0.65V (eje x, consensuado por las especificaciones) y 1.65V (eje y, Vdd/2). El valor correcto para la variable "WidthP" es 5.3u.

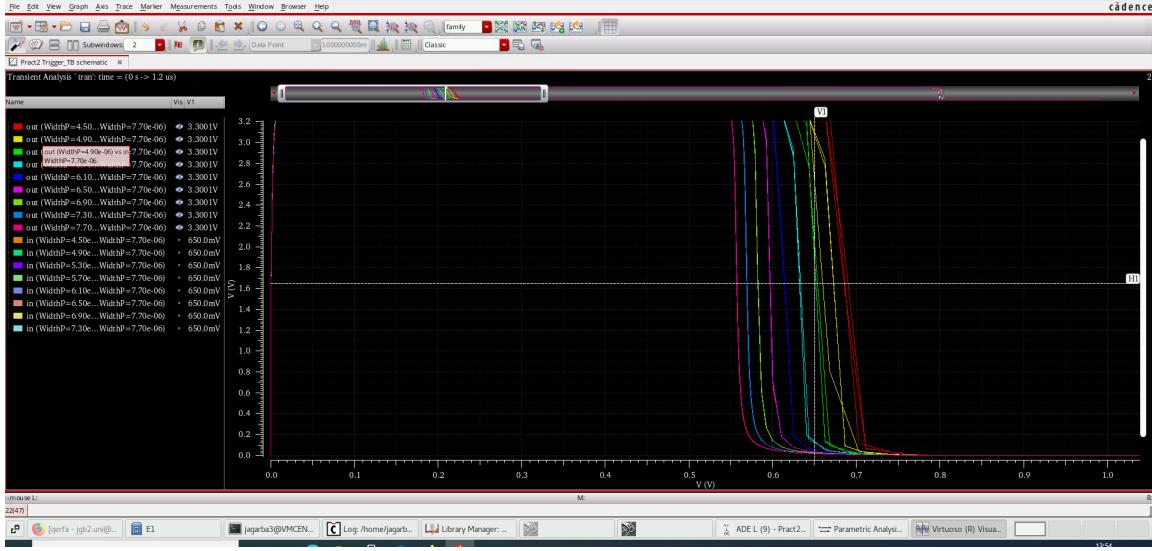


Figura 10: Búsqueda del valor "WidthP"

4. DISEÑO DEL LAYOUT DEL TRIGGER SCHMITT

Para realizar el diseño del layout de la célula con la que estamos trabajando en esta práctica, hemos utilizado el método clásico.

Haciendo uso de las medidas de las variables "WidthN" y "WidthP" encontradas en la simulación paramétrica para establecer las distancias correctas de los nmos y pmos, obtenemos el diseño del layout (ver Fig. ??). Una vez creado, llevamos a cabo el DRC, para comprobar si hay errores en el diseño (ver Fig. 11). Observamos en la captura que no violamos ninguna de las reglas de diseño.



Figura 11: Diseño del layout terminado y DRC

También podemos llevar a cabo el LVS (ver Fig. 12). Observamos que los resultados son satisfactorios, pues el tipo y número de células que se muestran en la pantalla coinciden con el de nuestro diseño (3 pmos y 3 nmos).

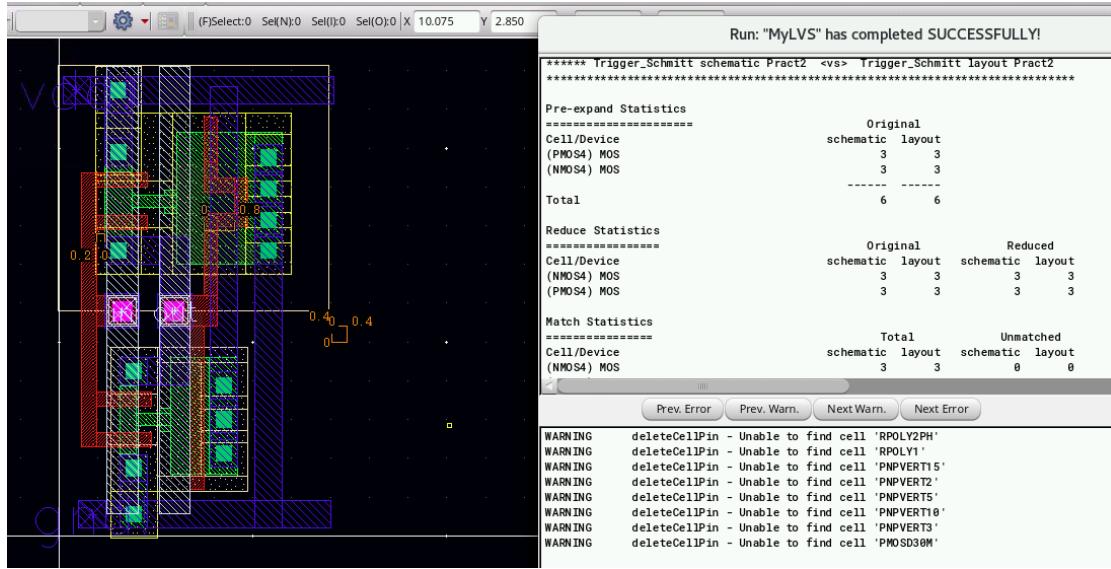


Figura 12: Diseño del layout terminado y LVS

Una vez realizado el layout, podemos sacar el av_extracted a través del Assura QRC. A continuación, hemos hecho una simulación simple con un primer Test bench denominado Trigger_TB (Fig. 13), editando las opciones de environment (ver Fig. 14b) para simular el av_extracted anteriormente creado (ver Fig. 14a).

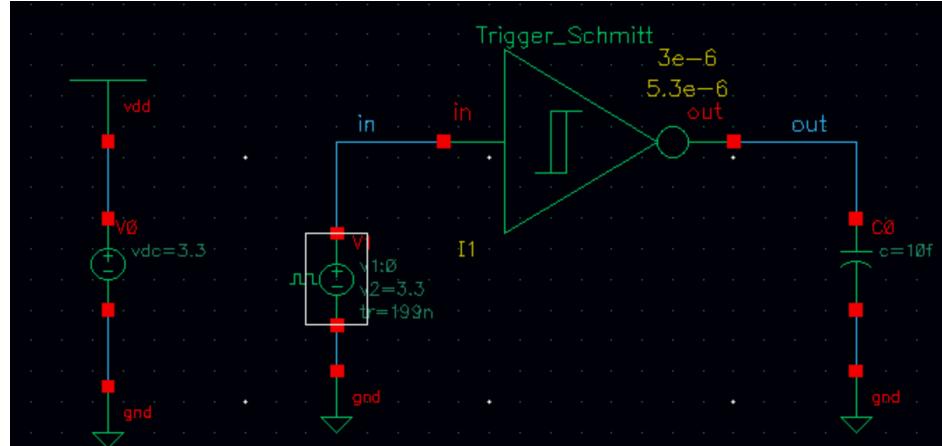


Figura 13: Trigger_TB



(a) Edición de las opciones de ambiente

(b) Simulación del Extracted

Figura 14: Configuración y simulación del Extracted

Además, hemos hecho un segundo Test Bench (para observar el comportamiento de la resimulación comparada, ver Fig. 15) para ver que el esquemático y el av_extracted funcionan igual. Sin embargo, podemos observar que no coinciden del todo en el flanco de bajada (ver Fig. 16). Esto puede ser debido a que los transistores del layout no tiene el tamaño correcto (dicho tamaño sería el calculado mediante el análisis transitorio). Por falta de tiempo no lo hemos cambiado, por ello, lo dejamos indicado como posible mejora para un futuro.

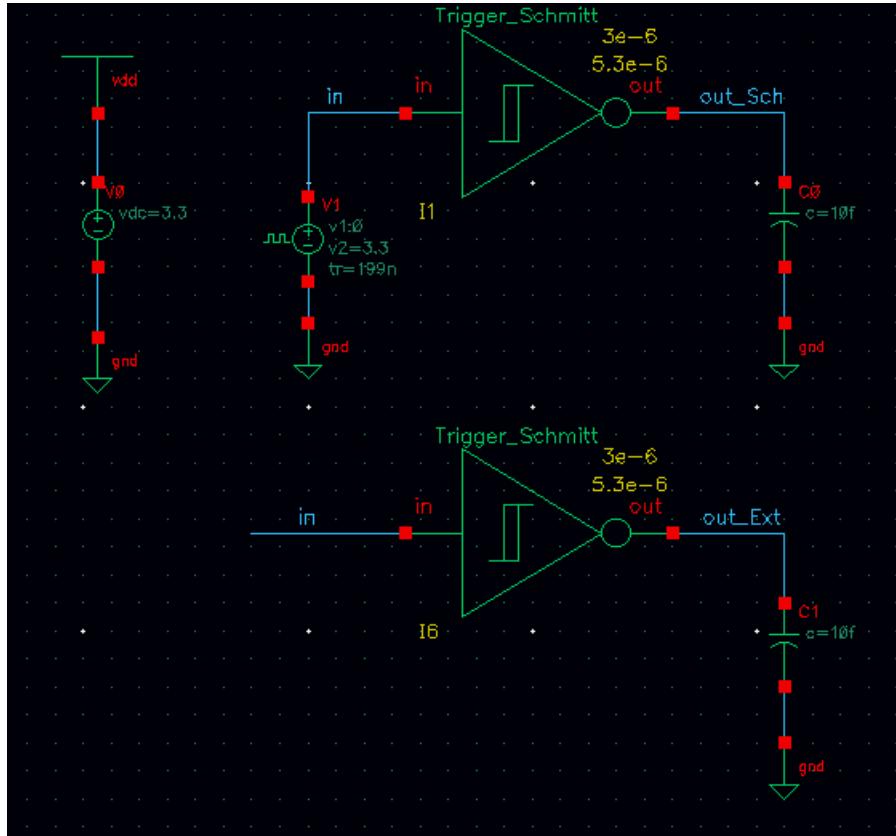


Figura 15: Nuevo Test Bench de la resimulación comparada

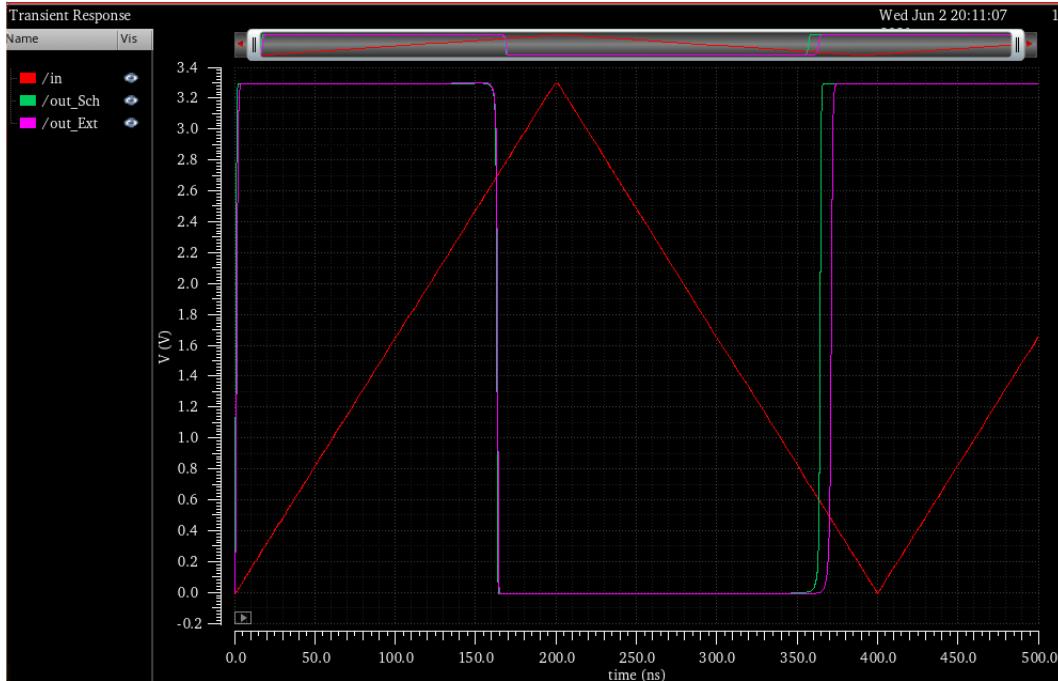
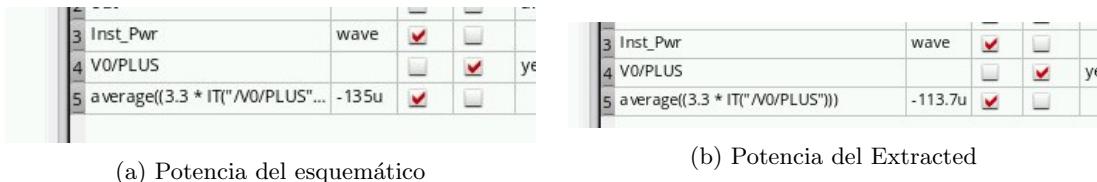


Figura 16: Gráfica esquemático/extracted

Finalmente hemos calculado la potencia que utiliza el Trigger Schmitt tanto para el esquemático, como para el av_extracted utilizando la calculadora de la simulación. En la Fig. 17, observamos las dos potencias comparadas del esquemático y el av_extracted. (La variación en la potencia podría ser causada a los errores cometidos anteriormente en el layout en cuanto al dimensionado de los transistores).



(a) Potencia del esquemático

(b) Potencia del Extracted

Figura 17: Comparación de las potencias del esquemático y el Extracted

5. GENERADOR DE PULSOS

Por último, vamos a realizar un generador de pulsos para observar el comportamiento del Trigger Schmitt (ver Fig. 18). Como podemos observar en la simulación (ver Fig. 19), ajustando los parámetros Rup y Wdown (1u y 1.6u, respectivamente) obtenemos un pulso de inicialización en out con un ancho no inferior a 40n segundos y una señal de reset de duración inferior a 4ns.

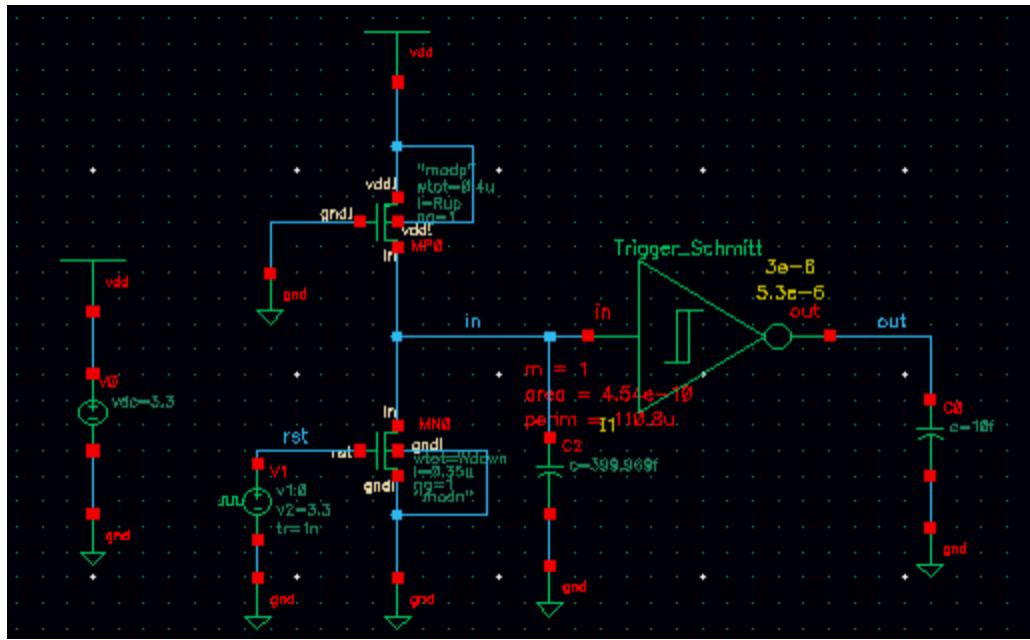


Figura 18: Diseño del generador de pulsos

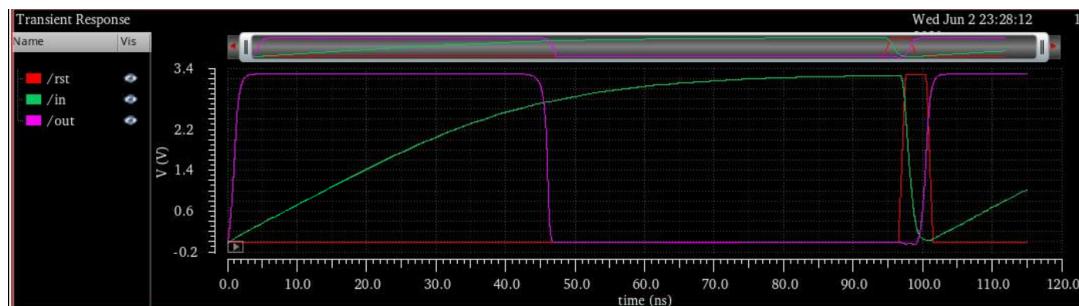


Figura 19: Gráfica esquemático/extracted

6. Anexo: captura del layout

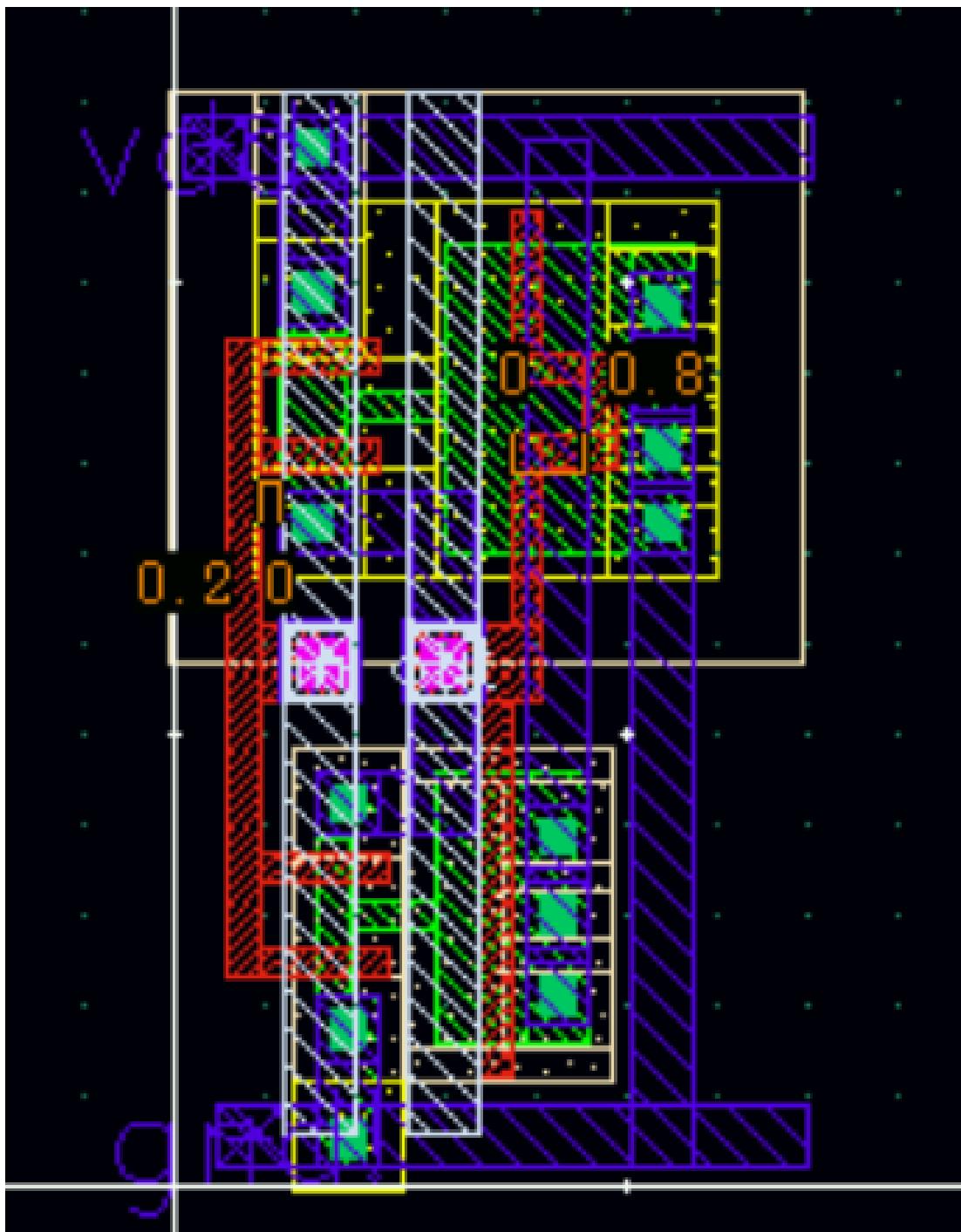


Figura 20: Layout del Trigger Schmitt

PRÁCTICA 3: ANÁLISIS Y DIMENSIONADO DE UN CIRCUITO CMOS DINÁMICO

Jara García Barrena
jagarba3@teleco.upv.es
Luis Valls Sansaloni
luivalsa@teleco.upv.es

2 de junio de 2021

1. INTRODUCCIÓN

La práctica que se describe a continuación explica cómo hemos profundizado en el diseño jerárquico. También es importante destacar la importancia del funcionamiento de los circuitos combinacionales dinámicos, el dimensionado de sus transistores asociado al del reloj entre otras acciones que vamos a explicar más adelante.

2. DISEÑO DE UNA ETAPA CMOS DINÁMICA

2.1. Esquemático y Símbolo

En primer lugar hemos diseñado un circuito dinámico llamado BlockDyn, en tecnología AMS C35B4, CMOS de pozo N, un polisilicio y cuatro metáles, de 0.35μ de mínima longitud dibujada de puerta, mediante el software Cadence. En la Fig. 1 podemos observar el esquemático creado. En la parte superior podemos diferenciar los transistores de precarga (conectados a vdd, ver Fig. 3), mientras que en la parte inferior, tenemos el transistor de evaluación (conectado a gnd, ver Fig. 4). Por último, en la parte central se presenta una etapa formada por transistores nmos, y las entradas del bus (4 entradas con inversores, más una que va al transistor de evaluación, ver Fig. 2). Esta etapa, en serie con la de evaluación constituye el Pull-Down, siempre que la combinación de las entradas Inputs lo permita.

Los componentes que se han utilizado para formar el circuito han sido:

- Inversores de la librería PIEZAS.DIG.
- Transistores Nmos de la librería PrimLib.
- Transistores Pmos de la librería PrimLib.
- Gnd y Vdd de la librería AnalogLib.

Destacar que hemos utilizado un "Wire Wide" y el "Bus Expansion" para crear el bus principal y los nombres de los cables In[0:4].

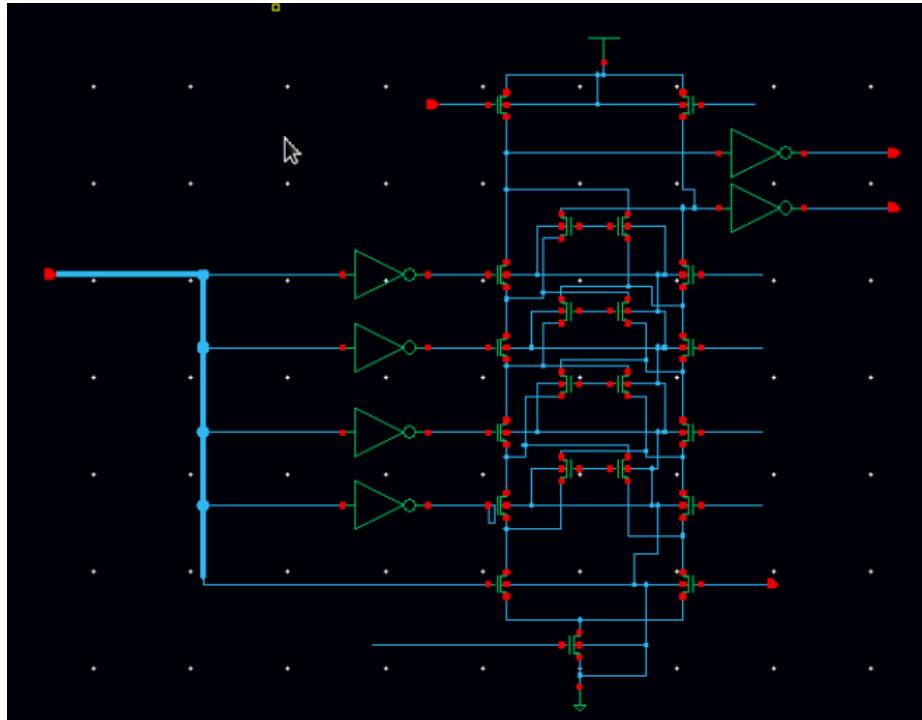


Figura 1: Esquemático de la célula BlockDyn

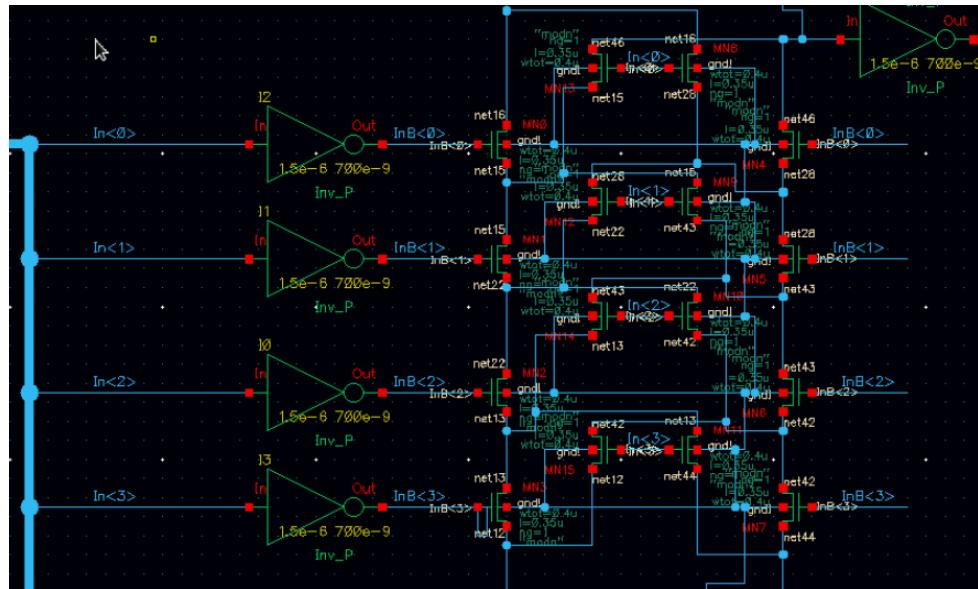


Figura 2: Detalle de los esquemáticos de la célula BlockDyn

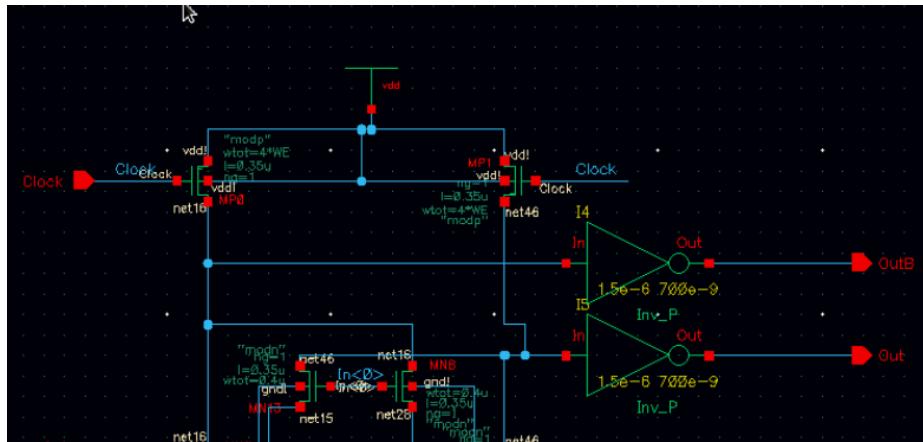


Figura 3: Detalle de los esquemáticos de la célula BlockDyn

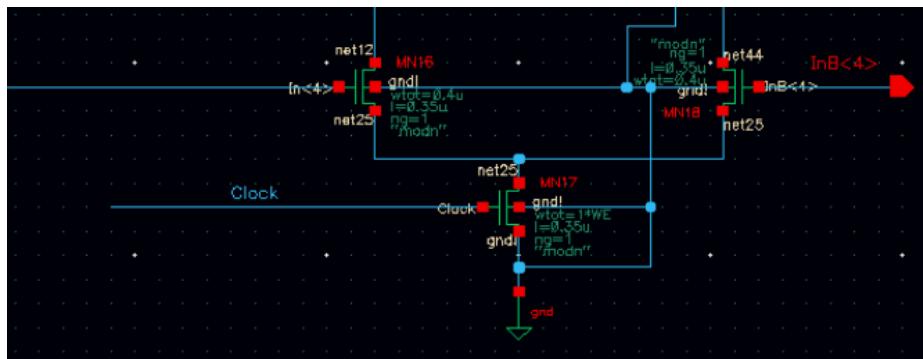


Figura 4: Detalle de los esquemáticos de la célula BlockDyn

A continuación, hemos creado el símbolo del esquemático (ver Fig. 5).

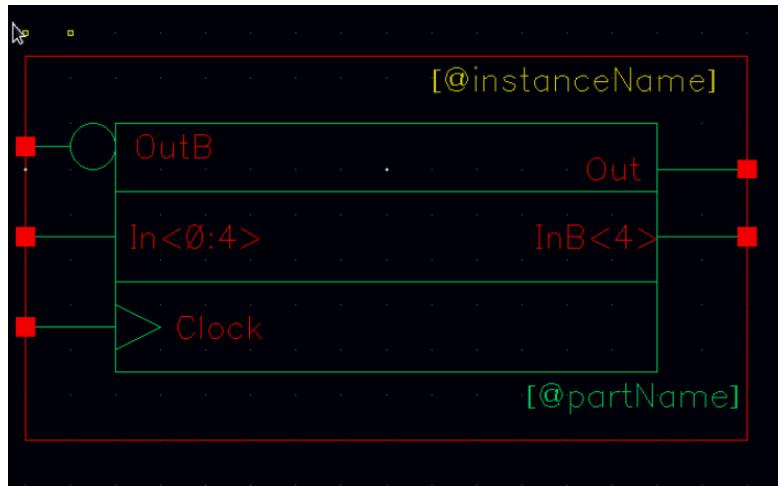


Figura 5: Símbolo de la célula BlockDyn

2.2. TestBench

A partir del símbolo ya creado, podemos llevar a cabo el Test Bench de la célula (ver Fig. 6). Cabe destacar que los "vpulse" utilizados para cada entrada y el reloj, deben estar configurados de distinta forma. Para ello, hay que tener en cuenta que las señales In tienen que cambiar cuando el CLK no esté activo, intentando que se cubran las 64 posibles combinaciones de las entradas.

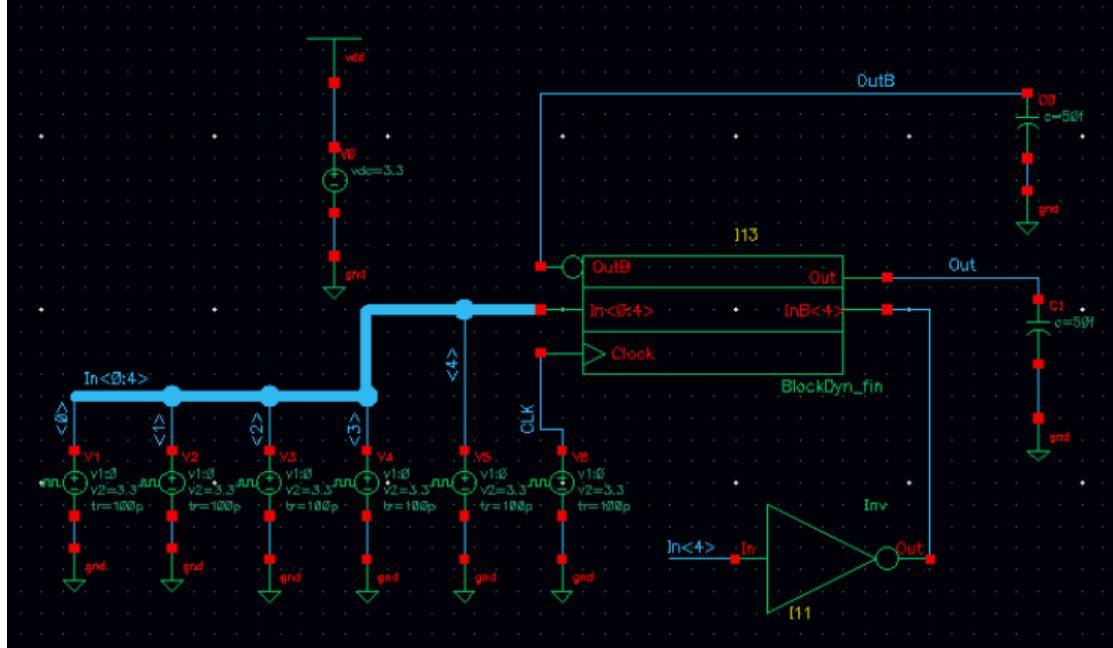


Figura 6: Test Bench de la célula BlockDyn

3. SIMULACIÓN DE UNA ETAPA CMOS DINÁMICA

Teniendo todos los circuitos diseñados, podemos llevar a cabo la simulación del Test Bench. En primer lugar, realizamos una gráfica representando el Clock con las distintas entradas que hemos propuesto en el esquemáticos del Test Bench (ver Fig. 7).

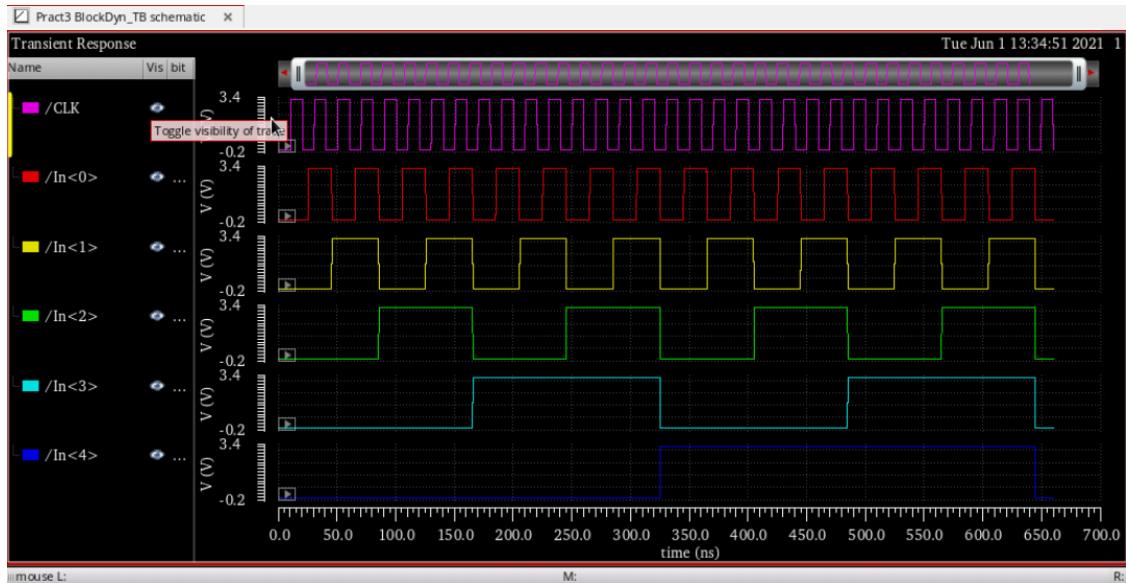


Figura 7: Gráfica de los inputs junto el reloj

A continuación, observamos los outputs junto con el reloj en otra gráfica (ver Fig. 8).



Figura 8: Gráfica de los outputs junto el reloj

Finalmente, es interesante simular en una sola gráfica las entradas, junto con las salidas y el reloj (ver Fig. 9).

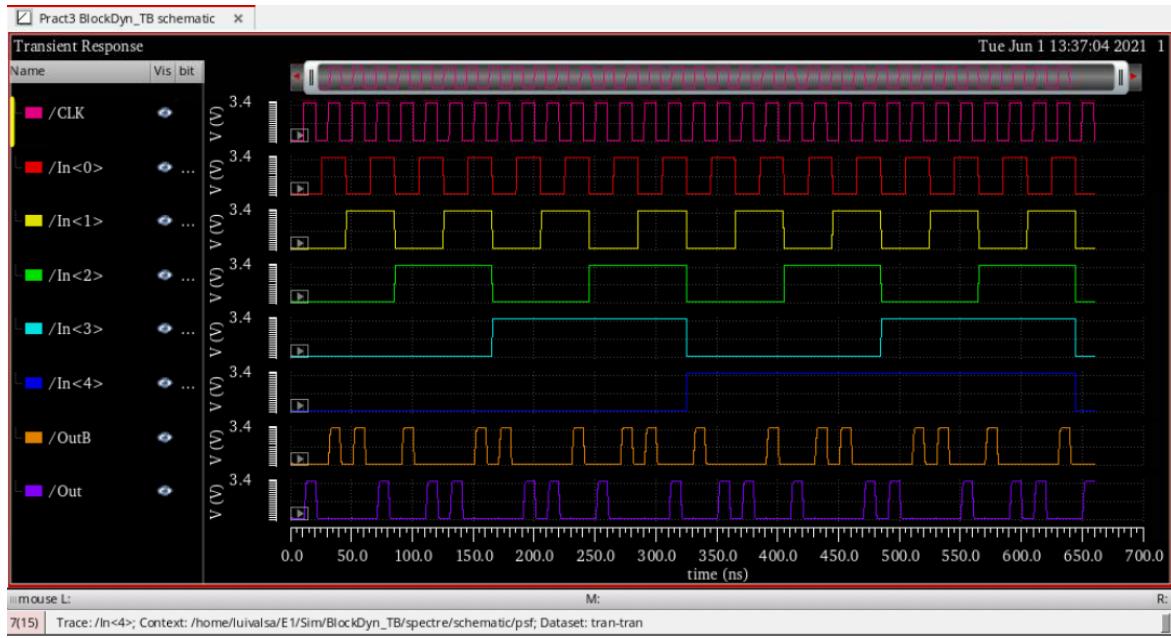


Figura 9: Gráfica de los inputs y outputs junto el reloj

Observando estas gráficas podemos sacar varias conclusiones teóricas, las cuales desarrollaremos en el apartado siguiente.

4. CUESTIONES TEÓRICAS

El circuito que acabamos de diseñar utiliza la Lógica Dominó Diferencial (XOR/XNOR). La función que realiza es la de un generador de paridad con salida Out (la cual es una XNOR). A su vez, la salida Outb se trata de una XOR de 5 entradas.

El circuito diseñado funciona con lógica negada como hemos explicado en la parte de la creación del Test Bench (configuración de los vpulse). La precarga pone el valor de Out a 0 durante los flancos negados. Siguiendo con la misma casuística, en el caso de la evaluación se comprueban las entradas y, a continuación, se pondrá la salida al nivel lógico a 1, cuando se cumplan las condiciones correspondientes.

El período se podría sacar mediante la inversa de la frecuencia (ecuación 1). Hemos simulado en otra gráfica una comparación entre la señal de salida Out y el reloj (ver Fig. 10).

$$t = \frac{1}{freq} = \frac{1}{50MHz} = 20ns \quad (1)$$

Otra consideración a añadir es el estudio del valor máximo de la frecuencia "Freq" del reloj, supuesto el reloj simétrico (dejando los valores de $t_{rise} = t_{fall} = 0.1$ ns). Para ello, hemos realizado una gráfica haciendo uso del análisis paramétrico con la variable "freq" (ver Fig. 11).

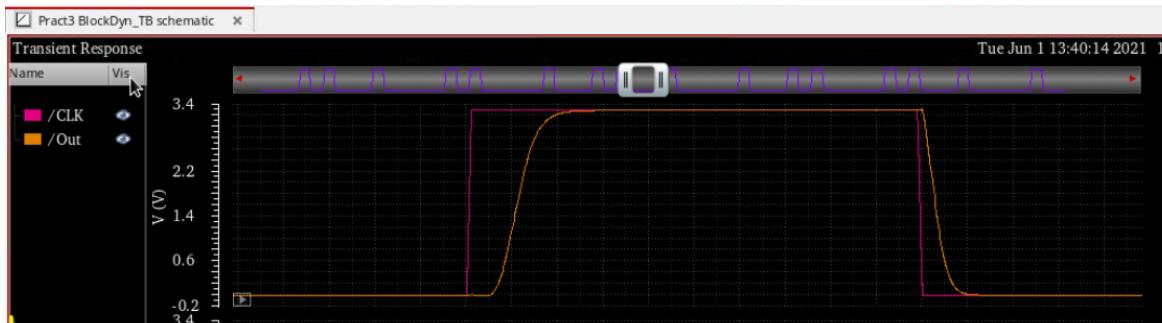


Figura 10: Gráfica de comparación entre el output y el reloj

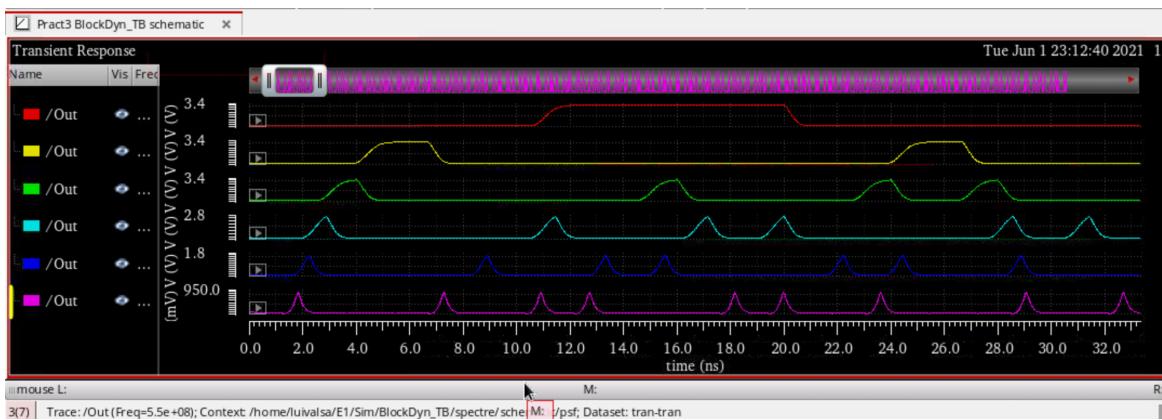


Figura 11: Gráfica con el análisis paramétrico de la variable "freq"

Observando dicha gráfica, podemos ver que el valor máximo de frecuencia de corte, ronda entorno a los [350-450]MHz (el análisis tiene como valores extremos de 50MHz a 550MHz, con pasos de 100MHz).

En último lugar, podemos llevar a cabo otro análisis paramétrico, utilizando esta vez "WE" como variable. El objetivo es encontrar el valor mínimo de "WE" para operar a 500 MHz, mirando la gráfica observada en la Fig. 12.

Observamos cómo el voltaje disminuye en cuanto el valor de "WE" se hace más grande, al igual que en la frecuencia.

5. Análisis Block-Dyn de dos etapas

Para finalizar, podemos concluir la razón por la cual el Out de la 1^a Etapa no puede atacar directamente a cualquiera de los In[0:3] de la 2^a Etapa sino que debe hacerlo, junto a Outb, sólo a través de In[4] e InB[4], respectivamente. Esta pregunta se puede responder entendiendo la práctica que se ha explicado en la presente memoria. El objetivo de conectar las dos etapas es el de no solapar la activación de los transistores de precarga y evaluación de las etapas encadenadas entre sí, y poder tener un correcto funcionamiento de la lógica dinámica.

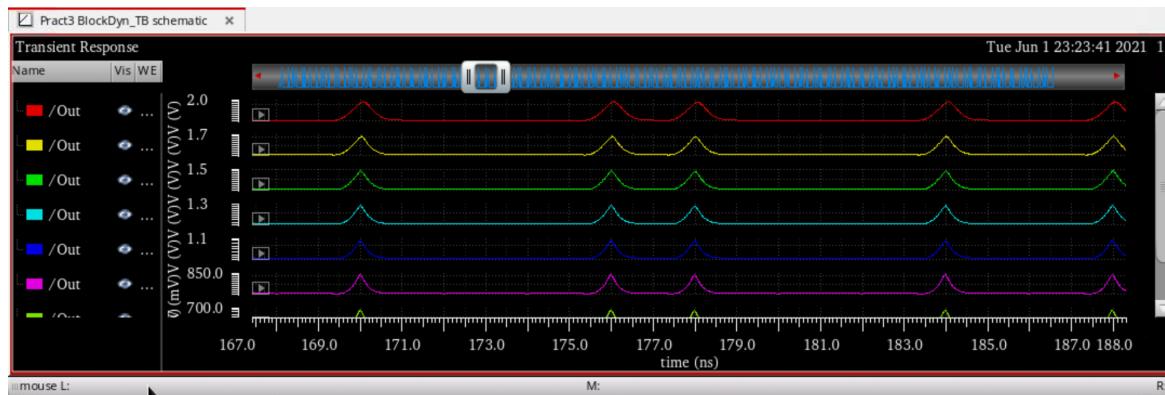


Figura 12: Gráfica con el análisis paramétrico de la variable "WE"

CONCLUSIÓN

La realización de las dos prácticas expuestas en esta memoria nos ha servido para profundizar en el diseño jerárquico y en el diseño eléctrico de circuito integrados.

En la práctica 2, hemos trabajado en el dimensionado de los transistores y, en consecuencia, hemos manejado los parámetros jerárquicos en Cadence. También hemos diseñado el layout del Trigger Schmitt (utilizando el método clásico) y el esquemático de un generador de pulsos. Hemos conseguido alcanzar todos los objetivos propuestos en esta práctica. Sin embargo, en el caso de querer mejorarla, podrías llevar a cabo el diseño del layout utilizando las Pcells.

En la práctica 3, hemos llevado a cabo los diseños eléctricos de un bloque dinámico y hemos estudiado su disposición en Cascada. En concreto, hemos podido observar el comportamiento de la Lógica Dominó Diferencial, que en nuestro caso, funcionaba con lógica negada. Esto se ha comprobado a través de distintas simulaciones en las que hemos presentado las entradas y las salidas del circuito frente al reloj, además de la correcta configuración de las fuentes de estímulos "vpulse". A su vez, hemos hecho las simulaciones paramétricas correspondientes a las variables creadas, para poder estudiar con detalle la conducta del circuito a distintas anchuras de los transistores (estudio con la variable "WE") y de las frecuencias (estudio con la variable "freq"). Finalmente, para introducir alguna mejora, cabría la posibilidad de realizar el layout creando previamente un layout nuevo de PhaseSplitters. Dicho layout sería más alargado que el creado en la práctica 4.