MEMORIAS P2 Y P3

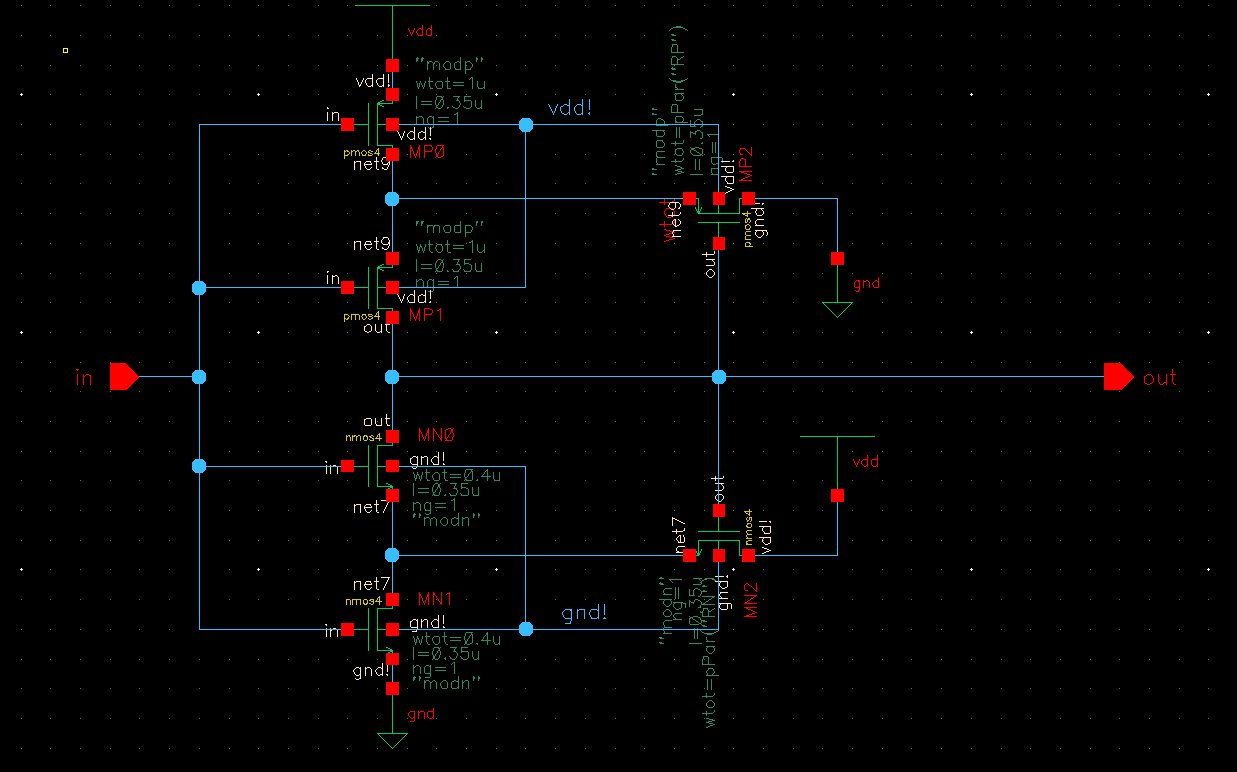
**Jaime Lloret Cuñat**

**Adam Cecetka Ortiz**

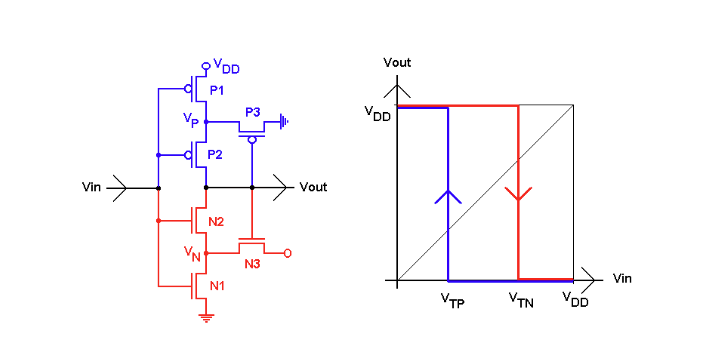
**PRACTICA 2:**

TRIGGER SCHMITT

El circuito inversor *Trigger Schmitt* es un tipo de circuito electrónico diseñado para convertir una señal analógica en una señal digital. Nosotros hemos implementado este circuito en *Cadence* (figura 1), con tres transistores *pmos* y otros tres transistores *nmos*.

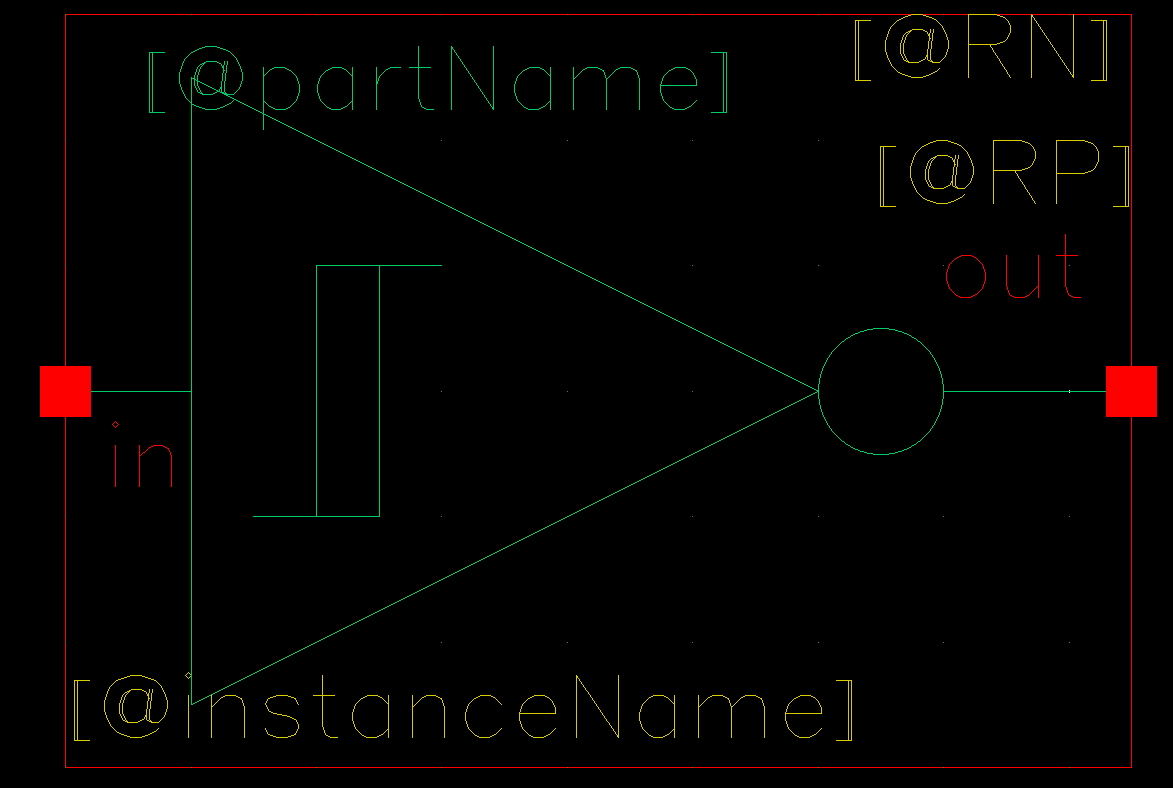


***Figura 1: Esquemático del inversor Trigger Schmitt***



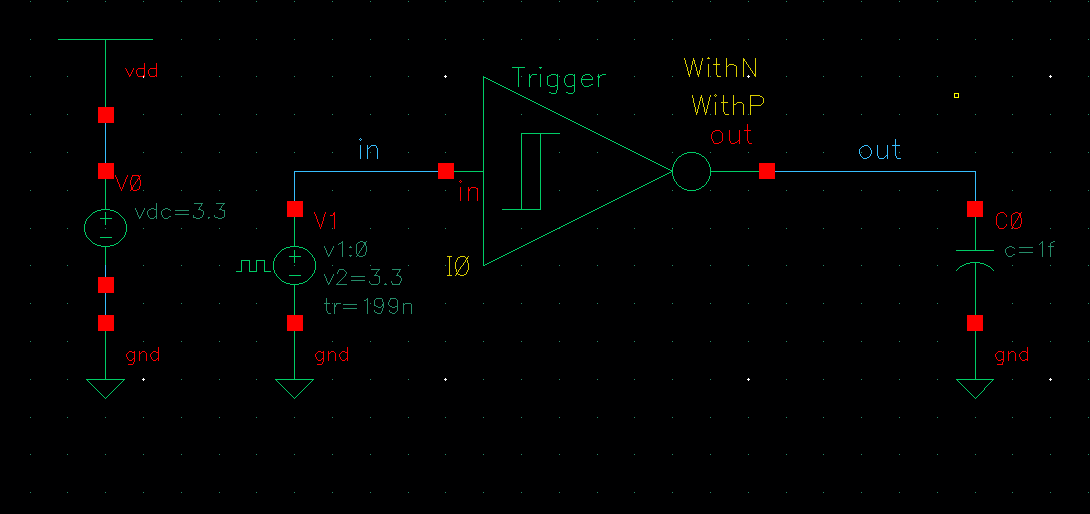
***Figura 2: Dimensionado de un Trigger Schmitt inversor***

A continuación, hicimos el símbolo con las instancias de RP y RM (figura 2).



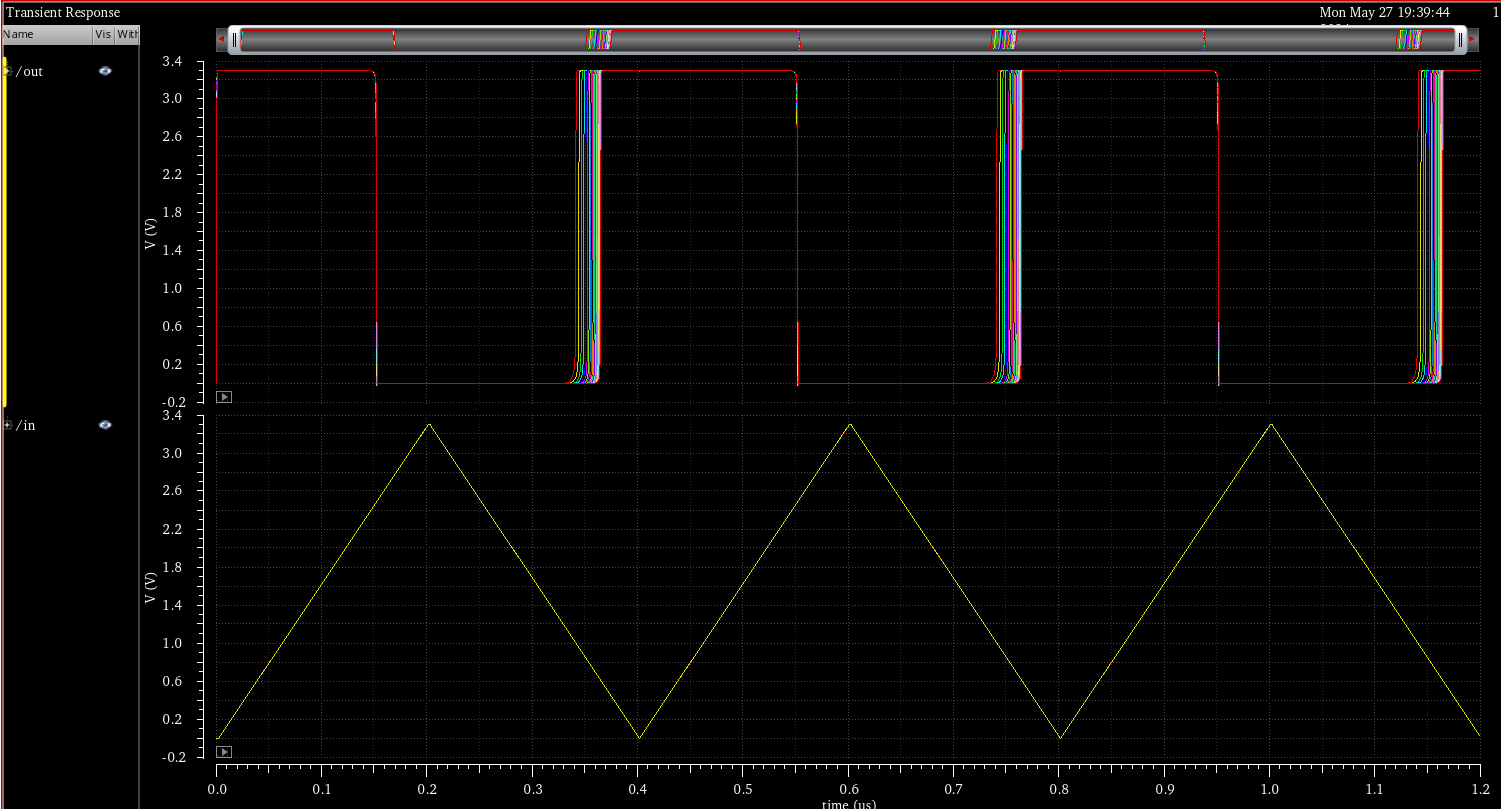
***Figura 3: Símbolo de Trigger Schmitt***

Una vez acabado el símbolo, lo instanciamos en un nuevo diseño llamado *Trigger\_TB*, en el que hicimos un *testbench* para comprobar el correcto funcionamiento del diseño creado. (figura 4)



***Figura 4: Esquemático Trigger\_TB***

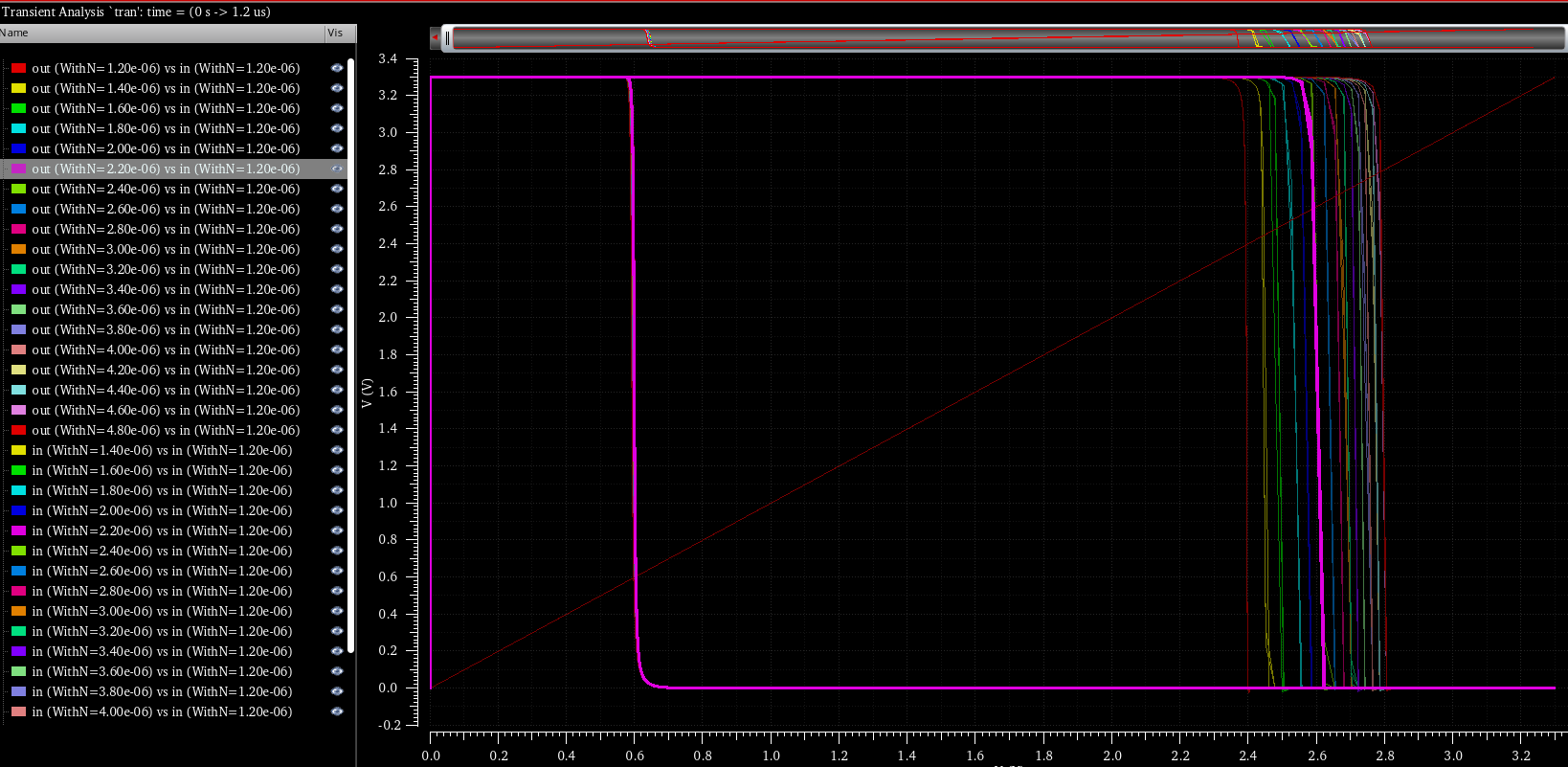
Gracias a este pudimos hacer la siguiente simulación. (figura 5)



***Figura 5: Simulación de Trigger Schmitt***

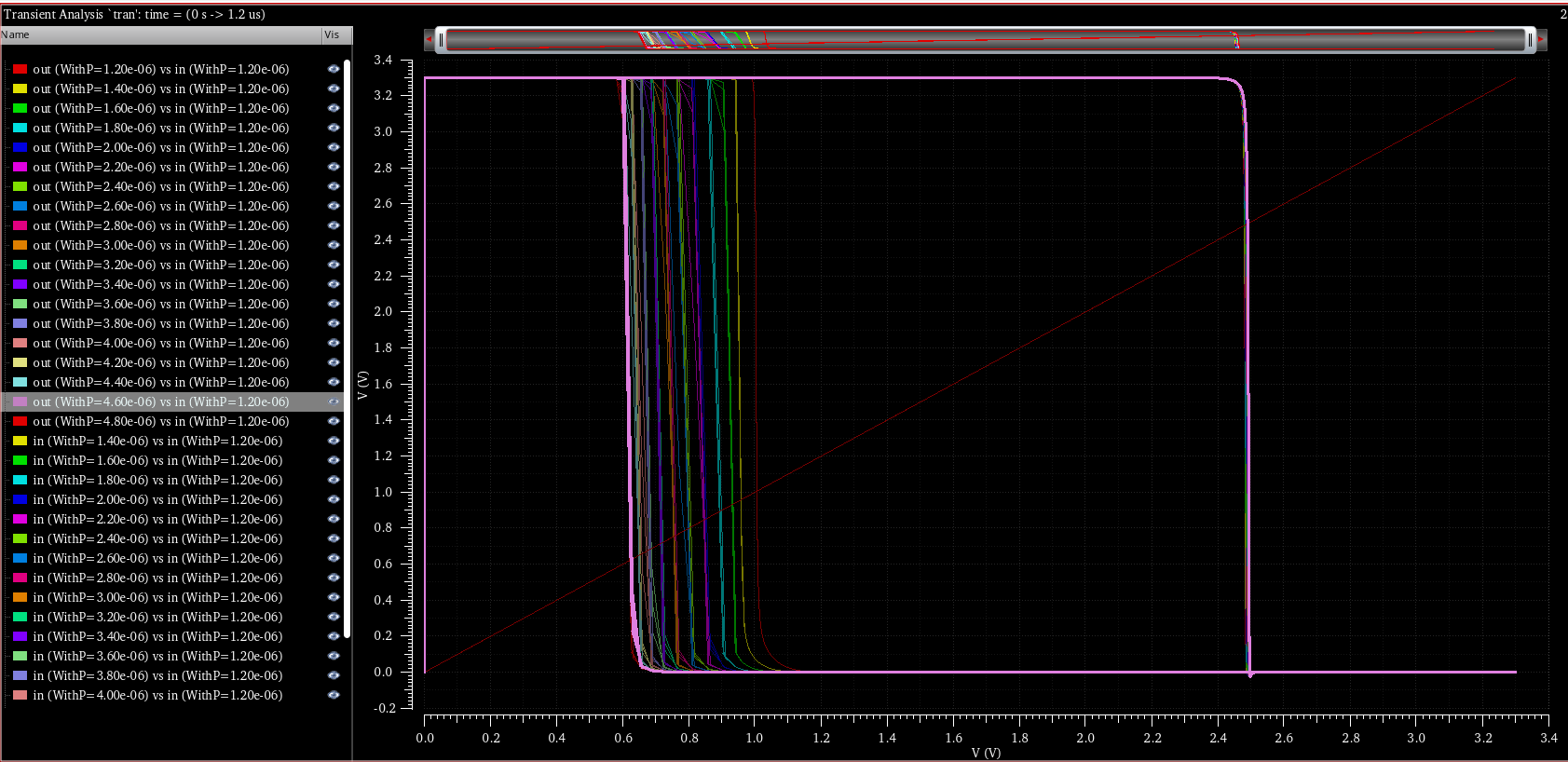
Gracias a esta, con la configuración de ejes de entrada de Y vs Y, pudimos extraer los valores óptimos de *WithN* (figura 6), y de WithP (figura 7).

Para obtener el valor de WithN hemos generado numerosas señales implementadas en un rango de 1.6u a 5u con una diferencia entre señal de 0.2u. Hemos traqueado la caída a 3 dBs de la señal de salida la cual su proyección se acerque lo más posible a 2.6V (2.6V porque es aproximadamente un 80% de 3.3V). Y de aquí se obtiene el valor óptimo que en nuestro caso *WithN* vale 2.2. (figura 6)

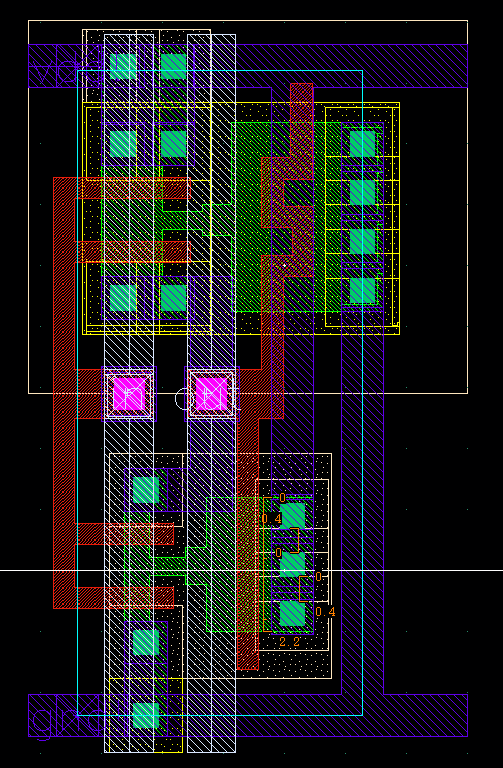


***Figura 6: Valor óptimo de WithN***

Posteriormente, hicimos algo parecido para el *WithP*, únicamente cambia que esta vez, el valor que se tenía que proyectar era 0.65, ya que es un 20% de 3.3V. (figura 7)



***Figura 7: Valor óptimo de WithP***

Paralelamente diseñamos el *layout*. (figura 8)

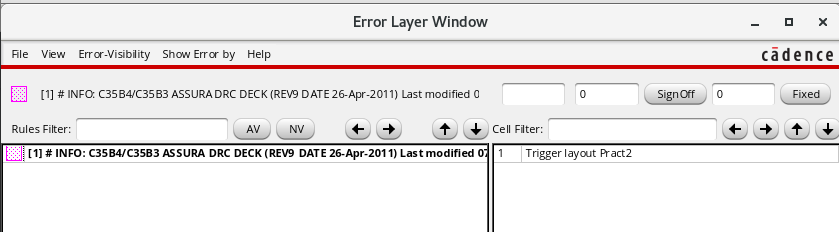
El *layout* está compuesto por 3 transistores *pmos* situados en la parte superior, y tres transistores *nmos* situados en la parte inferior.

El polisilicio del *PPLUS* está en forma de serpiente para cumplir con el ancho de transistor, que tiene que ser igual a 4.6u.

Las conexiones de *In* y *Out* están estratégicamente ubicadas en el centro del diseño para optimizar el espacio y para que se reduzca lo máximo posible el tiempo de retardo.

***Figura 8: Layout de Trigger Schmitt***

Una vez terminado el *layout* comprobamos que no se estuviera incumpliendo ninguna regla de diseño con un Run Asura DRC. (figura 10)



***Figura 10: Run Asura DRC del Trigger Schmitt***

A su vez, también nos aseguramos de que no hubiera ningún problema con las conexiones del *layout* al esquemático con un Run Asura LVS. (figura 11)