

NCKU-ES
Digital IC Design

Lab3

Serial Transmitter

Professor : Wen-Long Chin

TA : Cheng-Tsung Chang

VLSI signal processing LAB

- Objectives

- To familiarize with RTL code

- LAB contents

- LAB3: serial transmitter

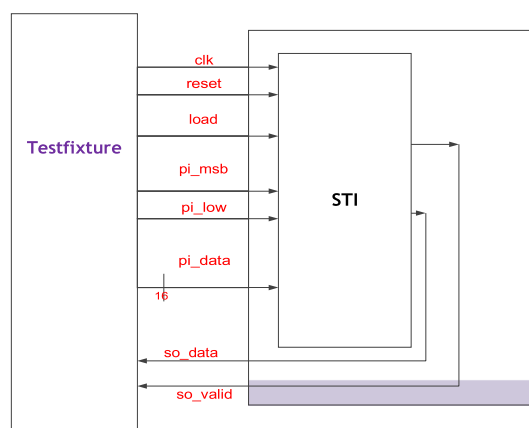
1. 問題描述

請完成一個系統，內容為一**序列傳輸介面處理電路(STI.v)**。STI 電路動作為從並列埠進行資料輸入處理後由序列埠將處理完成之資料以序列輸出。

本 Lab 電路中，共有六只信號輸入(*clk*、*rst*、*load*、*pi_data*、*pi_msb*、*pi_low*)、二只信號輸出 (*so_data*, *so_valid*)。請將 STI 處理電路設計於一設計檔(STI)內。相關信號說明，請參考表一。

2. 設計規格

2.1 系統方塊圖



圖一、系統架構圖

2.2 輸出入訊號和記憶體描述

表一、STI 輸入/輸出信號

信號名稱	輸入/輸出	位元寬度	說明
<i>clk</i>	input	1	系統提供的時脈信號。
<i>reset</i>	input	1	高位準非同步 (active high asynchronous)之系統重置信號。 說明：此信號於系統啟動時送出。
<i>load</i>	input	1	系統提供的讀取控制信號。 說明：信號寬度持續一個時脈週期。當 <i>load</i> 為 High 時且經時脈 信號正緣 觸發時，表示並列資料輸入埠及序列控制信號為有效。
<i>pi_data</i>	input	16	十六位元並列資料輸入埠。
<i>pi_msb</i>	input	1	序列輸出順序控制信號。
<i>pi_low</i>	input	1	序列低位元輸出致能信號。
<i>so_data</i>	output	1	序列資料輸出埠。
<i>so_valid</i>	output	1	序列資料輸出致能信號。 說明：當此信號為 High 時，表示 <i>so_data</i> 傳輸的資料被認為是有效的。

2.3 系統功能描述

本序列傳輸介面處理電路功能如下：

當 reset 結束後。每當 load 輸入為 High 且經時脈訊號正緣觸發時，表示 STI 輸入訊號為有效，STI 將依據控制訊號(pi_msb、pi_low)之設定將 pi_data 輸入訊號進行相對應之並列轉序列資料處理，處理完成後將 so_valid 拉成 High 表示有效資料輸出，並將處理完成之資料由 so_data 依序送出。當 load 輸入為 Low 時，表示輸入資料無效，STI 將不進行任何動作。

以下文中 MSB 代表 Most Significant Bit；LSB 代表 Least Significant Bit。

並列轉序列資料處理規範如下：

- I. 當 pi_msb 輸入為 High 時，表示序列輸出由序列輸出緩衝資料的 MSB 開始；當 pi_msb 設定為 Low 時，表示序列輸出由序列輸出緩衝資料的 LSB 開始。(詳細處理關係描述在 2.3.1)
- II. 當 pi_low 設定為 High 時，表示序列輸出緩衝資料為 pi_data 並列資料共 16bits；當 pi_low 設定為 Low 時，表示序列輸出緩衝資料為 pi_data 並列資料的 LSB 的 8bits。

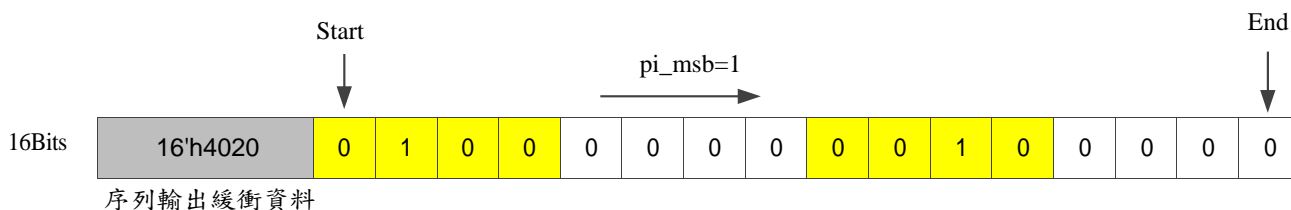
(詳細處理關係描述在 2.3.2)

當序列輸出緩衝資料處理完畢後，將 so_valid 拉為 High 並將序列資料由 so_data 依序送出。

每筆 pi_data 會輸入 16bits 的並列資料，而每筆 so_data 輸出為 8 或 16 筆序列輸出，每筆 pi_data 處理完成後，須將 so_valid 設定為 Low，之後 testfixture 將會自動把下一筆待處理資料輸入。

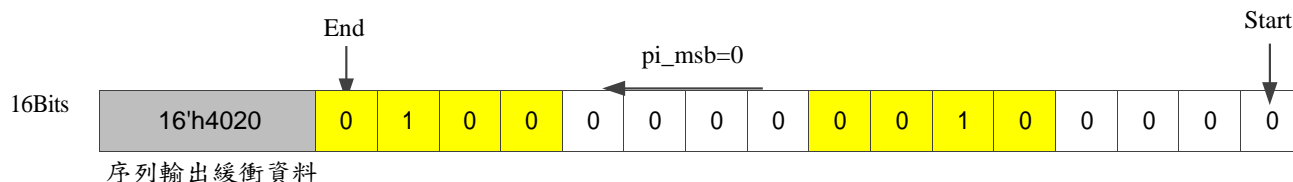
2.3.1 最高位元優先功能描述 (pi_msb)

當 pi_msb 設定為 High 時，表示 so_data 序列輸出由序列輸出緩衝資料的 MSB 開始，如圖二。(範例使用 16 bits 說明) 所示，若 pi_msb 為 High 時，其 16 bits 序列輸出緩衝資料由 so_data 依序輸出 0,1,0,0,0,0,0,0,0,1,0,0,0,0,0。



圖二、最高位元優先傳輸資料格式 (pi_msb=1)

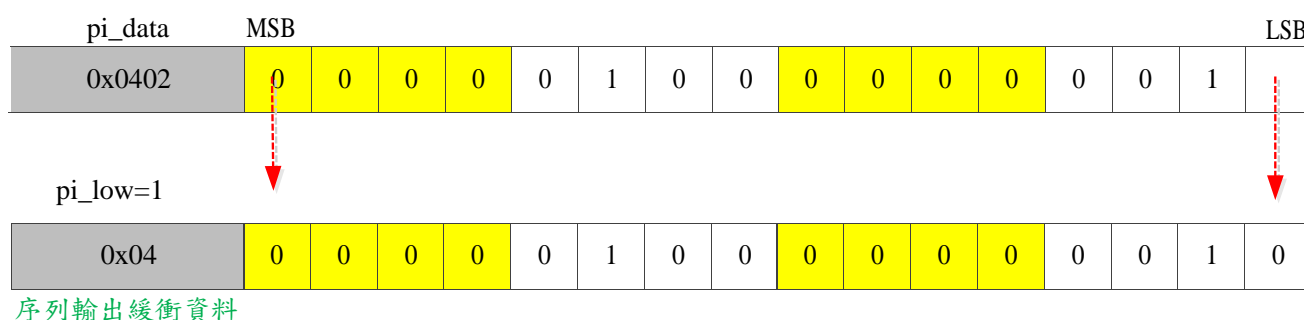
當 pi_msb 設定為 Low 時，表示 so_data 序列輸出由序列輸出緩衝資料的 LSB 開始，如圖三。(範例使用 16 bits 說明) 所示，若 pi_msb 為 Low 時，其 16 bits 序列輸出緩衝資料由 so_data 依序輸出 0,0,0,0,0,1,0,0,0,0,0,0,0,0,1,0。



圖三、最高位元優先傳輸資料格式 (pi_msb=0)

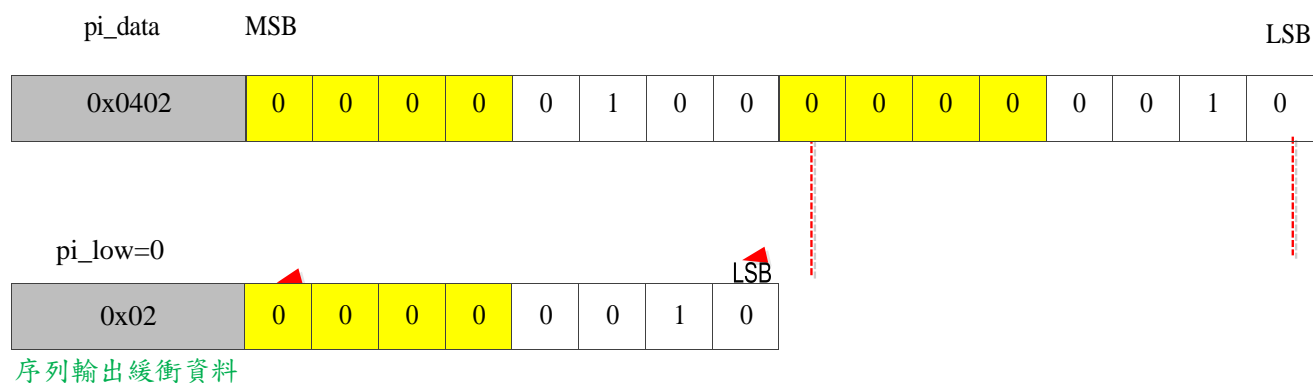
2.3.2 低位元組資料致能功能描述 (pi_low)

當 pi_low 設定為 High 時，表示序列輸出緩衝資料為 pi_data 並列資料共 16bits。如圖四.範例所示，pi_data=16'h0402，pi_low=1，則輸出 pi_data 的 16bits (8'h0402)



圖四、低位元組資料模式資料格式 (pi_low =1)

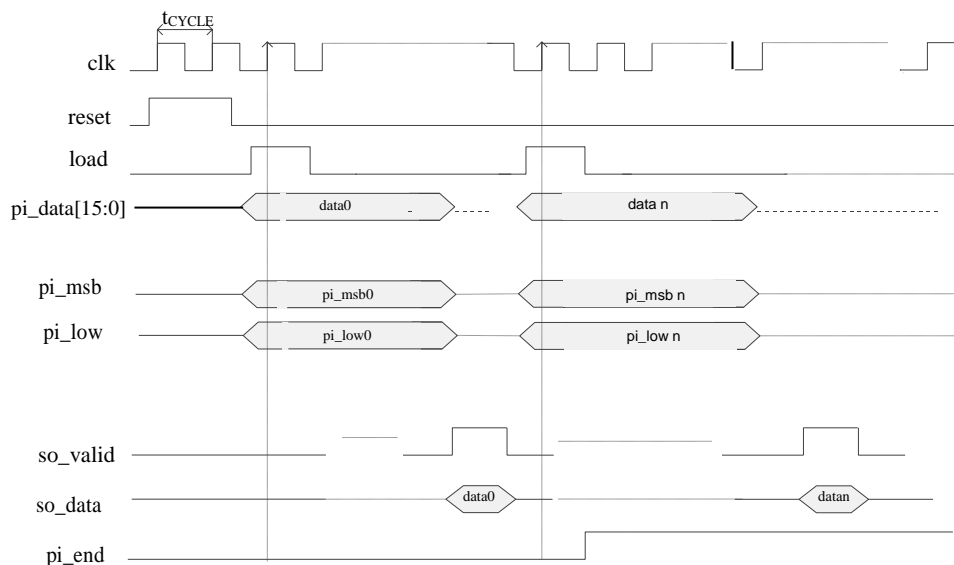
當 pi_low 設定為 Low 時，表示序列輸出緩衝資料為 pi_data 並列資料的低位元組共 8bits。如圖五.範例所示，pi_data=16'h0402，pi_low=0，則輸出 pi_data 的低位元組 8bits (8'h02)。



圖八、低位元組資料模式資料格式 (pi_low =0)

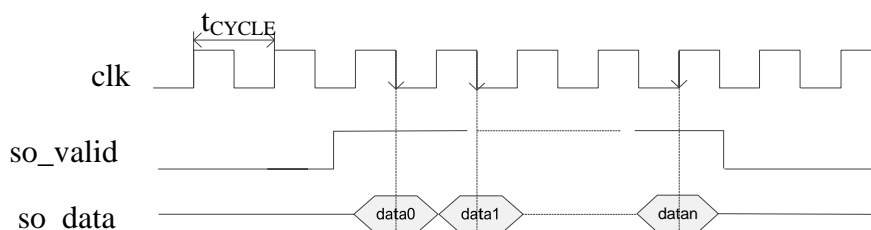
2.3.7 時序規格圖

圖十二.是系統初始時序圖，其中 reset 將維持至少一個 t_{CYCLE} 的 High，待 reset 設定為 Low 之後，testfixture 將開始輸入並列資料，此時若 load 訊號為 High 且經 clk 的 **rising edge** 觸發則表示當下的控制指令為有效指令，STI 電路須針對此有效指令進行並列轉序列處理，load 訊號將只會維持一個 t_{CYCLE} 為 High。當 testfixture 偵測到 so_valid 由 High 轉 Low 時，將會隨後送出下一筆並列輸入訊號；待最後一筆 pi_data 輸入後，testfixture 隨即會將 pi_end 設定為 High 表示不會再有資料輸入。



圖十二、主控端訊號傳輸時序圖

STI 進行並列轉序列輸出時序可參考下列圖十三.所示。每筆 pi_data 資料處理完成後利用 so_data 序列輸出，並且把 so_valid 設定為 High，表示目前輸出為有效的。而 testfixture 將會在偵測到 so_valid 為 High 且 clk 的 **falling edge** 時進行序列資料輸出比對。每一筆並列資料輸入處理後的序列輸出必須為連續完整輸出。



圖十三、序列訊號資料輸出時序圖

3. 結果及驗證

若模擬結果正確的話，則會出現笑臉圖示及文字說明。若有錯誤的話，則會出現其他圖示及說明，請依圖示說明修正您的 code。