

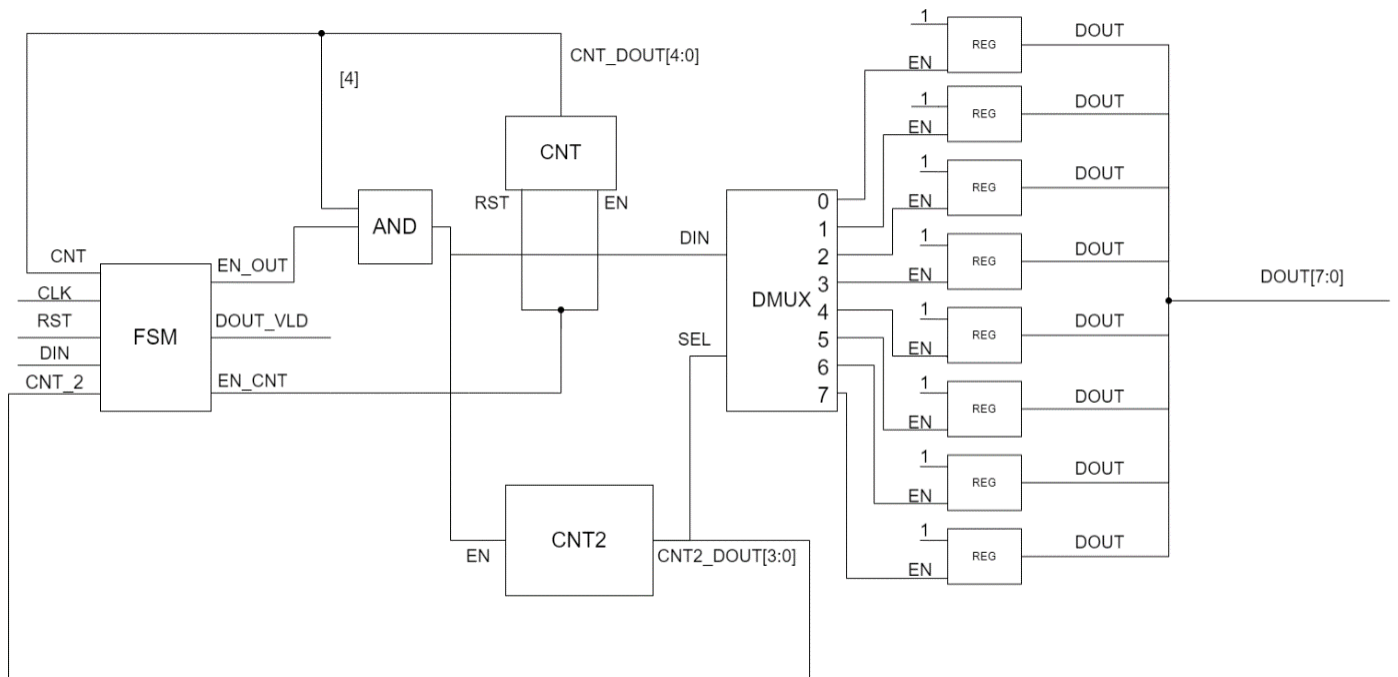
Výstupní zpráva

Jméno: Adam Kala

Login: xkalaa00

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

RST – v počátečním stavu je RST na 1, tím vynulujeme případně nastavené CNT a CNT2.

FSM – Finite State Machine (podle návrhu na další straně) má 5 stavů, které se mění na základě vstupů do něj.

CNT – CNT nám počítá midbity (16hodinových cyklů). Pokud do CNT přijde z EN_CNT hodnota 0, resetuje hodnoty CNT a CNT2. Pokud přijde 1, přidá se do CNT + 1.

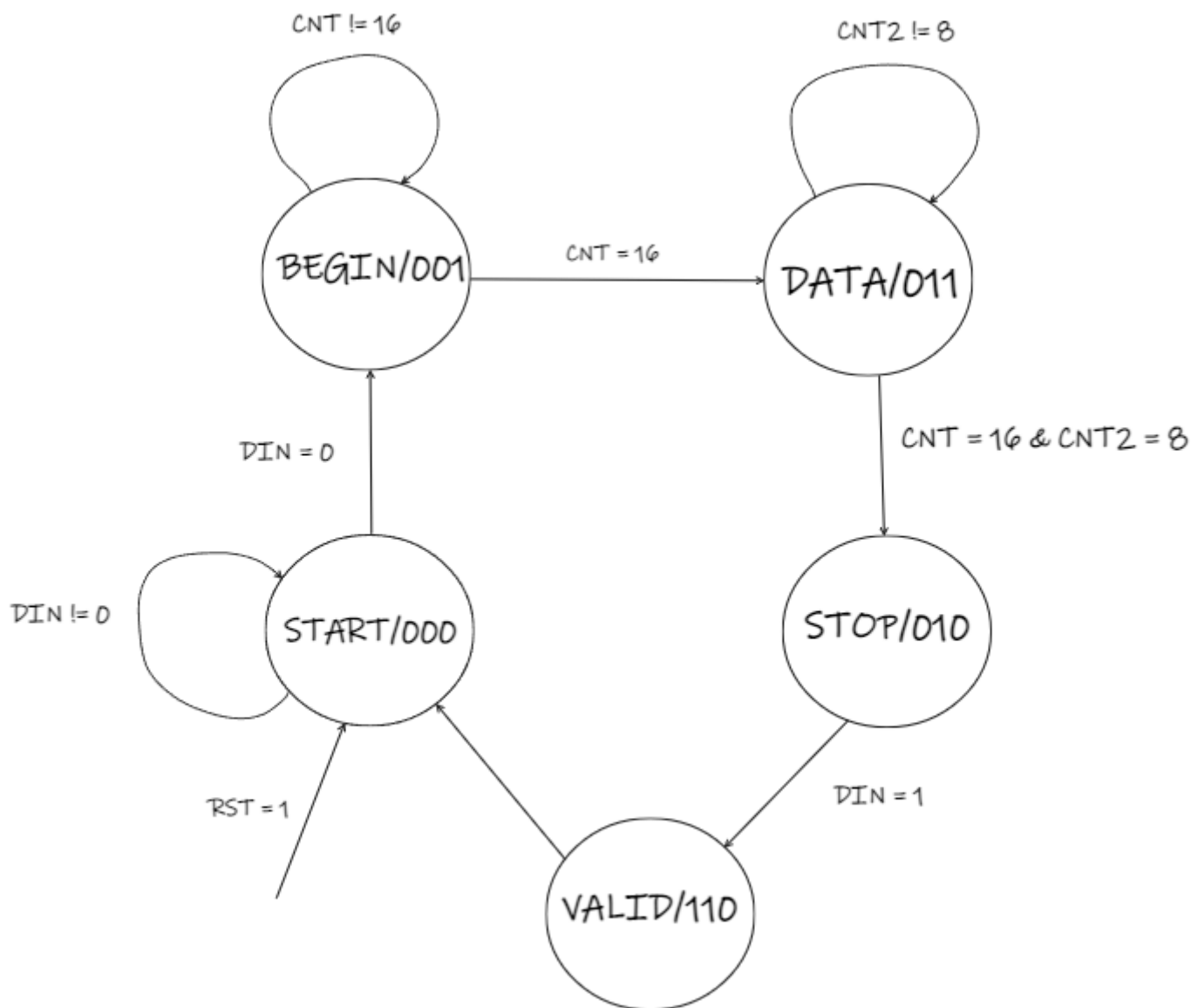
CNT2 – CNT2 počítá všechny načítané bity. Pokud CNT2 dojde do hodnoty 8, v FSM spadne do stavu STOP.

DMUX – Demultiplexor nám podle hodnoty DIN a hodnot SEL vypíše výstupy na DOUT.

Návrh automatu (Finite State Machine)

Schéma automatu

Stavy: START, BEGIN, DATA, STOP, VALID (v kódu jsem dodal _process za každý)
Vstupní signály: DIN, CLK, RST, CNT, CNT2
Moorovy výstupy: EN_OUT, EN_CNT, DOUT_VLD



Popis funkce

START – čekání na START bit.

BEGIN – čekání do pádu signálu (bit 0).

DATA – čeká na hodnotu CNT, dokud se nenastaví na 16 (16hodinových cyklů).

STOP – pokud se hodnota CNT nastaví na 16 a hodnota CNT2 nastaví na 8, stav spadne do čekání na STOP bitu.

VALID – ověřování platnosti výstupu.

Snímek obrazovky se simulací

