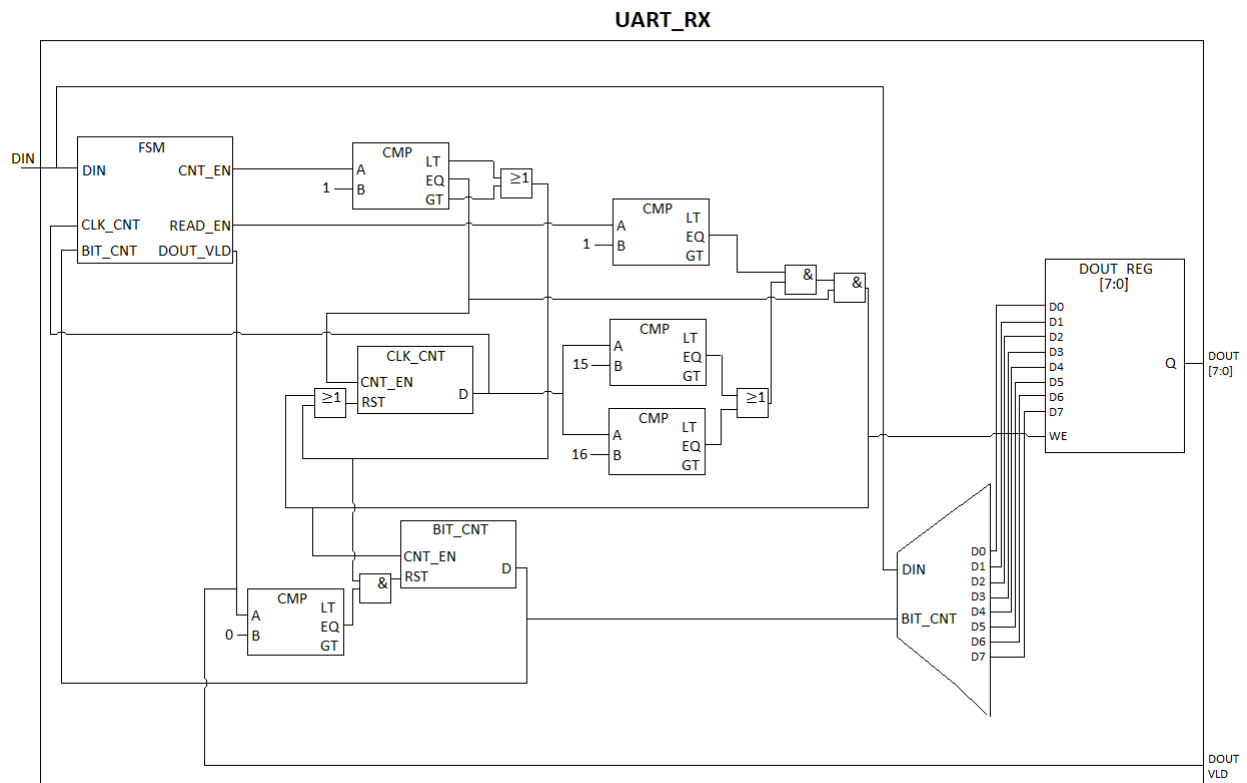


**Meno:** Adam Zvara

**Login:** xzvara01

## Architektúra navrhnutého obvodu (na úrovni RTL)

### Schéma obvodu

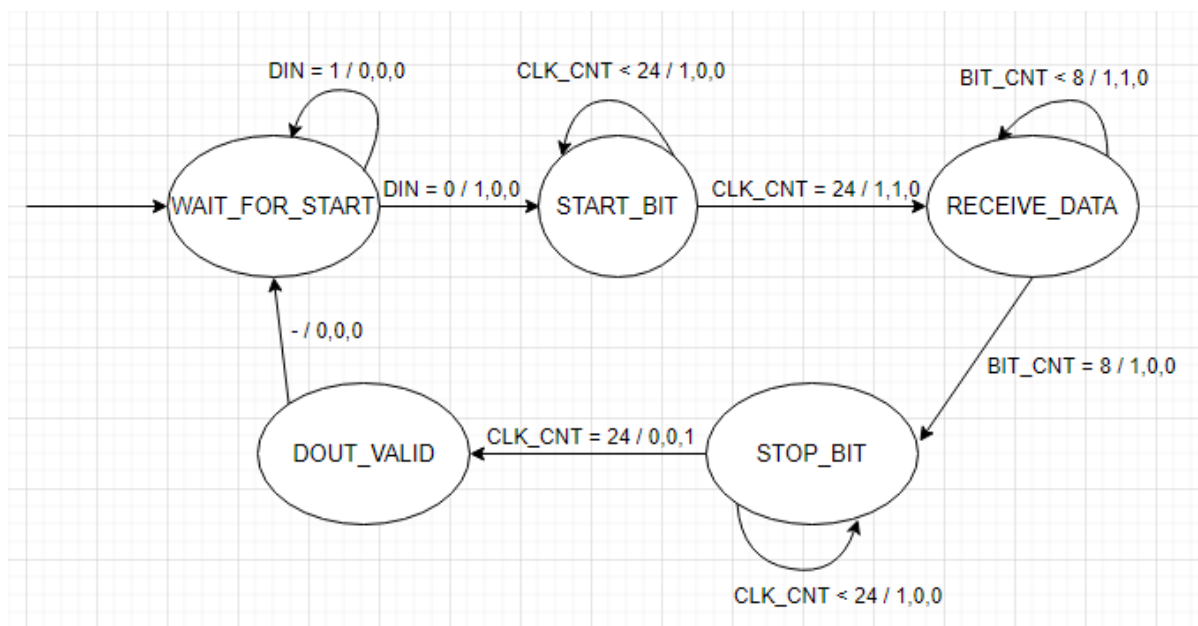


### Popis funkcie obvodu

Pri vytváraní schémy som postupoval podľa kódu v *uart.vhd*. Celý systém je riadený pomocou FSM. Automat je riadený vstupom, počtom hodinových signálov a počtom prečítaných bitov. Na uloženie počtu cyklov hodinového signálu (CLK\_CNT) a počtu prečítaných bitov (BIT\_CNT) som použil čítače. Podmienky sú zachytené pomocou komparátorov a vnorené podmienky som spájal pomocou hradiel AND alebo OR. Výsledok ukladám do 8 bitového registru DOUT. To, na ktorú pozíciu mám zapísať bit z DIN (v kóde je to štruktúra *case*) vyberám pomocou demultiplexoru.

## Návrh automatu (Finite State Machine)

### Schéma automatu



### Popis funkcie obvodu

Stavový automat obsahuje 5 stavov. Zvolil som Mealyho automat, pretože výstup potrebujem zapisovať na základe prechodu medzi stavmi automatu na základe nasledujúcich signálov:

**DIN** = hlavný dátový signál

**CLK\_CNT** = vnútorné počítadlo hodinových cyklov

**BIT\_CNT** = počet prečítaných bitov

Výstupy sú priradzované ako 3 čísla reprezentujúce signály (v rovnakom poradí)

**CNT\_EN, READ\_EN, DOUT\_VLD**

Signál RST na úrovni 1 spôsobí nastavenie automatu do stavu **WAIT\_FOR\_START**.

V (počiatočnom) stave **WAIT\_FOR\_START** čaká automat na príchod nulového bitu na **DIN**, v opačnom prípade zostáva v tomto stave.

V stave **START\_BIT** automat zaznamenal príchod prvého nulového bitu a zvyšuje sa počet hodinových signálov v **CLK\_CNT**, až dokým nebude rovný 24 (vtedy je v polovici prvého bitu zo vstupu), v inom prípade zostáva v tomto stave.

V stave **RECEIVE\_DATA** automat zapisuje do **DOUT** signál z **DIN** a zvyšuje počítadlo prečítaných bitov o jednotku. Pokiaľ je počet prečítaných bitov rovný 8, prejde do stavu **STOP\_BIT**, v opačnom prípade zostáva v tomto stave.

V stave **STOP\_BIT** čaká automat na 24 tikov hodinového signálu CLK a prechádza do stavu **DOUT\_VALID**, v opačnom prípade automat zostáva v tomto stave.

V stave **DOUT\_VALID** automat pošle na signál **DOUT\_VLD** hodnotu 1 na potvrdenie platnosti signálu **DOUT** po dobu 1 hodinového signálu.

## Snímok obrazovky zo simulácie

