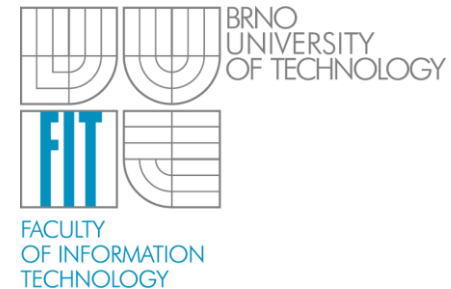


Návrh číslicových systémů (INC)

Tomáš Martínek

Vysoké učení technické v Brně
Fakulta informačních technologií
Božetěchova 2, 612 66 Brno



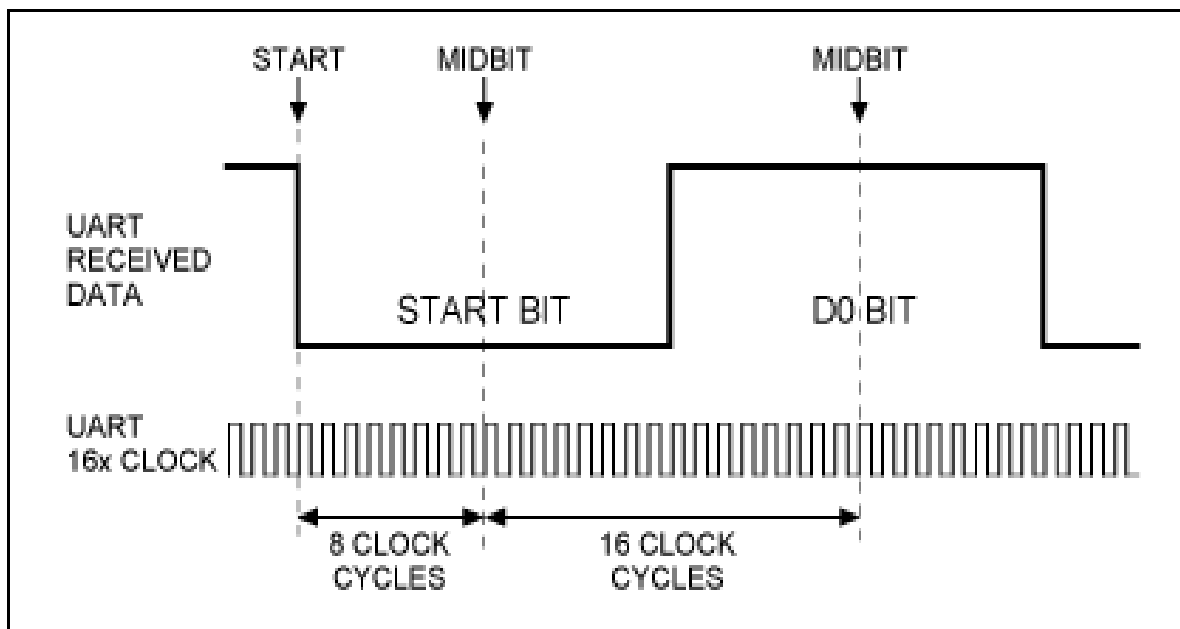
Projekt

- Získané dovednosti:
 - Vyzkoušet si návrh sekvenčního číslicového obvodu (datová cesta a kontrolní cesta)
 - Naučit se tyto sekvenční obvody popisovat v jazyce VHDL
 - Získat zkušenosti se simulací vytvořených obvodů v prostředí Modelsim
- Použitý příklad:
 - Obvod pro příjem asynchronního komunikačního protokolu rozhraní UART (běžně používaný protokol v oblasti vestavěných systémů)

- Protokol pro přenos vícebitového datového slova
 - START bit – log. 0
 - DATA – n-bitů od LSB po MSB
 - 1-2 STOP bity
- Příklad:
 - START bit
 - 8 bitů dat
 - 1x STOP bit

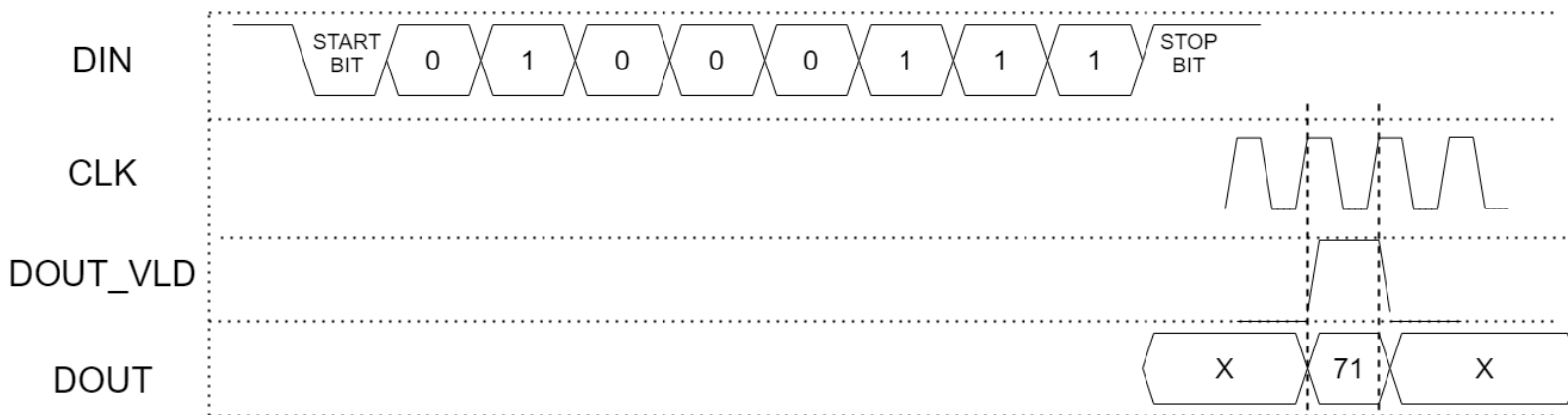
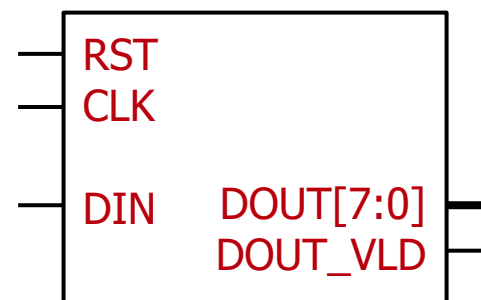


- Příjem vstupních dat
 - Výchozí hodnota linky – log. 1.
 - Čeká se na START bit – přechod do log. 0
 - Obě strany si dopředu zvolí přenosovou rychlost (např. 9600 baudů)
 - Pro vzorkování je použit 16x rychlejší hodinový signál
 - Vzorkuje se hodnota uprostřed přenášeného bitu



- Vstup:
 - **DIN** - asynchronní komunikace ve formátu: START bit, 8x DATA, 1x STOP bit, přenosová rychlost 9600 baudů
- Výstupy:
 - **DOUT[7:0]** – deserializované data
 - **DOUT_VLD** – signál pro potvrzení platnosti dat, v log. 1 po dobu jednoho taktu hod. signálu
- Příklad:

Schématická značka



1. Z prostředí MS Teams (kanál Projekt, záložka Soubory) si stáhněte archív zdrojových souborů *projekt.zip*, který obsahuje:
 - *uart.vhd* – zdrojový kód s definicí rozhraní a prázdnou arch.
 - *uart_fsm.vhd* – zdrojový kód s prázdnou arch. pro FSM
 - *uart_tb.vhd* – testbench soubor pro základní test funkčnosti
 - *uart.fdo* – pomocný skript pro spuštění simulace
2. Navrhněte obvod pro příjem datových slov po asynchronní sériové lince (UART)
3. Navržený obvod implementujte v jazyce VHDL a uložte do předpřipravených souborů *uart.vhd* a *uart_fsm.vhd*
4. Proveďte simulaci VHDL kódu pomocí programu Modelsim a ověřte jeho správnou funkčnost

5. Vytvořte technickou zprávu, která bude obsahovat:

1. Jméno, příjmení a login
2. Architekturu navrženého obvodu na úrovni RTL a její stručný popis
3. Graf přechodu konečného automatu a jeho stručný popis
4. Snímek obrazovky s ukázkou časových průběhů simulací

Rozsah zprávy by neměl překročit rozsah tří stran A4

Příklad struktury technické zprávy je přílohou k zadání

- Výstupy projektu budou tvořit:
 - Soubory se zdrojovým kódem navrženého obvodu *uart.vhd* a *uart_fsm.vhd*
 - Soubor *zprava.pdf* s technickou zprávou (ve formátu PDF)
- Všechny tři soubory zabalte do archívu s názvem *<login>.zip* a odevzdejte prostřednictvím informačního systému.
- Před odevzdáním archivu do IS si jej otestujte skrze sadu skriptů v souboru *student_test.zip*. Podrobný návod na otestování naleznete uvnitř přiloženého *README* souboru.
- **Důležité upozornění:**
 - V případě odhalení plagiátorství nebo nedovolené spolupráce na projektu, bude proto student odměněn neudělením zápočtu z předmětu INC (0 bodů za projekt). Případně i předvoláním před disciplinární komisí.

Děkuji za pozornost