**RAPORT**

MIPS CICLU UNIC

Iosif Adela

Grupa: 30223

1. Codificarea instrucțiunilor

O imagine care conține text, joc cuvinte încrucișate, chitanță

Descriere generată automat

O imagine care conține text, document

Descriere generată automat

O imagine care conține diagramă, schematic

Descriere generată automat

O imagine care conține diagramă

Descriere generată automat

O imagine care conține diagramă, schematic

Descriere generată automat

O imagine care conține diagramă

Descriere generată automat

O imagine care conține diagramă

Descriere generată automat

O imagine care conține diagramă, schematic

Descriere generată automat

1. Semnale de control MIPS16

O imagine care conține masă

Descriere generată automat

1. Programul

Programul descris de mine calculează suma elementelor pare din vectorul A de 6 elemente și o memorează în variabila sum, inițializată cu 0.

O imagine care conține text, scrisoare

Descriere generată automat



O imagine care conține text, scrisoare

Descriere generată automat



1. Trasarea execuției programului de test

O imagine care conține diagramă

Descriere generată automat

1. Cele 4 instrucțiuni alese suplimentar

* De tip R:
* xor - face sau exclusiv logic între 2 registre și memorează rezultatul într-un alt registru
* Vhdl: when "0110" => C <= RD1 xor B\_salt; unde codificarea binară reprezintă ALUCtrl, iar C este registrul destinație
* slt – dacă $s<$t, registrul destinație este inițializat cu 1, altfel cu 0 (implementare cu semn)
* Vhdl: when "0111" => if signed(RD1) < signed(B\_salt) then

C <= x"0001";

else C <= x"0000";

end if;

* De tip I
* bne – salt condiționat dacă 2 registre sunt diferite
* ori – sau logic între un registru și o valoare imediată, iar rezultatul se memorează în alt registru
* Calea de date MIPS16 extins cu cele 4 instrucțiuni

Singurele modificări pe schemă le aduce instrucțiunea bne; se adaugă: o poartă ȘI la care se leagă pe o intrare un semnal denumit bne, iar pe cealaltă semnalul de stare zero de la ALU, negat; încă o poartă care face SAU între ieșirea porților ȘI de la bne și beq, iar ieșirea intră la selecția multiplexorului

O imagine care conține diagramă, schematic

Descriere generată automat

1. RTL Schematic

O imagine care conține diagramă, schematic

Descriere generată automat

Descrierea VHDL pare să fie completă. Am testat pe placă și rezultatele obținute corespund trasării.