

1	$\overline{\text{RD}}$	$\text{VCC}$	28
2	A0	$\overline{\text{WR}}$	27
3	A1	$\overline{\text{CS}}$	26
4	A2	A6	25
5	A3	A7	24
6	A4	A8	23
7	GND_RAM	A14	22
8	A5	VCC_RAM	21
9	D0	A15	20
10	D1	RA14	19
11	D2	RA15	18
12	D3	RA16	17
13	$\overline{\text{ROM\_CS}}$	RA17	16
14	GND	$\overline{\text{RES}}$	15