

Ejercicio 2:

Considerando un procesador que trabaja a 1.7GHz y los siguientes tiempos de acceso a memoria:

Memory technology	Typical access time	\$ per GiB in 2012
SRAM semiconductor memory	0.5–2.5ns	\$500–\$1000
DRAM semiconductor memory	50–70ns	\$10–\$20
Flash semiconductor memory	5,000–50,000ns	\$0.75–\$1.00
Magnetic disk	5,000,000–20,000,000ns	\$0.05–\$0.10

¿Cuántos ciclos de clock implica leer un dato de caché (SRAM) y de memoria principal (DRAM)?

$$\text{Frecuencia} = \frac{1}{t} \Rightarrow t = \frac{1}{\text{Frecuencia}} \quad t = \frac{1}{582 \times 10^{-10}} = 0,88 \text{ ns} \quad \begin{matrix} \text{CICLO} \\ \text{CLOCK} \end{matrix}$$

SRAM = entre 1 y 4 ciclos DRAM = 86 y 120.

Ejercicio 3:

Calcular el tamaño total (en bits) de una caché de mapeo directo de 16KiB (16K x 8 bits) de datos y tamaño de bloque de 4 palabras de 32 bits c/u. Asuma direcciones de 64 bits.

$$\text{Cantidad de bloques} = \frac{\text{Cantidad de datos}}{\text{pal} \times \text{bloque}} = \frac{131072 \text{ b}}{728} \\ = 1024 \text{ bloques} = 2^{10} \rightarrow \text{índice}$$

Memoria: como entran 4 (2^2) palabras de mem en una línea, entonces en OW es 2, luego la dirección divide en

50	10	2	2
tag	o u 0 b		

OW = n = cantidad de palabras (2^n) que entran en una línea de cache.

V	tag	Data
1	50	128

$$= 779 \text{ bits} \times 1024 \text{ líneas} \\ = 783 \text{ 296.}$$

Ejercicio 4:

Las memorias caché son fundamentales para elevar el rendimiento de un sistema de memoria jerárquico respecto del procesador. A continuación se da una lista de referencias de acceso a memoria (direcciones de 64 bits) las cuales deben ser consideradas como accesos secuenciales en ese mismo orden. El formato que se utiliza para cada dirección está reducido a sólo 16 bits, solo con fines prácticos:

0x000C, 0x02D0, 0x00AC, 0x0008, 0x02FC, 0x0160,
0x02F8, 0x0038, 0x02D4, 0x00AC, 0x00B0, 0x0160

Se debe:

- Para cada una de estas referencias a memoria, determinar el binario de la dirección de cada palabra (cada palabra de 32 bits), la etiqueta (tag), el numero de línea (index) asignado en una cache de mapeo directo, con un tamaño de 16 bloques de 1 palabra c/u. Además liste qué referencias produjeron un acierto (hit) o un fallo (miss) de caché, suponiendo que la cache se inicializa vacía.
- Para cada una de estas referencias a memoria, determinar el binario de la dirección de cada palabra (cada palabra de 32 bits), la etiqueta (tag), el numero de línea (index) asignado en una cache de mapeo directo, con un tamaño de 8 bloques de 2 palabra c/u. Además liste qué referencias produjeron un acierto (hit) o un fallo (miss) de caché, suponiendo que la cache se inicializa vacía.

a) tamaño cache = $16 \times 32b = 512 \text{ bits}$.
 tamaño de índice = 4 bits (2^4) \rightarrow cantidad de bloques.
 $04 = 0$.
 luego la dir de memoria se mapea.



$0x000C = 000...00001100$ miss
 $0x02D0 = 000...001011010000$ miss
 $0x00AC = 000...000010101100$ miss
 $0x0008 = 000...00001000$ miss

I	tag	data
0		
1		
2	0	$M[0x8]$
3	0	$M[xC]$
4	11	$M[0x2D0]$
5		
6		
7		
8		
9		
10		
11	2	$M[0xAC]$

b) 8 bloques \Rightarrow índice son 3 bits $0w = 1 \text{ bit}$.



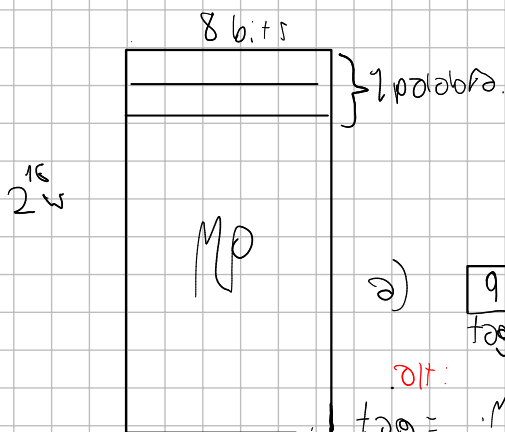
$0x000C = 000000001100$
 $0x02D0 = 001011010000$
 $0x00AC = 000010101100$
 $0x0008 = 000000001000$
 $0x02FC = 001011111100$

I	tag(b)	w ₁	w ₀
0			
1	0	$M[0xC]$	$M[0x8]$
2	1011		$M[0x2D0]$
3			
4			
5	10	$M[0xAC]$	
6			
7	1011	$M[0x2FC]$	

Ejercicio 5:

Un computador tiene una memoria principal de 64K bytes y una memoria caché de 1K bits para datos. La memoria caché utiliza correspondencia (mapeo) directa, con un tamaño de línea de 4 palabras de 16 bits c/u. Obtener:

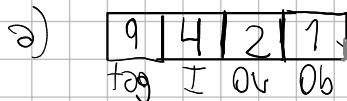
- ¿Cuántos bits hay en los diferentes campos del formato de dirección de memoria principal?
- ¿Cuántas líneas contiene la memoria caché?
- ¿Cuántos bits hay en cada línea de la memoria caché y cómo se dividen según su función?



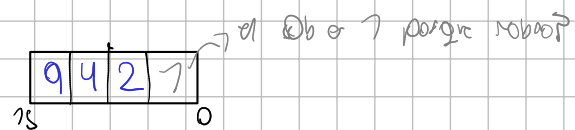
1 bloque = 4 palabras = $4 \times 16b = 64b$.

tengo 1024 bits de datos \Rightarrow # líneas = $\frac{1024}{64} = 16$

índice = 4 bits, $0b = 1$ $0w = 2$ (por diferencia entre 4 palabras)



alt:
$$\text{tag} = \frac{MP}{\text{cache}} = \frac{2^{16} \times 2^3}{2^{10}} = 2^9$$

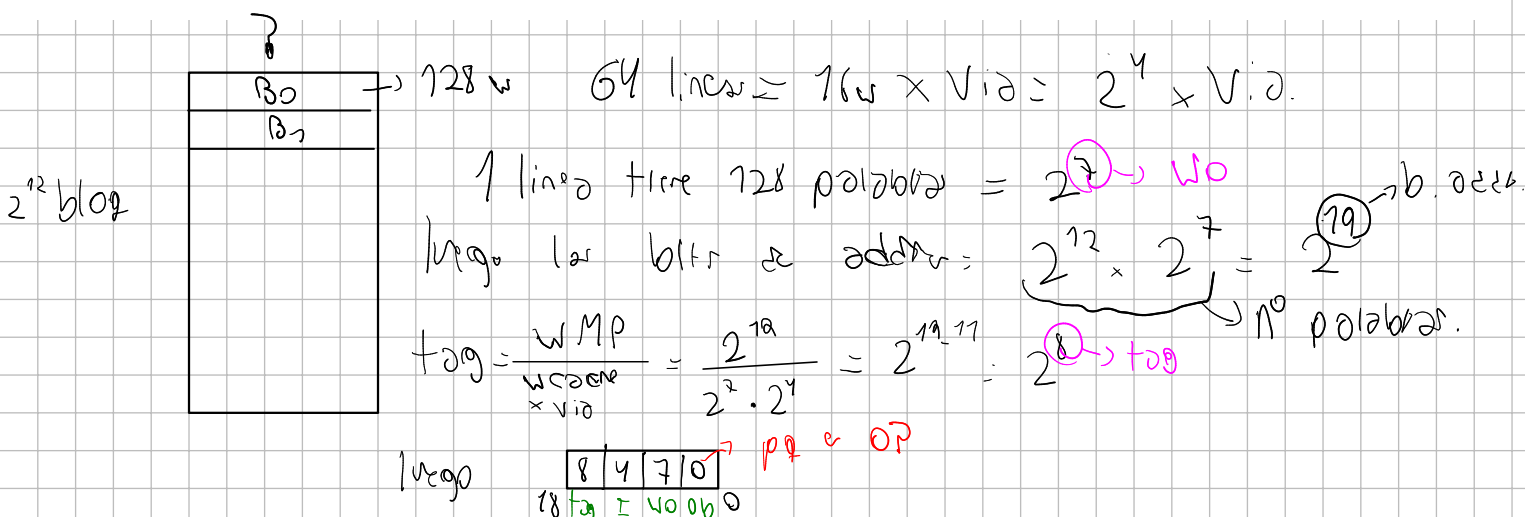


b) nº líneas: 16.

c) validación + $\text{tag} + w_0 + w_1 + w_2 + w_3 = 24 \text{ bits} \times \text{línea}$.

Ejercicio 6:

Una caché asociativa por conjuntos consta de 64 líneas, dividida en 4 vías. La memoria principal contiene 4K bloques de 128 palabras cada uno. Muestre el formato de dirección de memoria principal suponiendo que cada palabra es direccionable directamente en memoria.



Ejercicio 7:

Considere una CACHE con los siguientes parámetros:

- Criterio de correspondencia: Asociativa por conjuntos
- Asociatividad (N-vías): 2
- Tamaño de bloque: 2 words = 64 bits.
- Tamaño de palabra (word): 32 bits
- Tamaño de la cache: 32K words = 16K bloques = 16×1024 palabras.
- Tamaño de dirección: 32 bits
- Cada palabra es directamente direccionable en memoria

Responder:

- Muestre el formato de dirección de memoria principal.
- ¿Cuál es el tamaño de toda el área de Tag de la cache, expresada en bits?
- Suponga que cada LINEA de la cache contiene además un bit de validación (V) y un tiempo de vida de 8 bits. Cual es el tamaño completo (expresado en bits) de un CONJUNTO de la cache, considerando datos, tags y los bits de status antes mencionados?

$$\text{tag} = \frac{w_{MP}}{w_{cache} \times Vía} = \frac{2^{32}}{2^4 \times 2^{10}} = \frac{2^{32}}{2^{14}} = 2^{18} \text{ tag}, 2^4 \times \text{bloque} \Rightarrow w_o = 1.$$

bloques: 16K \Rightarrow 8K bloque por vía \Rightarrow index = 2^{13} index.

a) mem =

tag	I	w_o	w_o
18	13	1	0

b) la cache tiene la sig forma

2 ¹³	v tag data			v tag data		
	v	tag	data	v	tag	data
	1	18	64	1	18	64

luego la cant de bits de tag que se guardan es = $18 \times 2^{13} = 147.456$

c) una línea de conjunto tiene $v + \text{tag} + d + 8 = 1 + 18 + 64 + 8 = 91$ bits. x línea de conj.
luego ambos ocupan 182 bits. y un conj completo ocupa $2^{13} \times 91 = 745.472$

Ejercicio 8:

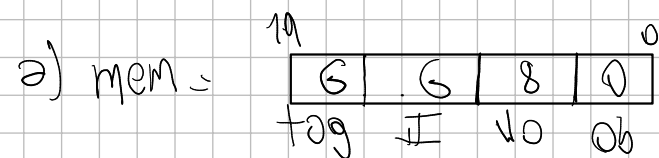
Sea un sistema con una memoria principal de 1M palabras divididas en 4K bloques, donde cada palabra es direccionable directamente en memoria. Definir el formato de la dirección de memoria principal en los siguientes casos, sabiendo que la memoria caché posee 64 líneas:

- Memoria caché con función de correspondencia directa.
- Memoria caché con función de correspondencia full-asociativa.
- Memoria caché con función de correspondencia asociativa de 8 vías.

$1M = 2^{20}$ palabras
 $4K = 2^{12}$ bloques
 $\# w \times \text{bloque} = \frac{2^{20}}{2^{12}} = \frac{2^{20}}{2^{12}} = 2^8 = 256$ palabras por bloque
 tengo 8 bits = 0.11.

bde addr = 20 bits.
 64 líneas = 6 (index) 11 (linea).

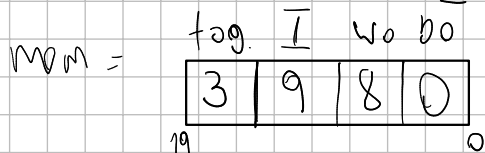
$\text{tag} = \frac{w_{MP}}{w_{cache}} = \frac{2^{20}}{2^6 \cdot 2^8} = \frac{2^{20}}{2^{14}} = 2^6$ tag.



c) tengo 8 vías tengo

$\frac{2^{12}}{2^3} = 2^9$ bloques x vía.

$\text{tag} = \frac{w_{MP}}{w \times \text{vía}} = \frac{2^{20}}{2^9 \cdot 2^8} = \frac{2^{20}}{2^{17}} = 2^3$ tag.



b)

Como es full asociativa, no existe index. Pero las líneas se mantienen igual. Por lo que ob y ow mantienen igual. y el Tag pasa a ser todos los bit restantes

12 0 8 0, vemos que los 12 bits de tag, corresponden a todas las palabras que entran en un bloque.

Ejercicio 9:

Considere que un sistema tiene una CACHE para DATOS de correspondencia ASOCIATIVA POR CONJUNTOS de 2 VÍAS de 256Kbyte y 4 palabras por línea, sobre un procesador de 32bits, CPI = 1, que resuelve todos los data y control hazard sin necesidad de stalls, tiene una memoria principal de 4G palabras de 1 byte cada una.

a. Muestre el formato de memoria principal.

$\text{CONE datos} = 256 \text{ Kbyte}$ $\text{tamaño líneas} = 32 \text{ bits} = 4 \text{ bytes} = 16 \text{ bytes}$
 $\text{Nº líneas} = \frac{\text{tamaño cone}}{\text{tamaño línea}} = \frac{256 \text{ Kbyte}}{16 \text{ bytes}} = \frac{262144 \text{ B}}{16 \text{ B}} = 16384 = 16 \text{ K líneas}$ 32 K líneas
 $\frac{\text{Nº líneas}}{\text{vía}} = \frac{16 \text{ K}}{2} = 8 \text{ K}$ $\text{línea} \times \text{vía} = 2^{13} \text{ index}$, $\text{OV} = 2$ $\frac{32}{2} = 16 \text{ K líneas o vía} = 2^{14} \text{ index}$
 $\text{tag} = \frac{\text{tamaño MP}}{\text{tamaño cone}} = \frac{2^{32} \cdot 2^3}{2^{10} \cdot 2^3} = \frac{2^{35}}{2^{13}} = 2^{22}$, como 4G palabras, 32 b de addr.
 $\text{tag} = \frac{2^{32} \cdot 2^3}{2^{14} \cdot 2^3 \cdot 2^5} = \frac{2^{35}}{2^{22}} = 2^{13}$ 14 | 14 | 2 | 2
 $\text{tag} = \frac{2^{32} \cdot 2^3}{2^{14} \cdot 2^3 \cdot 2^5} = \frac{2^{35}}{2^{22}} = 2^{13}$ 14 | 14 | 2 | 2

b. Considere ahora la ejecución en este sistema de los siguientes segmentos de código LEGv8 equivalentes para $N > 0$, donde $N \rightarrow X3$, $\text{start} = 0x000203C$ y $X6$ contiene la dirección base del arreglo $A[]$ del tipo `uint32_t`. Considerar que el resto de los registros están inicializados en 0 y la CACHE vacía al inicio de la ejecución de cada segmento.

<p>Segmento #1:</p> <pre> 1 start: ADD X9, X3, XZR 2 loop: CBZ X9, end X9 = 0 3 LDURH X10, [X6, #0] A[X6] ✓ 4 LDURH X11, [X6, #8] A[X6+8] 5 ADD X12, X10, X11 X12 = A[X6] + A[X6+8] 6 LSR X12, X12, #1 7 ADDI X6, X6, #4 X6++ 8 SUBI X9, X9, #1 X9-- 9 B loop 10 end: ... </pre>	<p>Segmento #2:</p> <pre> start: LDURH X10, [X6, #0] LDURH X11, [X6, #8] ADD X12, X10, X11 LSR X12, X12, #1 ADDI X6, X6, #4 SUBS XZR, X9, X3 B.NE start end: ... </pre>
---	--

¿Cuántos MISS de CACHE se produjeron en 5 iteraciones del lazo para el segmento #1 si la dirección base del arreglo A es 0x00001008?

1 it.
 $\text{3º CACHE MISS, porque } A[0] = 0000 \ 0000 \ 0000 \ 0000$ Index OV
 $\text{0007} \ 0000 \ 0000 \ 1000$
 $\text{0} \ 8 \ 0 \ 0$
 $\text{0x80} \ 1 \ 1$

Ejercicio 10:

Encuentre el AMAT (Average Memory Access Time) para un procesador con un tiempo de ciclo de 1 ns, un miss penalty de 20 ciclos de reloj, un miss rate de 5% fallos por instrucción y un tiempo de acceso a caché (incluida la detección de acierto) de 1 ciclo de reloj. Suponga que las penalizaciones por falla de lectura y escritura son las mismas e ignore otros stalls en la escritura.

$$AMAT = HIT + MR * MP$$

$$Ciclo = 1ns \quad hit\ time = tiempo\ de\ acceso\ a\ caché = 1ns$$

$$MP = 20\ ciclos \Rightarrow 20\ ns \quad MR = 0,05$$

$$AMAT = 1ns + (20ns \times 0,05) = 1ns + 1ns = 2ns$$

Ejercicio 11:

Una computadora posee un sistema de memoria jerárquica que consiste en dos cachés separadas (una de instrucciones y una de datos), seguidas por la memoria principal y un procesador ARM que trabaja a 1 GHz, con hit time = 1 ciclo de clock y CPI = 1.

- a. La caché de instrucciones es perfecta (siempre acierta), pero la caché de datos tiene un 15% de miss rate. En una falla de caché, el procesador se detiene durante 200 ns para acceder a la memoria principal y luego reanuda el funcionamiento normal. Teniendo en cuenta los errores de caché, ¿cuál es el tiempo promedio de acceso a la memoria?

$$MR = 0,15 \quad MP = 200\ ns = 200\ ciclos$$

$$AMAT = 1ns + (0,15 \times 200ns) = 1ns + 30ns = 31ns$$

de acceso a caché de inst.

- b. ¿Cuántos ciclos de reloj por instrucción (CPI) se requieren en promedio para instrucciones load y store, considerando las condiciones del punto a)?

$$CPI_{prom} = CPI + \frac{acceso\ M}{n\ instr} \times MR \times MP = 1 + 1 \times 0,15 \times 200ns = 31$$

- c. Asumiendo que la distribución de instrucciones se divide en las siguientes categorías: 25% loads, 10% stores, 13% branches y 52% instrucciones tipo R, ¿cuál es el CPI promedio?

$$prop\ instr\ de\ datos = 35 \quad de\ inst = 65$$

$$CPI_{prom} = 1 + 0,35 \times 0,15 \times 200 + 0,65 \times 0 \times 200 \\ = 1 + 10,5 = 11,5$$

- . Suponiendo ahora que la caché de instrucciones tampoco es ideal y tiene un miss rate del 10%, ¿cuál es el CPI promedio considerando los fallos de ambas cachés?. Asuma la misma distribución de instrucciones de programa del punto c).

$$CPI_{prom} = 1 + 0,35 \times 0,15 \times 200 + 0,65 \times 0,1 \times 200 \\ = 1 + 10,5 + 13 \\ = 24,5$$

Ejercicio 12:

La siguiente tabla muestra los datos de la caché de un solo nivel (L1) para dos procesadores distintos (P1 y P2). En ambos procesadores el tiempo de acceso a memoria principal es de 70ns y el 36% de las instrucciones acceden a la memoria de datos.

	L1 Size	L1 Miss Rate	L1 Hit Time
P1	2 KiB	8.0%	0.66ns
P2	4 KiB	6.0%	0.90ns

- Asumiendo que el *hit time* de la caché L1 determina el tiempo de ciclo de ambos procesadores, calcule sus respectivas frecuencias de CLK.
- ¿Cuál es el AMAT para ambos procesadores?
- Asumiendo un CPI de 1 (sin memory stalls) y considerando las penalidades derivadas de instrucciones y datos (mismo Miss Rate), ¿cuál es el CPI total para ambos procesadores?
¿Cuál de los dos procesadores es más rápido?

$$\begin{aligned} a) \quad P1 &= \frac{1}{0.66 \text{ ns}} = \frac{1}{0.66 \times 10^{-9}} = 1.51 \text{ GHz} \\ P2 &= \frac{1}{0.9 \times 10^{-9}} = 1.11 \text{ GHz} \end{aligned}$$

b) Cálculo de AMAT

$$AMAT_{P1} = 0.66 + (0.08 \times 70 \text{ ns}) = 6.26 \text{ ns} = 9.5 \text{ ciclos}$$

$$AMAT_{P2} = 0.9 + (0.06 \times 70 \text{ ns}) = 5.7 \text{ ns} = 5.6 \text{ ciclos}$$

$$c) \quad CPI_{P1} = 64 \times 9.5 + 36 \times 9.5 = 9.5$$

$$CPI_{P2} = 5.6 \quad \text{mejor } P2$$