

Començat el	dijous, 29 octubre 2020, 12:05
Estat	Acabat
Completat el	dijous, 29 octubre 2020, 12:57
Temps emprat	52 minuts
Punts	17,00/17,00
Qualificació	10,00 sobre 10,00 (100%)

Pregunta 1

Correcte

Puntuació 1,00  
sobre 1,00

Hi ha alguna cosa mal feta en el codi de la RSI d’alta prioritat mostrat a continuació? Funcionaria igualment?  
(s’espera que cada cop que arriba la INT0 s’incrementi un comptador)

```
ORG 0x08
ISR_hi
    push W
    push BSR
    push STATUS
    btfsc INTCON,INT0IF;  check interrupt source
    incf count0,F;  inc interrupt count
    bcf INTCON, INT0IF;  clear interrupt bit
    pop STATUS
    pop BSR
    pop W
    retfie fast
```

- Trieu-ne una o més:
- ☒ a. La RSI s'executa correctament però hi han instruccions redundants ✓
- ☐ b. La RSI és impossible que s'executi mai
- ☐ c. La RSI s'executa correctament i el codi és òptim
- ☐ d. La RSI s'executa correctament però no fa el que diu l'enunciat

Pregunta 2

Correcte

Puntuació 1,00  
sobre 1,00

El *Reset* és un cas particular de les interrupcions

Trieu-ne una:

Respostes

- ☐ Vertader
- ☒ Fals ✓

Pregunta 3

Correcte

Puntuació 1,00 sobre 1,00

Indica en quin ordre es realitzen aquestes accions relacionades amb el mecanisme d'interrupcions:

- 1r.

Activació del senyal d'interrupció

✓
- 2n.

Determinar si cal tractar la interrupció i el seu nivell de prioritat

✓
- 3r.

Guardar el PC a la pila

✓
- 4t.

Guardar el context d'execució (WREG, STATUS; ....) en la pila

✓
- 5è.

Executar la rutina de servei a la interrupció

✓
- 6è

Recuperar el context d'execució de la pila

✓
- 7è.

Recuperar el PC de la pila

✓

Pregunta 4

Correcte

Puntuació 1,00 sobre 1,00

Donada la següent configuració, quina interrupció es tractarà primer si les senyals d'interrupció INT0 i INT1 s'activen en el mateix instant ?

Configuració del mecanisme d'interrupcions: INTCON= 0xC0; RCON= 0x80; INTCON2= 0x70; INTCON3= 0x98;

Trieu-ne una:

- ☐ Només s'executa la INT0.
- ☐ Primer s'executa la INT0, i després la INT1.
- ☒ Només s'executa la INT1. ✓
- ☐ No s'executa cap de les dues.
- ☐ Primer s'executa la INT1, i després la INT0.

Pregunta 5

Correcte

Puntuació 1,00 sobre 1,00

La declaració següent:

```
void interrupt rsi ()  
{  
  ...  
}
```

Trieu-ne una o més:

- ☒ a. Indica al compilador que rsi és una rutina de servei a la interrupció ✓
- ☒ b. Ubica una instrucció de salt a rsi en la posició 0x08 ✓
- ☒ c. Indica al compilador que rsi ha d'acabar amb un retfie fast ✓
- ☐ d. Ubica la rsi en la posició 0x18
- ☐ e. Ubica la rsi en la posició 0x08
- ☐ f. Ubica una instrucció de salt a rsi en la posició 0x18

Pregunta 6

Correcte

Puntuació 1,00 sobre 1,00

Una variable global, anomenada *compt*, a la que s'accedeix desde el programa principal i també desde una RSI la declararem com

Trieu-ne una o més:

- ☐ a. rom int compt
- ☐ b. static int compt
- ☒ c. volatile int compt ✓
- ☐ d. ram int compt
- ☐ e. const int compt

Pregunta 7

Correcte

Puntuació 1,00 sobre 1,00

Indica la funció que realitzen els següents bits del PIC18F45K22 ...

ADIP	Indica el nivell de prioritat per la interrupció AD	✓
IPEN	Habilita/Deshabilita els nivells d'interrupcions	✓
INTEDG1	Indica si la interrupció es genera en el flanc de baixada o del pujada de la senyal	✓
ADIE	Habilita/Deshabilita la interrupció del conversor AD	✓
ADIF	Indica que s'ha produït una interrupció de l'AD	✓
GIE	Habilita/Deshabilita el mecanisme d'interrupcions	✓

Pregunta 8

Correcte

Puntuació 1,00 sobre 1,00

Indica els valors dels registres que configuren el mecanisme de tractament de les interrupcions per a que la interrupció de Change PORTB sigui tractada en la RSI d'alta prioritat (i aquesta, i només aquesta interrupció és l'única interrupció que ha de ser tractada).

PIR2=	0x00	✓
INTCON=	0x88	✓
IPR1=	0xFF	✓
PIR1=	0x00	✓
PIE=	0x00	✓
INTCON3=	0x00	✓
INTCON2=	0x01	✓
RCON=	0x80	✓
IPR2=	0xFF	✓
PIE2=	0x00	✓

Pregunta 9

Correcte

Puntuació 1,00 sobre 1,00

Quina és la última instrucció que s'executa en una rsi d'un PIC18?

Resposta: retfie ✓

Pregunta 10

Correcte

Puntuació 1,00 sobre 1,00

Selecciona la(es) opció(ns) correcta(es)

Trieu-ne una o més:

- ☐ Un senyal només pot ser tractat d'una única forma: per enquesta activa o per interrupcions.
- ☐ El *pooling* periòdic consisteix en esperar un temps fixe abans de consultar l'estat d'una senyal.
- ☒ La interrupció pot ser generada tant pel *hardware* com pel *software*. ✓
- ☒ El *pooling* o enquesta activa consisteix en consultar de forma repetitiva el valor d'una senyal provinent dispositiu. ✓
- ☐ La interrupció és una senyal provinent des d'un dispositiu perifèric cap a la CPU.
- ☒ La interrupció és una senyal que indica al processador que s'ha produït un esdeveniment que requereix una atenció immediata. ✓

Pregunta **11**

Correcte

Puntuació 1,00  
sobre 1,00

El flag de petició d'interrupció IF s'activa encara que aquesta estigui deshabilitada mitjançant el bit d'enable IE.

Trieu-ne una:

Respostes

- ☒ Vertader ✓
- ☐ Fals

Pregunta **12**

Correcte

Puntuació 1,00  
sobre 1,00

El flag de petició d'interrupció IF cal posar-lo a 0 abans de sortir de la rsi corresponent.

Trieu-ne una:

Respostes

- ☒ Vertader ✓
- ☐ Fals

Pregunta **13**

Correcte

Puntuació 1,00  
sobre 1,00

Senyals externs connectats als pins INTx

Trieu-ne una o més:

- ☒ a. Poden generar interrupcions a cada flanc de baixada ✓
- ☒ b. Poden generar interrupcions a cada flanc de pujada ✓
- ☒ c. Poden generar interrupcions a cada flanc de pujada i de baixada, si modifiquem el registre de control dins de la RSI ✓
- ☐ d. No poden generar interrupcions per flanc. Només per nivell

Pregunta **14**

Correcte

Puntuació 1,00  
sobre 1,00

Si a l'adreça 0x08 ubiquem la crida a la RSI de la forma:

\_asm

// crida a la RSI

\_endasm

Quines de les següents instruccions serien correctes per a ubicar-les allà on està el comentari?

Trieu-ne una o més:

- ☐ a. call high\_ISR
- ☐ b. high\_ISR()
- ☒ c. goto high\_ISR ✓
- ☐ d. cap d'elles

Pregunta **15**

Correcte

Puntuació 1,00  
sobre 1,00

Quina de les següents opcions són correctes per a declarar una RSI?

Trieu-ne una o més:

- ☐ a. void interrupt RSI ( char c )
- ☒ b. void interrupt RSI ( void ) ✓
- ☐ c. int interrupt RSI ( char c )
- ☐ d. int interrupt RSI ( void )

Pregunta **16**

Correcte

Puntuació 1,00 sobre 1,00

Tria l'opció correcte

La habilitació de la interrupció

permet gestionar si s'ha de tractar o no, una interrupció donada.



La rutina de servei a la interrupció

conté el codi per tractar l'esdeveniment que ha generat la interrupció.



La prioritat de la interrupció

permet establir un ordre en el tractament d'interrupcions concurrents.



El vector d'interrupcions

indica l'adreça de la primera instrucció de la rutina de servei a la interrupció



Pregunta **17**

Correcte

Puntuació 1,00 sobre 1,00

A partir de l'esquema jeràrquic de les interrupcions del PIC18f (Fig 91-1 del data sheet). Respon si són certes les següents afirmacions

La interrupció INT0 no produirà mai una interrupció de baixa prioritat.

Cert

Els bits de control IP no serveixen per res si treballem amb prioritat única

Cert

Cap interrupció externa INTX produirà mai una interrupció de baixa prioritat.

Fals

Les interupcions dels Timer1 mai poden ser més prioritàries que les del timer 0.

Fals

Les sortides d'activació als vectors @0x8 i @0x18 es poden activar alhora.

Fals

[◀ Presentació pel tema 4. Interrupcions](#)

Salta a...

[Enunciat de la pràctica L6. Introducció a la pantalla GLCD. ▶](#)