



$$\vartheta = \frac{\Delta E}{h} \rightarrow \lambda = \frac{c}{\vartheta} = \frac{hc}{\Delta E}$$

Model de díode simplificat (Només condueix en polarització directa)

$$\varepsilon = RI + V_\gamma \rightarrow I = \frac{\varepsilon - V_\gamma}{R}$$

$$P = VI$$

$$P_{diss} = RI^2 = \frac{V^2}{R}$$

RC \rightarrow Règim estacionari $\rightarrow q = \varepsilon C \quad I = 0$

Díode Zener

Polarització directa

$$\varepsilon = RI + V_\gamma \rightarrow I = \frac{\varepsilon - V_\gamma}{R} \quad \varepsilon > V_\gamma$$

Polarització inversa

$$\varepsilon = RI + V_Z \rightarrow I = \frac{\varepsilon - V_Z}{R} \quad \varepsilon > V_Z$$

Transistor NMOS

$$I_D = \frac{V_{DD} - V_{DS}}{R_d} \rightarrow V_{DS} = V_{DD} - I_D R_D$$

Si $V_{GS} < V_T \rightarrow$ El NMOS està a la **zona de tall** (No circula corrent)

Si $V_{GS} > V_T$ i $V_{DS} > 0$ i $V_{DS} < (V_{GS} - V_T) = V_{GT} \rightarrow$ El NMOS està a la **zona òhmica** (La intensitat augmenta amb V_{DS})

$$I_D = \beta \left[V_{GT} V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$r_{DS} = \frac{V_{DS}}{I_D} = \frac{1}{\beta V_{GT}} \rightarrow I_D = \frac{V_{DD}}{r_{DS} + R_D} \rightarrow V_{DS} = \frac{r_{DS} V_{DD}}{r_{DS} + R_D}$$

Si $V_{GS} > V_T$ i $V_{DS} > 0$ i $V_{DS} > (V_{GS} - V_T) = V_{GT} \rightarrow$ El transistor està a la **zona de saturació** (La intensitat es mantindrà constant).

$$I_D = \frac{\beta}{2} V_{GT}^2 \rightarrow \beta = \frac{2I_D}{V_{GT}^2} \rightarrow V_{GT} = \sqrt{\frac{2I_D}{\beta}}$$

Si $V_{GD} = V_T \rightarrow V_{DS} = V_{GS} - V_{GD} = V_{GT} \rightarrow$ Condició de saturació mínima, marca la **frontera entre la zona òhmica i saturació**.

Porta NOT

Si $V_{IN} = V_{GS} = 0 \rightarrow$ Zona de **tall** ($I_d = 0$) $\rightarrow V_{OUT} = V_{DD}$

Si $V_{IN} = V_{GS} = V_{DD} \rightarrow$ Zona **òhmica** (passa corrent) $\rightarrow V_{OUT} = V_{DS}$

Porta NOR

Si $V_A = V_B = 0 \rightarrow$ Zona de **tall** ($I_d = 0$) $\rightarrow V_{OUT} = V_{DD}$

Si $V_A = 0$ i $V_B = V_{DD} \rightarrow$ Transistor **A** en **tall** i el **B** en **òhmica**

Porta NAND (El circuit sempre estarà obert)

Si $V_A = V_{DD}$ i $V_B = 0 \rightarrow$ Transistor **A** està en **òhmica** i el **B** en **tall**

Si $V_A = V_B = V_{DD} \rightarrow$ Zona **òhmica** $\rightarrow V_{OUT} = 0$

Transistors PMOS

$$V_{SS} = R_D I_D + V_{SD} \rightarrow V_{DS} = R_D I_D - V_{SS}$$

Si $V_{GS} > V_T \rightarrow$ El **PMOS** està a la zona de **tall** ($I_D = 0$)

Si $V_{GS} < V_T$ i $V_{DS} < 0$ i $V_{DS} > V_{GT} \rightarrow$ Zona **òhmica**

$$I_D = \beta [V_{GT} V_{DS} - V_{DS}^2 / 2]$$

Si $V_{GS} < V_T$ i $V_{DS} < 0$ i $V_{DS} < V_{GT} \rightarrow$ Zona de **saturació**

$$I_D = \frac{\beta}{2} V_{GT}^2$$

Porta NOT

Si $V_{IN} = 0$ i $V_{GS} = V_G - V_S = -V_{SS} < V_T \rightarrow$ Zona **òhmica** $\rightarrow V_{OUT} = R_D I_D = V_{SS} - V_{SD}$

Si $V_{IN} = V_{SS}$ i $V_{GS} = V_G - V_S = V_{SS} - V_{SS} = 0 \rightarrow$ Zona de **tall** ($I_D = 0$) $\rightarrow V_{OUT} = V_{SS} + V_{DS} = 0$

Porta NAND

Si $V_A = V_B = 0 \rightarrow$ Zona **òhmica** $\rightarrow V_{OUT} = R_D I_D = V_{SS} - V_{SD}$

Si $V_A = 0$ i $V_B = V_{SS} \rightarrow$ El transistor **A** en **òhmica** i el **B** en **tall** $V_{OUT} = V_{SS}$

Porta NOR

Si $V_A = V_{SS}$ i $V_B = 0 \rightarrow$ El transistor A en **tall** i el B en **òhmica** $\rightarrow V_{OUT} = V_{SS}$

Si $V_A = V_B = V_{SS} \rightarrow$ Zona de **tall** $\rightarrow V_{OUT} = 0$

Inversor CMOS

Si $V_{IN} = 0$, per una banda $V_{GNSN} < V_T \rightarrow$ El **NMOS** està en **tall**. D'altra banda $V_{SPGP} = V_{SS} \rightarrow$ El **PMOS** està en **òhmica**. Per tant $V_{OUT} = V_{SS}$

Si $V_{IN} = V_{SS}$, per una banda $V_{GNSN} = V_{SS} \rightarrow$ El **NMOS** està en **òhmica**.

D'altra banda $V_{SPGP} = 0 \rightarrow$ El **PMOS** està en **tall**. Per tant $V_{OUT} = 0$

Regió I - Si $V_{IN} < V_{TN} \rightarrow$ El **NMOS** està en **tall** i el **PMOS** en **òhmica**

Regió II - Si $V_{IN} > V_{TN} \rightarrow$ El **NMOS** està en **saturació** i el **PMOS** en **òhmica**

Regió III - Si $V_{IN} = V_{SS}/2 \rightarrow$ Els **dos** transistors estan en **saturació** i V_{OUT} disminueix de forma abrupta

Regió IV - Si $V_{SS}/2 < V_{SS} - V_{TP} \rightarrow$ El **NMOS** està en **òhmica** i el **PMOS** en **saturació**

Regió V - Si $V_{IN} > V_{SS} - V_{TP} \rightarrow$ El **NMOS** està en **òhmica** i el **PMOS** en **tall**

A partir de $V_{IN} = V_{SS} - V_{TP} \rightarrow$ tant la intensitat com V_{OUT} s'anul·len, i per

$$V_{IN} < V_{TN} \rightarrow I_D = 0 \text{ i } V_{OUT} = V_{SS}$$

Retard i potència en circuits digitals

$t_{PHL} = 1,7C/\beta_N V_{SS} \rightarrow$ Temps que triga de V_{SS} a $V_{SS}/2 \rightarrow$ NMOS

$t_{PLH} = 1,7C/\beta_P V_{SS} \rightarrow$ Temps que triga de 0 a $V_{SS}/2 \rightarrow$ PMOS

$t_P = (t_{PLH} + t_{PHL})/2 \rightarrow$ Temps total de retard

$$V(t) = V_{SS} \left[1 - e^{-\frac{t}{\tau}} \right] \rightarrow \text{Pujada}$$

$$V(t) = V_{SS} e^{-\frac{t}{\tau}} \rightarrow \text{Baixada}$$

$$\tau = t_P / \ln(2)$$

$$P = \frac{U}{T} = fU = fCV_{SS}^2$$

Delay – power product $DP = t_P P \rightarrow$ Energia dissipada en un cicle

Lògica CMOS

En el cas NAND \rightarrow si un dels **PMOS** està en **òhmica** $\rightarrow V_{OUT} = V_{SS}$

Si $V_A = V_B = 0 \rightarrow$ **NMOS** està en **tall** i el **PMOS** està en **òhmica**, per tant, $\rightarrow V_{OUT} = V_{SS}$

Si $V_A = 0$ i $V_B = V_{DD} \rightarrow$ **NMOSA** està en **tall** i **PMOSA** en **òhmica**, el **NMOSB** en **òhmica** i **PMOSB** en **tall**.

$$\bar{A} + \bar{B} = \overline{A \cdot B}$$

Això **negat** es un **AND**

En el cas NOR \rightarrow si un dels **NMOS** en **tall** $\rightarrow V_{OUT} = 0$

Si $V_A = V_{SS}$ i $V_B = 0 \rightarrow$ **NMOSA** en **òhmica**, **PMOSA** en **tall**, **NMOSB** en **tall** i

PMOSB en **òhmica**

Si $V_A = V_B = V_{SS} \rightarrow$ els **NMOS** en **òhmica** i els **PMOS** en **tall**, per tant \rightarrow

$$V_{OUT} = 0$$

$$\bar{A} + \bar{B} = \overline{A \cdot B}$$

Això **negat** es una **OR**

ϑ = Freqüència (Hz)	V_Z = Tensió Zener (V)
ΔE = Diferència d'energia (J)	β = Paràmetre característic del transistor (A/V^2)
h = Constat de Planck	I_D = Intensitat del drenador (A)
λ = Longitud d'ona (m)	r_{DS} = Resistència del canal entre drenador i font (Ω)
c = Velocitat de la llum al buit (m/s)	V_G = Tensió de porta
V_ϕ = Potencial de contacte o tensió llindar (V)	V_D = Tensió de drenador
P = Potència (W)	V_S = Tensió de font
P_{diss} = Potència dissipada (W)	V_{TN} = Tensió de tall del NMOS
V = Tensió (V)	V_{TP} = Tensió de tall del PMOS
I = Intensitat o corrent (A)	t_{PHL} = Propagation delay
ε = Fem o font de tensió (V)	β_N = paràmetre del NMOS
C = Capacitat (F)	β_P = paràmetre del PMOS