

# Diseño de amplificador front-end para la banda 1 a 5 GHz

Adrián Sánchez Pla y Andrea Granell Cháfer  
adsanpl@teleco.upv.es, angracha@teleco.upv.es

**Resumen.-** Este documento contiene el desarrollo de un prototipo de amplificador front-end para la banda de 1 GHz a 5 GHz. Debido a la creciente demanda contenido multimedia de alta tasa de datos, se necesita tecnología capaz de satisfacer esta demanda. Los parámetros del diseño son: Gain > 20 dB, Noise Figure < 4 dB, Return Loss > 8 dB, OP1 > 0 dBm y que sea incondicionalmente estable. Como no hay ningún amplificador de estas características, se ha realizado un diseño con dos LNAs en cascada.

## I. INTRODUCCIÓN

Con la proliferación y expansión hoy día de las plataformas multimedia, ligado al potencial consumo creciente de contenido de este tipo por parte de la población se han desarrollado tecnologías que permitan una mayor tasa de datos para garantizar el acceso a contenido de este tipo. Además, mencionar si cabe el incremento del peso de datos del propio contenido fruto de calidades de imagen y video en resoluciones altas como son 2K y 4K.

Estos factores, han sido los precursores del desarrollo tecnologías que permitan soportar esos niveles de tráfico de datos. La tecnología más reciente que permite alcanzar esas tasas binarias es el 5G. Pero como se haya todavía en vías de desarrollo, se ha considerado de interés el diseño de un bloque amplificador para esta tecnología.

Para en un hipotético caso de producción de dicho bloque, se ha realizado una primera aproximación mediante un entorno de simulación, como es *Microwave Office AWR*. Una vez lograda, se continuaría con la siguiente etapa, la elaboración de un kit de evaluación hardware y validar los resultados obtenidos mediante la simulación. Finalmente, validado el diseño se procedería a su producción en masa.

## II. ESPECIFICACIONES DE DISEÑO

Para la realización del diseño del amplificador se partió de una serie de parámetros definidos, éstos se indican a continuación en la Tabla 1.

Banda de trabajo	1-5 GHz
Ganancia	≥ 20 dB
Return loss	≥ 8 dB
OP <sub>1</sub>	≥ 0 dBm
Noise Figure	≤ 4 dB
Estabilidad	Incondicionalmente estable

Tabla 1. Parámetros de diseño del amplificador.

## III. ANÁLISIS TEÓRICO

Para la realización del prototipo software se consideraron dos tipos de *Low Noise Amplifier* (LNA). En primer lugar el modelo ADL5611 que fabrica Analog Devices SL, y en segundo lugar el modelo BGB741L7ESD que comercializa Infineon SL. Se optó por desarrollar el prototipo empleando el segundo modelo comentado puesto que ambos presentan características similares, pero el coste unitario del segundo modelo es 5 veces inferior al que comercializa Analog Devices.

A continuación, en la Tabla 2, se muestran las principales características de el amplificador LNA escogido.

BGB741L7ESD	
$f_{\min.} - f_{\max.}$	50 MHz – 5 GHz
Gain	18.5 dB @900 MHz, 12 dB @ 5.5 GHz
Noise Figure	1.35 dB
P <sub>1dB</sub>	Avg. 10 dB

Tabla 2. Parámetros BGB741L7ESD.

En base a estos datos, se realizó una simulación empleando la herramienta de Microwave Office, llamada Budget Wizard, para verificar que dicho LNA se mantenía dentro de las condiciones de diseño, así como barajar el número mínimo de etapas de amplificación necesarias para satisfacer los criterios de diseño. A continuación, en la Figura 1, puede observarse que empleando 2 etapas amplificadoras se logra en el caso más desfavorable, a frecuencia 5 GHz, lograr una ganancia superior a 20 dB y garantizar un valor de *Noise Figure* (NF), menor de 4 dB.

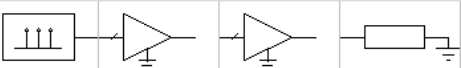
				
	TONE.A1 FRQ=4.6e3 MHz PWR=-10 dBm	AMP_B.A3	AMP_B.A2	LOAD.S1
GAIN	-	12	12	-
IIP3	-	8.5	8.5	-
NF	-	1.35	1.35	-
C_GP		11.8769	21.7444	
C_NF		1.3832	1.5037	
C_IP3		20.2651	17.0562	

Fig 1. Resultados de simulación Wizard.

Esta simulación también permite extraer otro tipo de medidas como son las relacionadas con los efectos de los productos de tercer orden tanto a la salida como en la entrada. En este caso, en la Figura 1, en la última fila y con el sobrenombre de  $C_{IP3}$ , puede observarse el valor  $OIP_3$  del conjunto, el cual alcanza un valor de 17, 056 dB a la salida del bloque.

## IV. DISEÑO

Si se consulta la hoja de datos del fabricante del amplificador [1], puede observarse que se recomienda una disposición para garantizar su correcto funcionamiento. La arquitectura que seguir es la que está a continuación mostrada en la Figura 2.

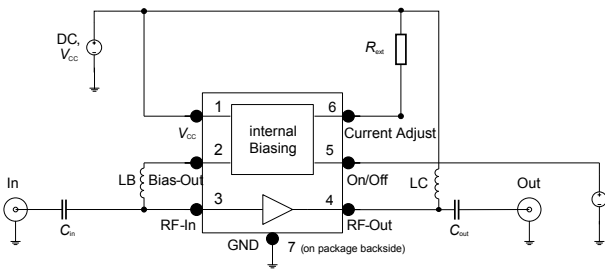


Fig 2. Disposición de BGB741L7ESD

En referencia a la Figura 2, mencionarse que el empleo de la resistencia  $R_{ext.}$  no es necesario, obteniéndose una corriente de ajuste por defecto de 5.5 mA. Valor de corriente que combinado con una tensión de alimentación  $V_{cc}$  de 3V garantiza los valores de ganancia anteriormente expresados en la Tabla 2. Además, la tensión que controla la puesta en funcionamiento del componente,  $V_{ctrl}$ , puede tener el mismo valor que la tensión de alimentación, facilitando de este modo el empleo de una única tensión DC en el diseño del bloque.

En referencia a los demás elementos pasivos,  $C_{in}$ ,  $C_{out}$ ,  $L_B$  y  $L_C$  han de ajustarse en función de la frecuencia a la que se vaya a trabajar.

En el caso que nos acomete,  $L_B$  y  $L_C$  se han empleado en un rango de  $nH$ . Posteriormente, se indicarán sus valores ya que se han ajustado de forma precisa para maximizar la ganancia. Del mismo modo,  $C_{in}$  y  $C_{out}$  se han empleado de 100 nF.

Tras una primera implementación del diseño en dos etapas de amplificación, se observó que la impedancia de entrada estaba muy desadaptada, alcanzando valores de entorno a  $100\ \Omega$ , muy distante de los  $50\ \Omega$  deseados. Por lo que se diseñó una etapa de adaptación de impedancias que consiste en una resistencia en serie con un conjunto de condensadores en paralelo y finalmente una resistencia en paralelo a masa. Además, empleando un primer bobinado  $L_B$  de  $22\text{ nH}$  y el resto de  $47\text{ nH}$  y se lograba maximizar la ganancia y minimizar el valor de pérdidas por inserción a la entrada. Este conjunto puede observarse en la Figura 3.

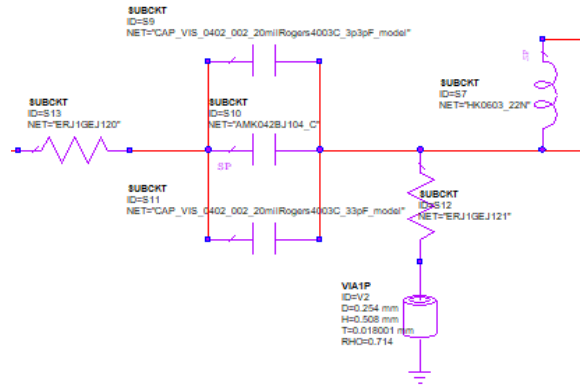


Fig 3. Red de adaptación de impedancias.

### A. Layout

A continuación, en la Figura 4 y Figura 5 puede observarse el diseño físico del prototipo en 2D y 3D respectivamente. En el modelo bidimensional puede observarse la que las dimensiones del dispositivo son 11 mm x 34 mm, lo que da lugar a una superficie de 374 mm<sup>2</sup>. Esta superficie aun se podría reducir más si se emplearan los conectores SMA de forma horizontal. Mencionarse que el tipo de encapsulado empleados para los elementos pasivos es el encapsulado SMD.

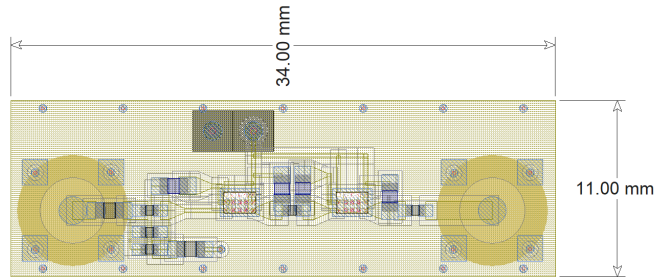


Fig. 4. Diseño layout 2D del bloque amplificador.

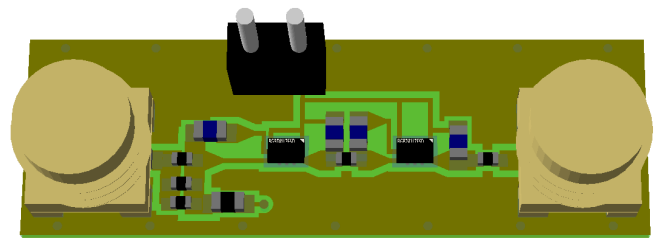


Fig 5. Diseño layout 3D del bloque amplificador.

## V. RESULTADOS

Una vez presentado el diseño propuesto, ha de mencionarse cómo rinde en términos de ganancia, estabilidad o pérdidas.

En primer lugar, se va a presentar las medidas y representación gráfica correspondiente a los parámetros  $S_{11}$  y  $S_{12}$ , los cuales determinan las perdidas por inserción a la entrada y la ganancia del conjunto respectivamente.

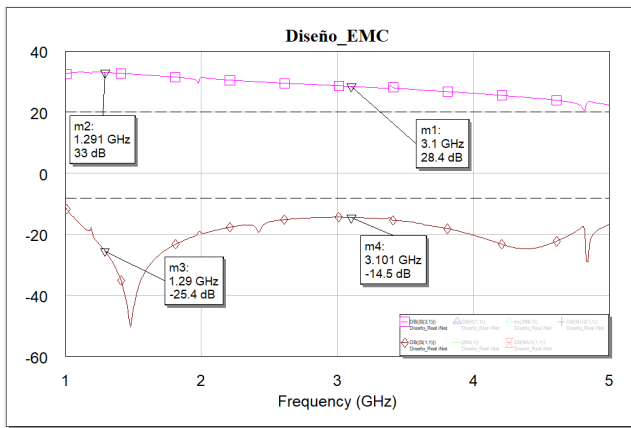


Fig 6. Parámetros S del sistema.

Como puede observarse en la gráfica de la Figura 6, los parámetros se hayan en su región de trabajo. Remarcado en color rosa, se representa el parámetro  $S_{21}$ , el cual no decae por bajo de 20 dB en ninguna frecuencia de la banda de trabajo. En color marrón, se representa cómo varía el parámetro  $S_{11}$  en la banda de trabajo, y como puede observarse, en ningún momento supera la barrera de los -8 dB. A continuación, en la Tabla 3, se presentan diferentes puntos de medida de estos parámetros a lo largo de la banda operativa.

Frecuencia (GHz)	S11 (dB)	S12 (dB)
1	-10.9	31.6
1.29	-25.4	33
2	-19.3	30
3	-14.4	28.7
3.21	-14.3	28.4
4	-20.1	26.2
5	-16.2	22.4

Tabla 3. Punto de medida de parámetros  $S_{11}$  y  $S_{12}$ .

En segundo lugar, en referencia a cómo de estable es el sistema desarrollado, ha de observarse el valor de los parámetros geométricos K, MU1 y MU2. A continuación, en la Figura 7, puede observarse la evolución de estas variables en función de la frecuencia de trabajo.

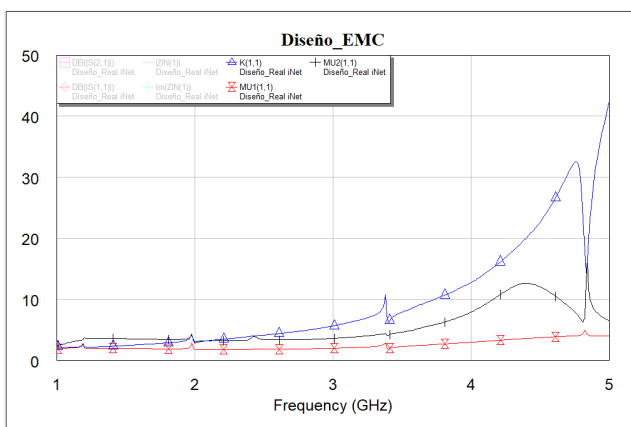


Fig 7. Representación gráfica de los parámetros geométricos K, MU1 y MU2.

En vista que ninguno de estos parámetros decae por debajo de la unidad, puede enunciarse que el sistema es incondicionalmente estable.

## VI. ANÁLISIS ECONÓMICO DEL DISEÑO

Componente	Modelo	Precio (€/ud.)	Unidades	Subtotal (€)
Resistencia 12 $\Omega$	ERJ-1GEJ120C	€ 0,09	1	€ 0,09
Resistencia 120 $\Omega$	ERJ-1GNJ121C	€ 0,09	1	€ 0,09
Condensador 3.3 pF	VJ0402A3R3CXACW1BC	€ 0,09	1	€ 0,09
Condensador 33 pF	VJ0402A3R3CXACW1BC	€ 0,23	1	€ 0,23
Condensador 100 nF	963-AMK042B104MC-W	€ 0,29	3	€ 0,86
Bobina 22nH	HK160822NJ-T	€ 0,09	1	€ 0,09
Bobina 100nH	HK0603R10J-T	€ 0,09	3	€ 0,27
Amplificador	BGB741L7ESDE6327XTSA1	€ 0,98	2	€ 1,96
Conector SMA	733910060	€ 2,89	2	€ 5,78
Conector DC	4-103328-1	€ 0,18	1	€ 0,18
TOTAL				€ 9,64

Tabla 4. Lista de componentes del diseño.

## VII. CONCLUSIONES

Actualmente, sí existen módulos amplificadores de características similares, pero lo que hace atractivo el diseño propuesto es el bajo coste que éste tiene. Sin ir más lejos, el kit de evaluación del amplificador ADL5536 de Analog Devices tiene un coste total de 100.19 \$, o el mismo kit d evaluación para el amplificador que se proponía como alternativa al empleado, el ADL5611, tiene un coste de 100 \$. Por lo tanto, a pesar de no obtener un cálculo del todo preciso en precio por módulo, puesto que no se ha considerado el precio del sustrato, así como el precio del grabado de las pistas. Dista mucho de los precios de los anteriormente mencionados.

En cuanto a posibles mejoras a realizar en el diseño, se considera como la más inmediata la readaptación del circuito adaptador de impedancias para lograr una mejor adaptación de la impedancia de entrada, ya que la actual, como puede verse en la Figura 8, presenta una forma senoidal centrada en 50 $\Omega$ . La mejora de este factor permitiría explotar aún más los márgenes superiores de ganancia.

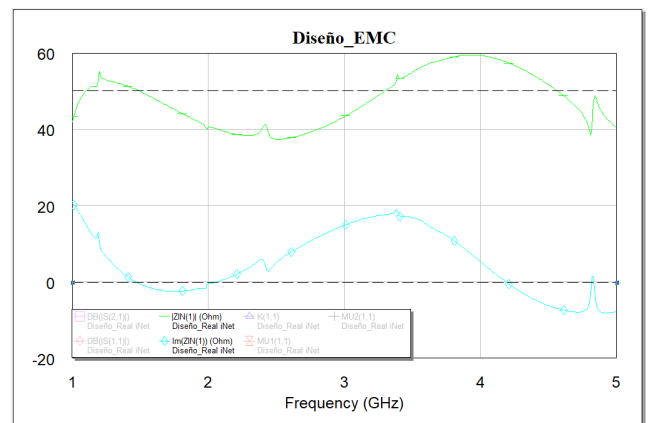


Fig. 8. Representación gráfica de la impedancia de entrada y su fase.

## AGRADECIMIENTOS

Agradezco al profesor Jorge Daniel Martínez Pérez la atención en los momentos de duda, así como en las tutorías prestadas.

## REFERENCIAS

- [1] [https://www.infineon.com/dgdl/Infineon-BGB741L7ESD-DS-v03\\_00-EN.pdf?fileId=5546d46265f064ff016638972c994ed7](https://www.infineon.com/dgdl/Infineon-BGB741L7ESD-DS-v03_00-EN.pdf?fileId=5546d46265f064ff016638972c994ed7) Visitado 30-4-2020.
- [2] <https://www.digikey.es/product-detail/es/infineon-technologies/BGB741L7ESDE6327XTSA1/BGB741L7ESDE6327XTSA1CT-ND/2410163> Visitado 30-4-2020.
- [3] <https://www.analog.com/en/products/adl5611.html#product-overview> Visitado 30-4-2020.
- [4] <https://www.mouser.es/ProductDetail/Taiyo-Yuden/AMK042BJ104MC-W?qs=sGAEpiMZZMs0AnBnWHyRQPHsf5klL7FPlE05nEpAsoVxC8HNGwN9w%3D%3D> Visitado 30-4-2020.
- [5] <https://www.mouser.es/ProductDetail/Vishay-Vitramon/VJ0402A3R3CXACW1BC?qs=sGAEpiMZZMs0AnBnWHyRQCv4vfTUG%2FvHChE2Wlqfv1Q%3D> Visitado 30-4-2020.
- [6] <https://www.mouser.es/ProductDetail/Vishay-Vitramon/VJ0402A3R3CXACW1BC?qs=sGAEpiMZZMs0AnBnWHyRQCv4vfTUG%2FvHChE2Wlqfv1Q%3D>
- [7] <https://www.mouser.es/ProductDetail/Taiyo-Yuden/HK0603R10J-T?qs=%2Fha2pyFadugUq%2FtiEmZhY0BXWauvjSFwmsF8VaNbXm%2Fhlcu%252BOGPqpQ%3D%3D> Visitado 30-4-2020.
- [8] <https://www.mouser.es/ProductDetail/Taiyo-Yuden/HK060322NJ-T?qs=%2Fha2pyFadugUq%2FtiEmZhYzC9Egh3YXEPvPtNpn0%252Bw0sE0LQMpzfkDQ%3D%3D> Visitado 30-4-2020.
- [9] <https://www.digikey.es/product-detail/es/panasonic-electronic-components/ERJ-1GEJ120C/P12AGCT-ND/285171> Visitado 30-4-2020.
- [10] <https://www.digikey.es/product-detail/es/panasonic-electronic-components/ERJ-1GNJ121C/P123233CT-ND/8343405> Visitado 30-4-2020.
- [11] <https://www.digikey.es/product-detail/es/molex/0733910060/WM5543-ND/1465165> Visitado 30-4-2020.
- [12] <https://www.digikey.es/product-detail/es/te-connectivity-amp-connectors/4-103328-1/A121364-ND/2275604> Visitado 30-4-2020.