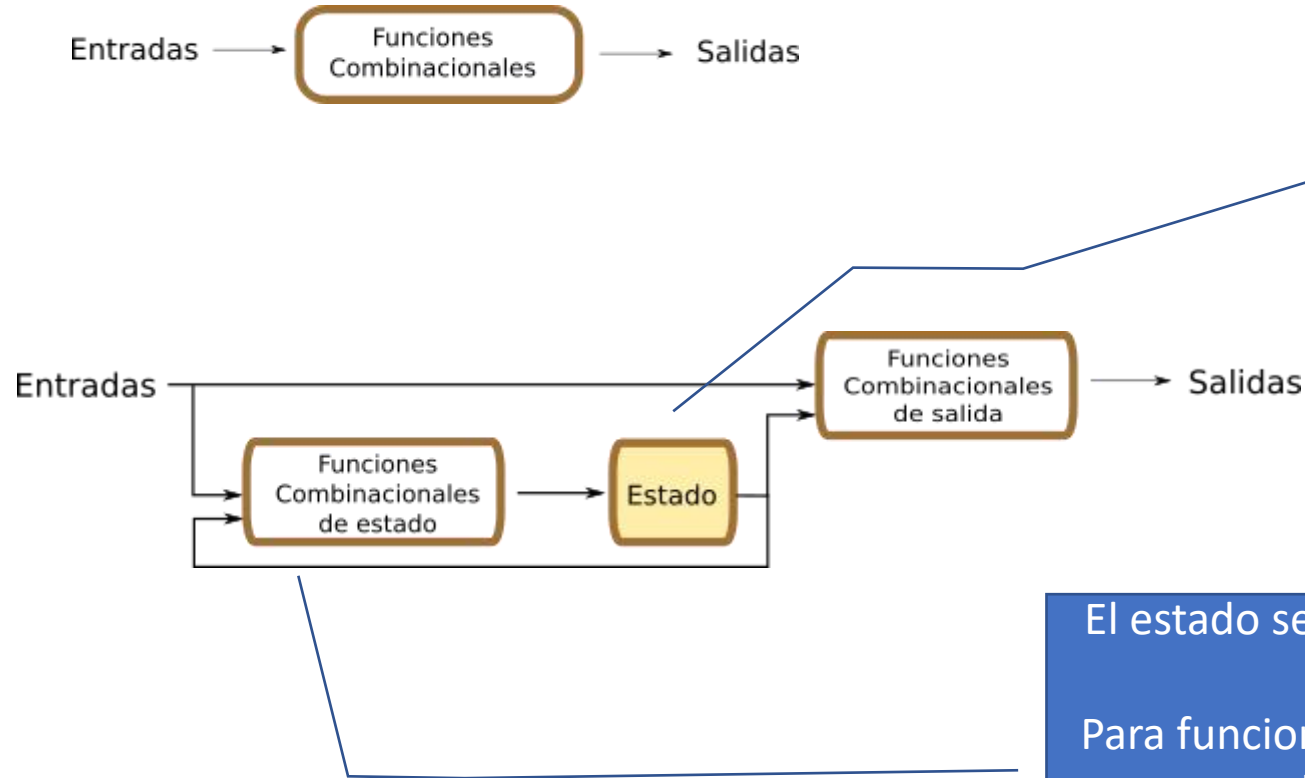


# **Tema 6: Lógica Secuencial**

**Prof: Juan J. Pombo**

# Circuito secuencial frente a combinacional



Con cada combinación de entradas puede generarse un nuevo estado, y la función final será siempre dependiente de los valores de las entradas y el estado en que se encuentren el circuito

El estado se “realimenta” a la entrada para su utilización posterior.  
Para funcionar correctamente se va a requerir retener los valores de estado de alguna manera: una memoria

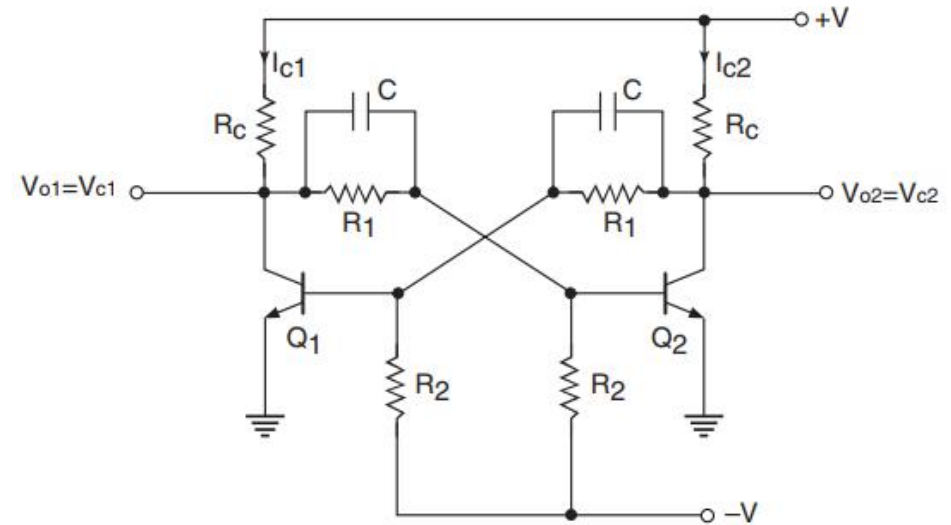
# Circuito secuencial frente a combinacional

A nivel de circuito es clave el concepto de **circuito multivibrador**.

Se trata de un circuito con realimentación positiva, que utiliza ideas de los osciladores sinusoidales de la electrónica analógica, pero llevado al terreno digital. Son por tanto circuitos que generan salidas de pulsos (escalones).

3 tipos básicos:

- biestables: 2 estados son estables
- monoestables: 1 estado estable, otro *quasi-stable*  
(estable un tiempo  $T$ )
  - Subtipo: *retriggerable* monoestable
- astables: ningún estado es estable



*Ejemplo de multivibrador  
biestable*

# Estados = memorias

- Se introduce el **biestable**: elemento básico de memoria. Básicamente almacena 1 bit de información.
- Otros nombres: básculas, *Flip-flops*.
- Mantiene su estado hasta que sus señales de control tomen los valores estipulados para producir el cambio
- Clasificación biestables. Varios criterios:
  - Atendiendo a la lógica de control. Forma de especificar mediante las señales de entrada que queremos realizar una actualización del valor de salida del biestable:
    - D
    - J
    - SR
    - JK
  - Atendiendo al sincronismo. Momento en el que se producirá el cambio en el valor de salida:
    - Asíncronos: cualquier momento, dependiendo de las señales de entrada.
    - Síncronos: una señal de control específica indica cuando permitimos el cambio de estado para acomodarse a las nueva configuración de las señales de control. Hablaremos de la señal de “reloj” (normalmente una señal periódica para sincronizar)
  - Atendiendo al modo de activación (en biestables síncronos):
    - Por nivel de señal
    - Por flanco: Sólo cambian en el momento de cambio de la señal de control.

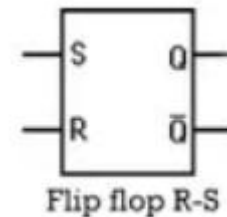
# Biestable asíncrono RS. Operación de SET

S=HIGH => SET

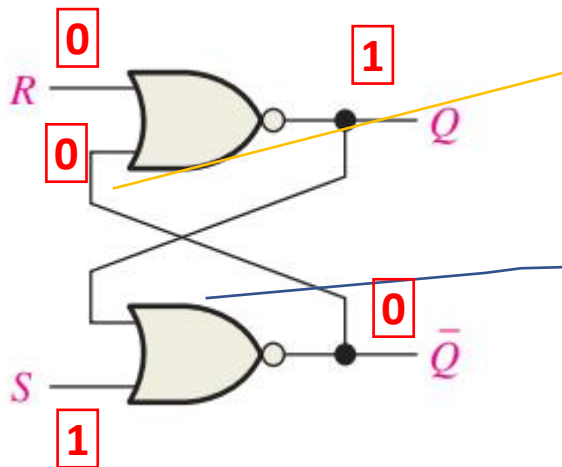
S=LOW => RESET

S=R = LOW => mantener estado

R	S	$Q_t$	$\overline{Q}_t$
0	0	$Q_{t-1}$	$\overline{Q_{t-1}}$
0	1	1	0
1	0	0	1
1	1	$X_0$	$X_0$



A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0



Con poner un 1, ya tiene que salir un 0 en la salida del NOR

El 0 se realimenta a la entrada de la puerta de arriba y el NOR de 0 con 0 da 1

# Biestable asíncrono RS. Operación del RESET

S=HIGH => SET

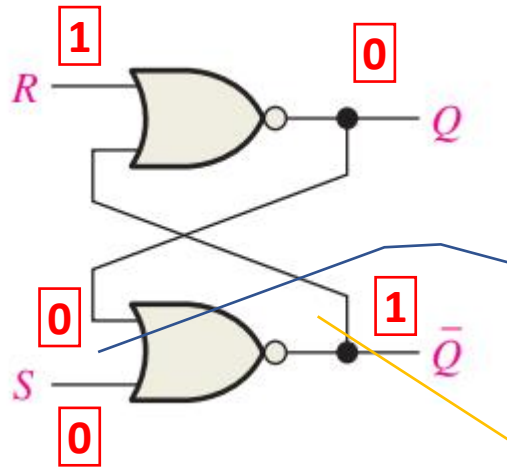
S=LOW => RESET

S=R = LOW => mantener estado

R	S	$Q_t$	$\overline{Q}_t$
0	0	$Q_{t-1}$	$\overline{Q_{t-1}}$
0	1	1	0
1	0	0	1
1	1	$X_0$	$X_0$

No deseable

A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0



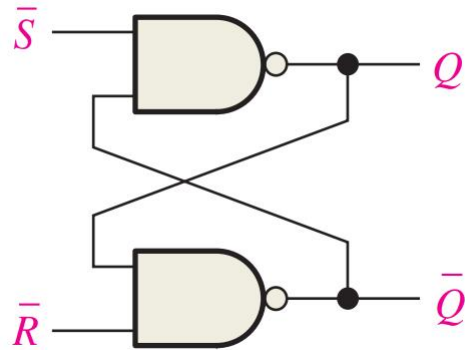
Ahora activo la salida de RESET: pongo un 1  
Esto causa que la primera NOR ponga un 0 en la salida

El 0 se realimenta a la entrada de la segunda puerta abajo y el NOR de 0 con 0 da 1. Con lo que se estabiliza Q negado a 1, y se produce el RESET como esperábamos

# Biestable asíncrono RS. Entradas indeterminadas.

El biestable S-R así definido presenta incertidumbre ante la posibilidad de que tanto SET como RESET estén en alta a la vez.

- Esto no quiere decir que no pueda darse esta situación pero debe conocerse en etapa de diseño las implicaciones que pueda tener y podrían no tener un comportamiento igual los dispositivos de distintos fabricantes.
- El biestable R-S no es una solución comercial habitual. Los que veremos en las siguientes páginas son los usuales.



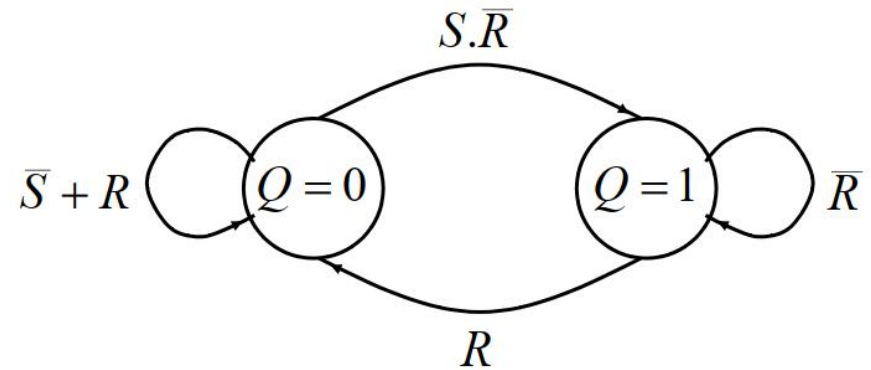
El biestable S-R puede expresarse también mediante puertas NAND.

Normalmente se representará en estos casos con entradas S y R negadas, esto indica que las operaciones de SET y RESET se activan con el valor LOW de la señal.

# Tablas de transiciones

Una forma de ver/representar la operación de estos circuitos son las tablas de transición:

Q	S	R	Q <sub>t+1</sub>
0	0	0	Conserva( <i>hold</i> )
0	0	1	Reset
0	1	0	Set
0	1	1	n.u.
1	0	0	Conserva
1	0	1	Reset
1	1	0	Set
1	1	1	n.u.





# Transiciones

En el tipo de circuito mostrado los cambios de etapa ocurren directamente asociados a las entradas. Este modo de operar se denomina “**asíncrono**”.

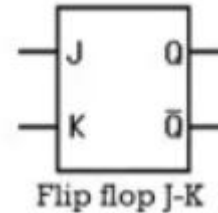
Por el contrario, en otros circuitos que veremos más adelante los cambios se producen en ciertos momentos marcados por una señal que controla los cambios: el reloj de sistema. En ese caso hablaremos de sistemas “**síncronos**”.

El reloj actuará como una señal de **habilitación global**.

# Otros tipos de biestables: Biestable asíncrono JK

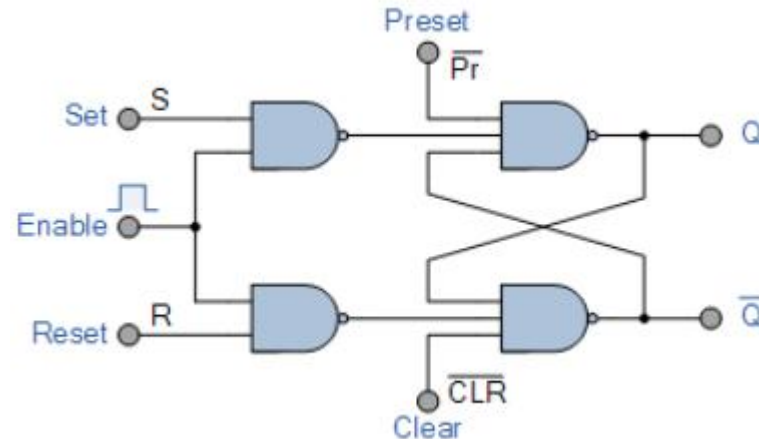
- Se habla a veces de *Jump-Keep* pero en realidad se bautizó así en honor a Jack Kilby (Nobel Física 2000)
- Básicamente lo mismo que el RS pero sin la indeterminación del caso de poner R y S a valor activo a la vez
  - J equivale a SET
  - R equivale a RESET
- Cuando tanto J como K están a nivel H, el biestable invierte el estado que tenía anteriormente: se verán más adelante aplicaciones de este comportamiento.
- Normalmente lo veremos en uso síncrono (pensar que justamente  $J=1$ ,  $K=1$ , en un uso asíncrono es “problemático”)

J	K	$Q_t$	$\overline{Q}_t$
0	0	$Q_{t-1}$	$\overline{Q}_{t-1}$
0	1	0	1
1	0	1	0
1	1	$\overline{Q}_{t-1}$	$Q_{t-1}$



# Biestables síncronos

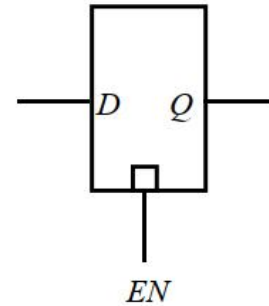
- Se añade al circuito una entrada, el CLK (clock) que marca los puntos en los que cambia el estado.
- El evento puede ser de varios tipos: **nivel o flanco** (*level triggered / Edge triggered*)
- El dispositivo puede tener entradas síncronas y asíncronas.
- Entradas asíncronas típicas:
  - PRESET : poner a 1 en cualquier caso independientemente del reloj u otras entradas
  - CLEAR: pone a 0 en cualquier caso independientemente del reloj u otras entradas



# Biestable síncrono tipo D

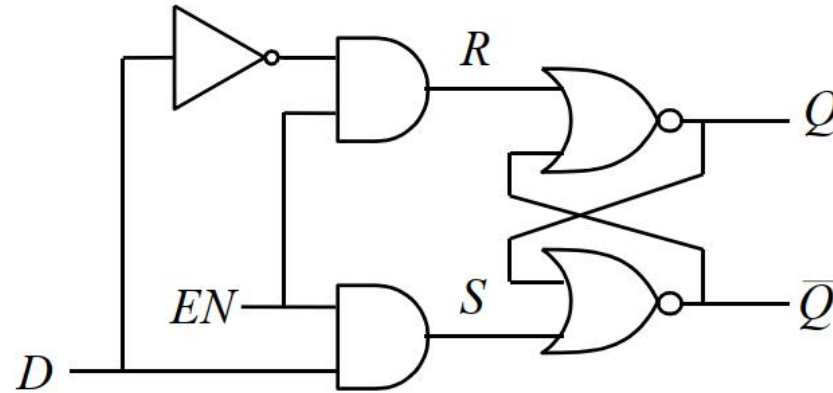
- Tiene una entrada de habilitación *Enable*. Consideraremos el caso en que se activa por nivel.
- La “D” viene de “data” o “delay”
- Con  $E=1$ , pasan a la salida el valor que esté en D
- Con  $E=0$ , conservan el estado.
- Típicamente en E se usará un CLK de sincronismo.

E	D	$Q_t$	$\overline{Q_t}$
0	x	$Q_{t-1}$	$\overline{Q_{t-1}}$
1	0	0	1
1	1	1	0



# Biestables síncronos

- ¿Cómo se consigue la operación síncrona?



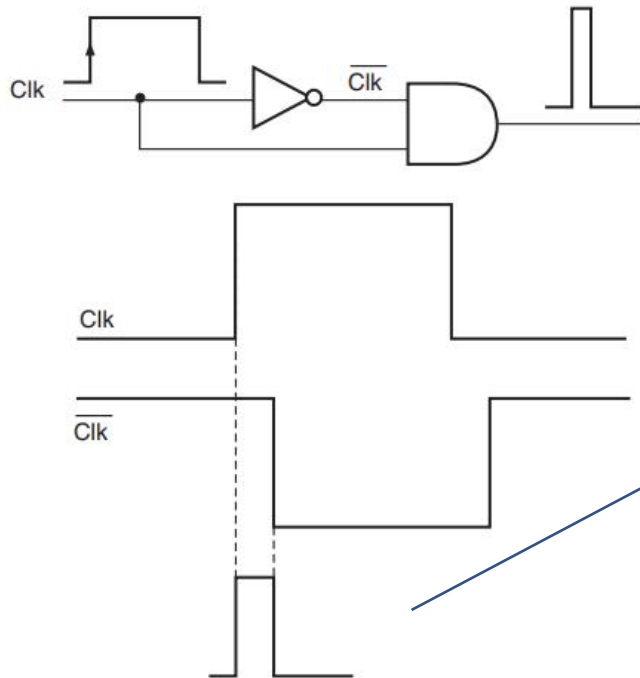
Características:

- Si  $EN=LOW$  se deshabilita la transición de estado.
- El inversor garantiza que nunca  $R$  y  $S$  están al mismo valor lógico.

(Este ejemplo es un D-latch transparente / tb. "gated latch")

# Biestable síncrono

- El circuito mostrado anteriormente todavía tiene algunos aspectos de diseño mejorables:
  - Se activa por nivel. Es más fácil diseñar si los circuitos se activan solo por flanco.
  - Una disposición que nos permite generar un pulso de activación (“flanco”) se muestra a continuación:

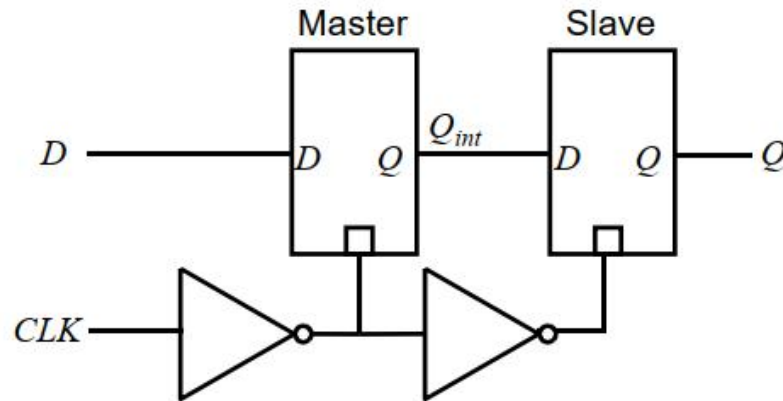


Siempre que el pulso de activación sea lo suficientemente estrecho podemos entender que se activa en el flanco

- Podríamos pensar este circuito como una etapa de entrada del flip-flop generadora de flanco. Tras ella vendría la lógica de *enable*.

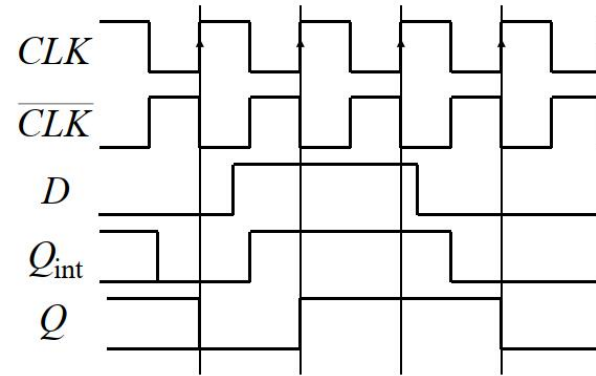
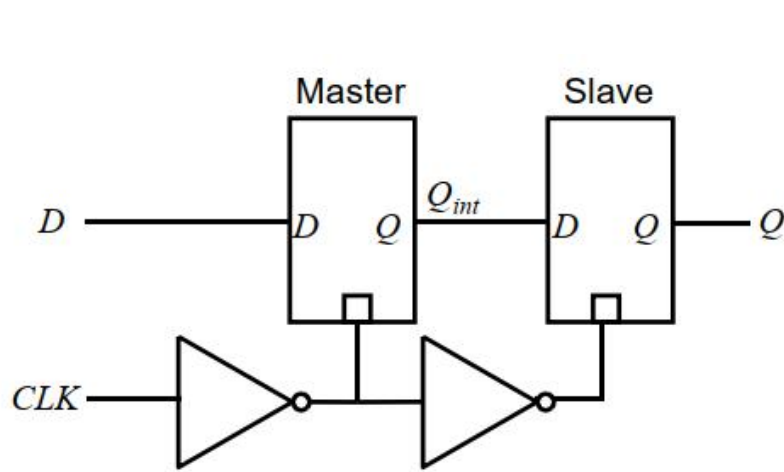
# Biastable síncrono tipo D master-slave

Un resultado parecido se puede conseguir con la siguiente configuración que usa dos de los circuitos anteriores:



# Biestable síncrono tipo D

Funcionamiento de la configuración master-slave:

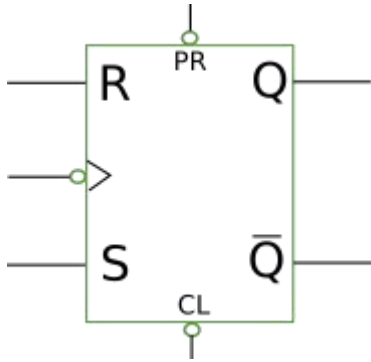


En la medida en que el “slave” está habilitado solamente cuando el “master” está deshabilitado garantizamos que el estado a la entrada del segundo flip-flop no cambia durante su estado activo: es por eso que funciona en el flanco positivo de  $CLK$  exclusivamente.

En un master-slave no tengo en la salida en valor capturado hasta pasar un ciclo de  $CLK$  0-1-0 ó 1-0-1



# Bistable *Master-Slave* avanzado

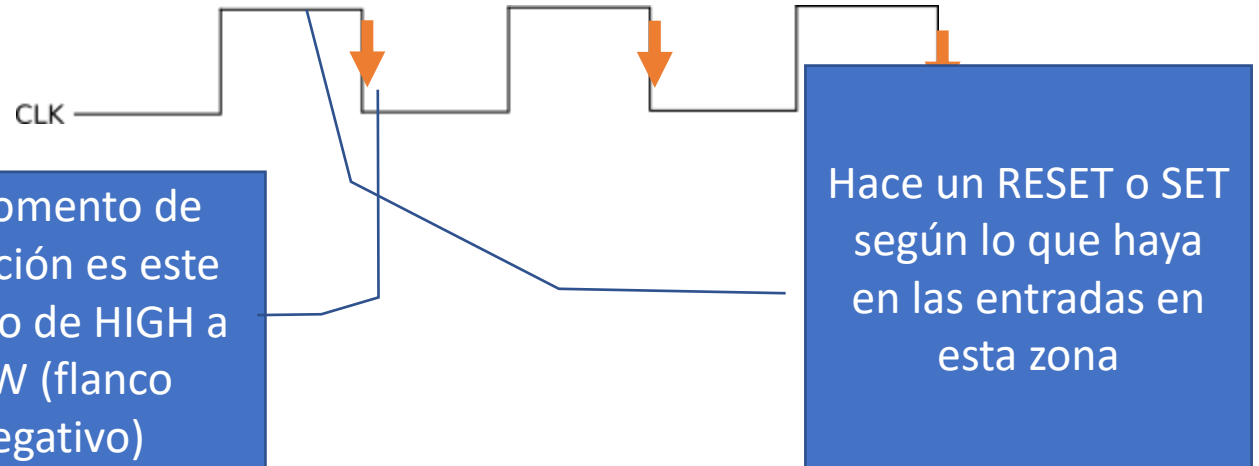


Más sofisticado. Combinamos los visto anteriormente:

Tiene entradas PRESET y CLEAR asíncronas (útiles, p.ej. para establecer condiciones iniciales de *power-up*)

Tiene entrada de reloj (el circulito con la flecha)

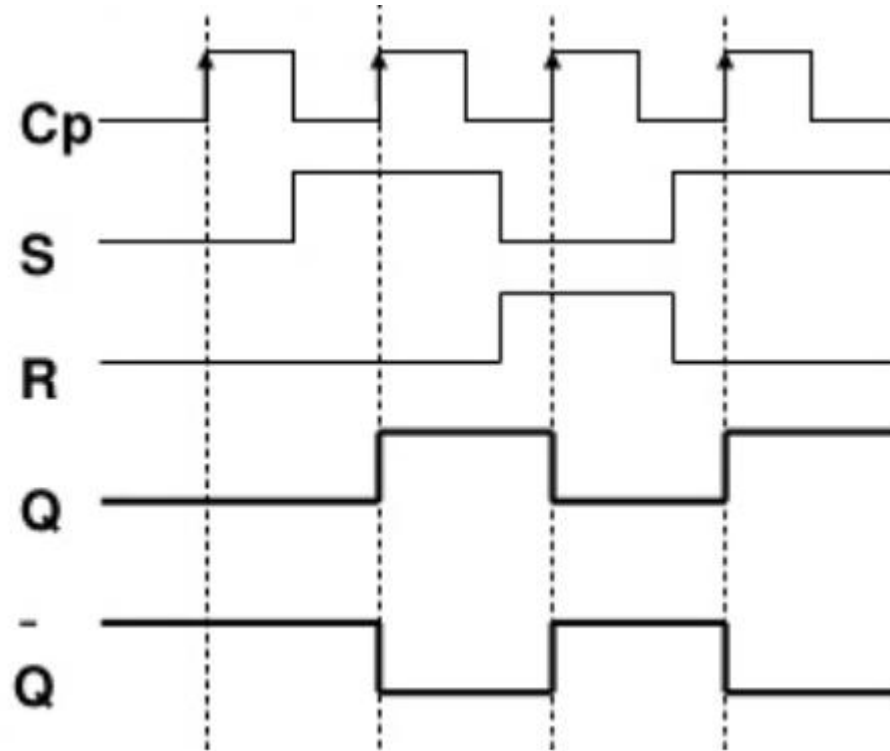
- La flecha indica que se activa por flanco (no por nivel)
- El circulito (negación) indica que es por flanco “descendente”



# Ejemplo de funcionamiento (FF síncrono-flaco positivo)

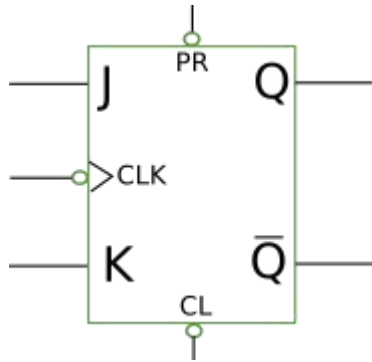
Dado este reloj y  
secuencia de señales  
determinar las salidas  
del biestable SR

Solución:

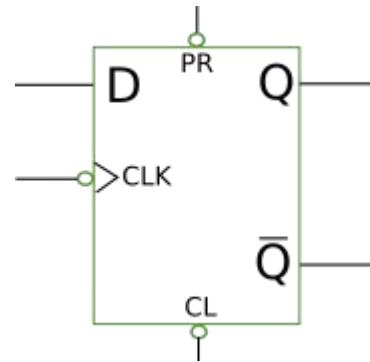


## Otros *Master-Slave*

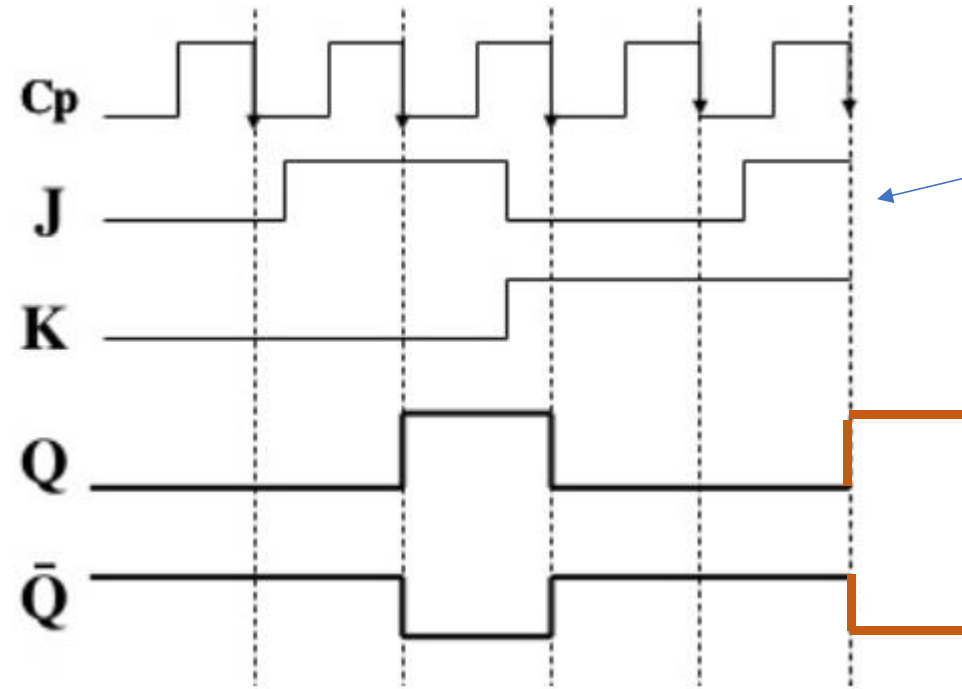
De la misma manera tendremos  
biestable master-slave JK



Master-Slave tipo D:



# Ejemplo de análisis del funcionamiento de un J-K síncrono

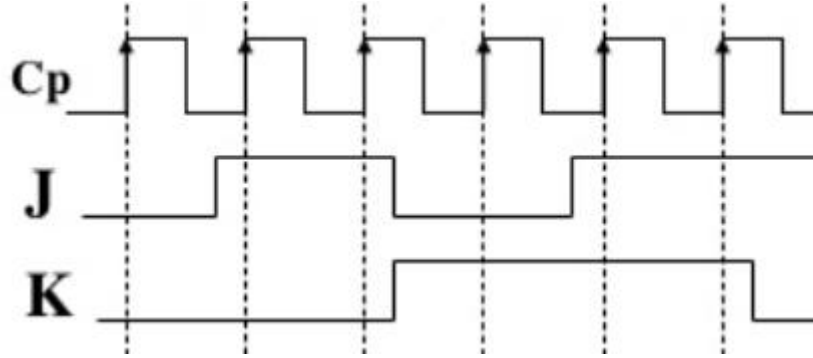


El caso  $J=1, k=1$   
implicará una inversión  
del estado

No se está considerando  
que sea necesariamente  
una configuración  
*master-slave*

## Ejercicio propuesto:

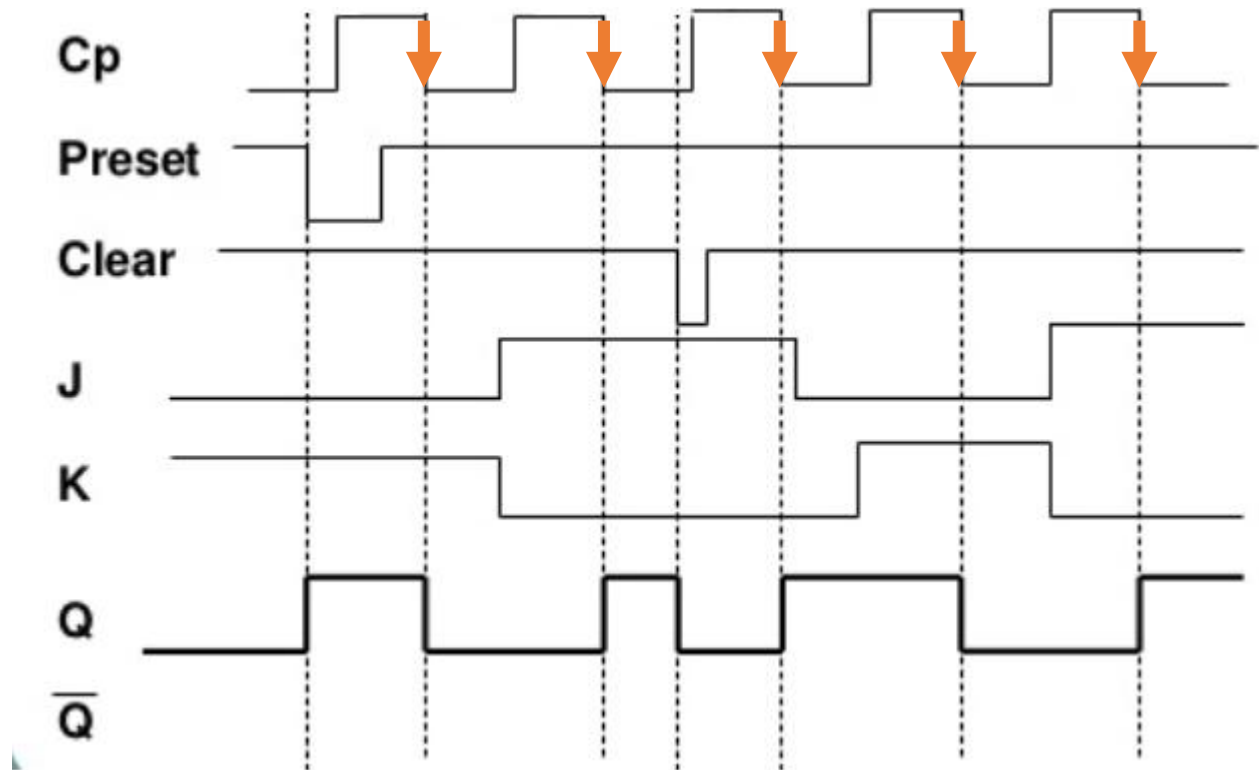
Calcula las salidas para un biestable J-K síncrono por flanco positivo con un cronograma como el que se muestra a la izquierda partiendo de un estado inicial para  $Q = \text{LOW}$ ,



# Ejemplo de J-K con entradas asíncronas SET-RESET

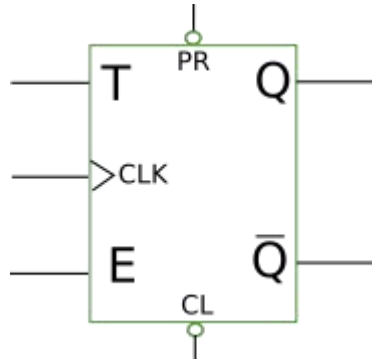
En este cronograma de ejemplo se muestra como al activar la entrada de PRESET o CLEAR, las cuales son asíncronas y con su uso se establece un cierto estado del circuito INDEPENDIENTEMENTE del CLOCK

El circuito tiene activación por flanco descendente.



J	K	$Q_t$	$\overline{Q}_t$
0	0	$Q_{t-1}$	$\overline{Q_{t-1}}$
0	1	0	1
1	0	1	0
1	1	$\overline{Q_{t-1}}$	$Q_{t-1}$

# T flip flop



$T = \text{Toggle}$

Es un biestable que con la señal “T” simplemente conmuta el estado actual

El ejemplo a la izquierda es por flanco POSITIVO (no tiene el circulito a la entrada CLK, sólo el triángulo)

E	T	$Q_t$
0	x	$Q_{t-1}$
1	0	$Q_{t-1}$
1	1	$\overline{Q_{t-1}}$

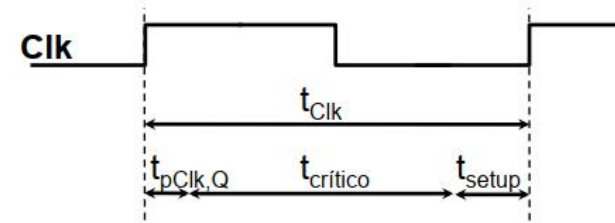
# Aspectos de reloj en los circuitos síncronos

$T_{pClk,Q}$  = tiempo de propagación de la salida

La salida, en la realidad, tiene un retardo respecto al punto de activación (a la derecha de un flanco positivo en el cronograma)

$T_{setup}$

El dato para SET, RESET, TOGGLE tiene que estar al valor adecuado un tiempo antes del punto de activación



## Camino crítico de un circuito:

Aquel camino entre 2 biestables cuyo retraso es el más lento del circuito

NUNCA podremos usar un reloj para el circuito con una frecuencia tal que la diferencia de tiempo entre 2 señales de activación sea menor que el camino más lento entre 2 biestables.