

Tema 2. Puertas lógicas y su implementación física

Grado de robótica - USC

Prof. Juan J. Pombo García

Introducción

En este tema abordaremos trataremos los siguientes temas:

- Aspectos de implementación física de las puertas lógicas,
- Aspectos tecnológicos que determinan el rendimiento de los circuitos
- Consideraciones a tener en cuenta para la integración de elementos en la práctica

Introducción

Como habíamos comentado en la introducción:

- Las puertas están construidas a partir de transistores.
- El transistor es el elemento básico a nivel de circuito
- La función de la puerta lógica no variará dependiendo de circuito subyacente
- Los que sí se verán aceptados son aspectos como:
 - Disipación de potencia
 - Velocidad de conmutación
 - Inmunidad al ruido
 - Etc..
- Vamos a estudiar conceptos como: niveles de voltaje de trabajo, *fan-out*, retardos de propagación, etc..

- Los transistores son fabricados a partir de materiales semiconductores organizados de determinadas maneras
- Las puertas lógicas se construyen a partir de transistores
- Las funciones lógicas se construyen a partir de puertas lógicas
- Los Flip-flops se construyen a partir de lógica
- Los circuitos secuenciales y los contadores se desarrollan basándose en los flip-flops
- Los microprocesadores se diseñan a partir de aglutinar circuitos secuenciales
- Los computadores y controles se basan en los microprocesadores

Familias Lógicas (según distintas tecnologías)

Circuit Type	Description	Circuit Technology
ABT	Advanced BiCMOS	BiCMOS
AC	Advanced CMOS	CMOS
ACT	Bipolar compatible AC	CMOS
AHC	Advanced high-speed CMOS	CMOS
AHCT	Bipolar compatible AHC	CMOS
ALB	Advanced low-voltage BiCMOS	BiCMOS
ALS	Advanced low-power Schottky	Bipolar
ALVC	Advanced low-voltage CMOS	CMOS
AUC	Advanced ultra-low-voltage CMOS	CMOS
AUP	Advanced ultra-low-power CMOS	CMOS
AS	Advanced Schottky	Bipolar
AVC	Advanced very-low-power CMOS	CMOS
BCT	Standard BiCMOS	BiCMOS
F	Fast	Bipolar
FCT	Fast CMOS technology	CMOS
HC	High-speed CMOS	CMOS
HCT	Bipolar compatible HC	CMOS
LS	Low-power Schottky	Bipolar
LV-A	Low-voltage CMOS	CMOS
LV-AT	Bipolar compatible LV-A	CMOS
LVC	Low-voltage CMOS	CMOS
LVT	Low-voltage biCMOS	BiCMOS
S	Schottky	Bipolar

Por ejemplo:

4 puertas NAND de 2 entradas
pueden encontrarse con los
siguientes integrados:

74HC00

74HCT00

74LS00

Pero las características eléctricas,
rendimiento y demás, no serán las
mismas (ver “*Datasheet*”)

Familias Lógicas (según distintas tecnologías)

Algunos parámetros que nos va a definir la tecnología utilizada serán los siguientes:

- Retardo de propagación de la señal
- Disipación de potencia
- Fan-out (*drive capability*)
- Ratio velocidad/potencia
- Tensión de alimentación
- Niveles lógicos,
- ...

Familias Lógicas. Tensión de alimentación CC (DC)

Son 2 las familias lógicas más comunes:

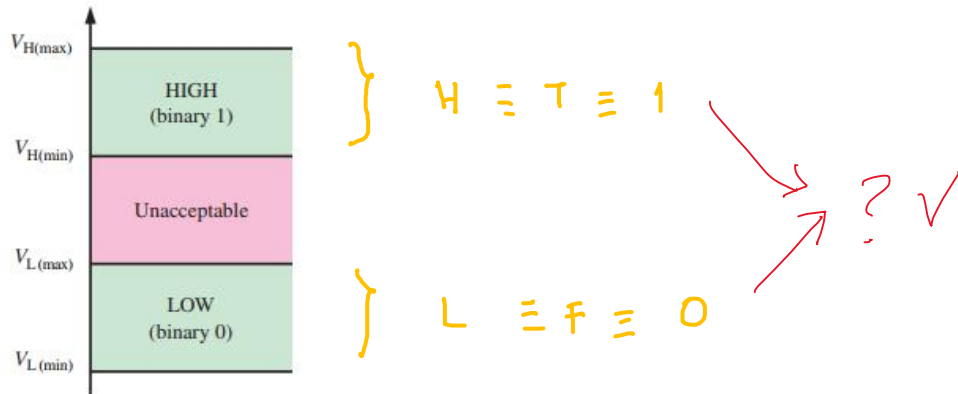
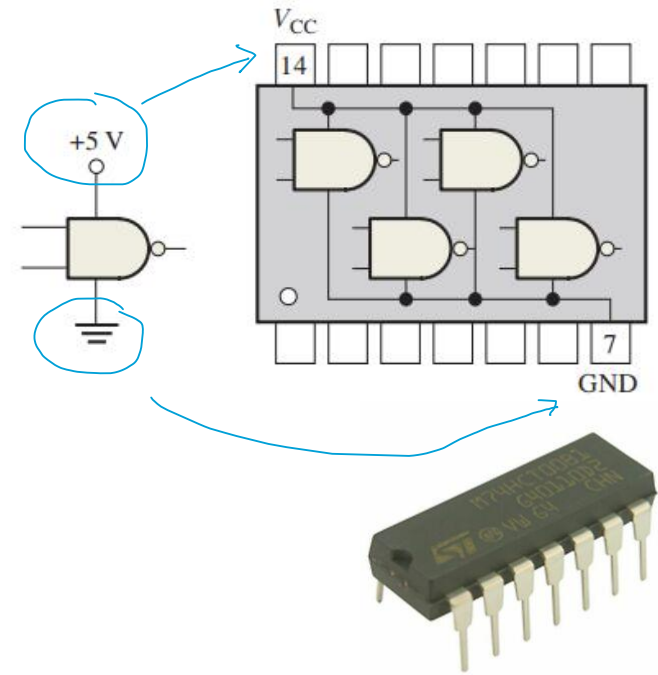
TTL y CMOS.

TTL (*transistor-transistor logic*) : **+5V**

CMOS (*complementary metal-oxide semiconductor*) :

+5.5v, +3.3v, 2.5v, 1.8v

Tb. ECL, MOS ..



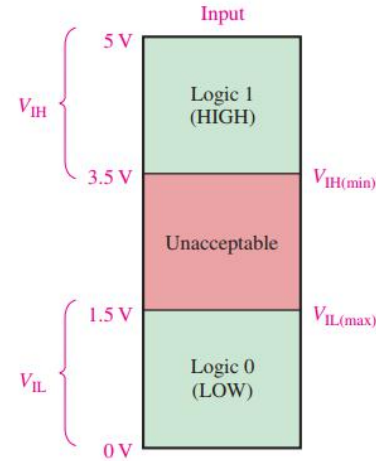
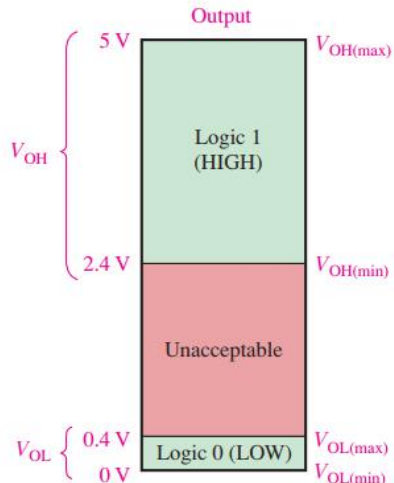
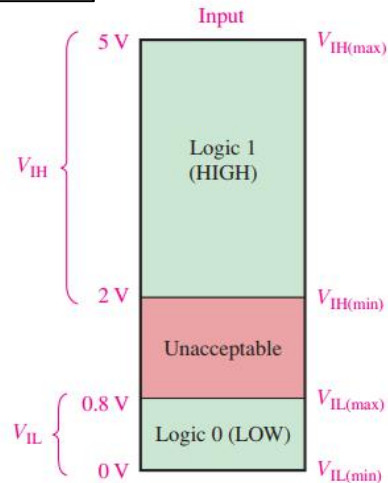
Familias Lógicas. Niveles lógicos.

Niveles lógicos “**aceptables**” según tecnología y características particulares de la familia:

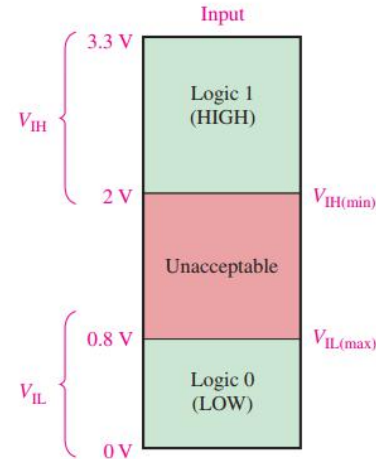
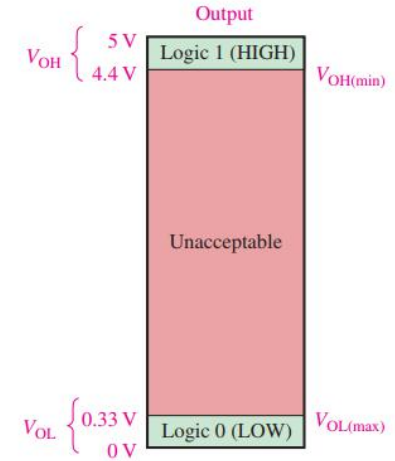
Diferenciamos características para la entrada y la salida:

V_{IL} , V_{IH} , V_{OL} , V_{OH}

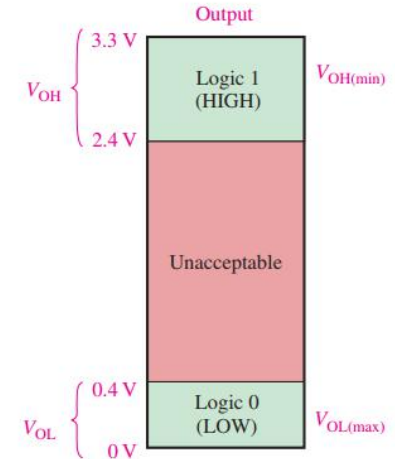
TTL



(a) +5 V CMOS



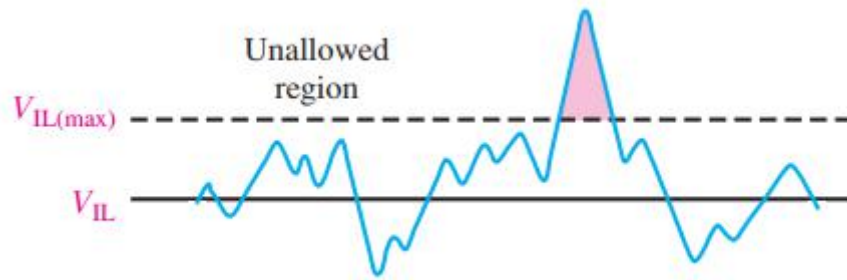
(b) +3.3 V CMOS



Familias Lógicas. Inmunidad al ruido

Origen del ruido eléctrico típico: radiación electromagnética por la conmutación de alta velocidad en circuitos adyacentes, fluctuaciones en la alimentación, ...

En el ambiente industrial que será nuestro campo de trabajo esto hay que tenerlo especialmente presente: el laboratorio y la fábrica no son el mismo entorno (componentes de “grado industrial”)

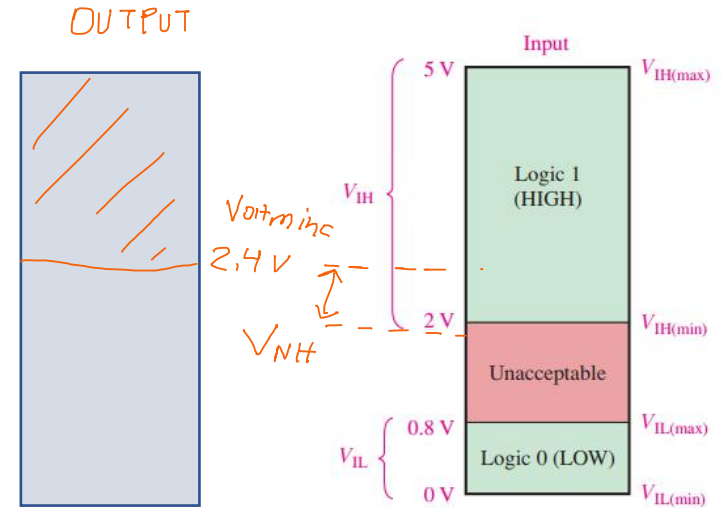


Conceptos: Margen de ruido de nivel alto y bajo.

$$V_{NH} = V_{OH(min)} - V_{IH(min)}$$

$$V_{NL} = V_{IL(max)} - V_{OL(max)}$$

A veces se da como un valor porcentual respecto a V_{CC}

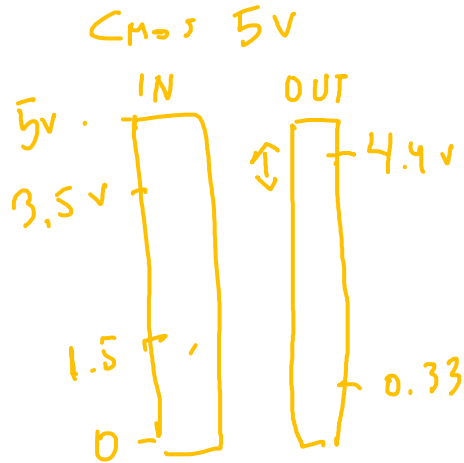


Familias Lógicas. Inmunidad al ruido

Según los diagramas anteriores, ¿qué tecnología presenta mejor inmunidad al ruido?

$$V_{NH} = V_{OH(min)} - V_{IH(min)}$$

$$V_{NL} = V_{IL(max)} - V_{OL(max)}$$



$$V_{NH} = 4.4 - 3.5 = 0.9V$$

$$V_{NL} = 1.5V - 0.33 = 1.17V$$



TTL 5V

$$V_{NH} = 2.4 - 2 = 0.4V$$

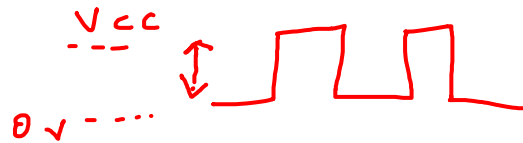
$$V_{NL} = 0.8 - 0.4 = 0.4V$$

Familias Lógicas. Disipación de potencia

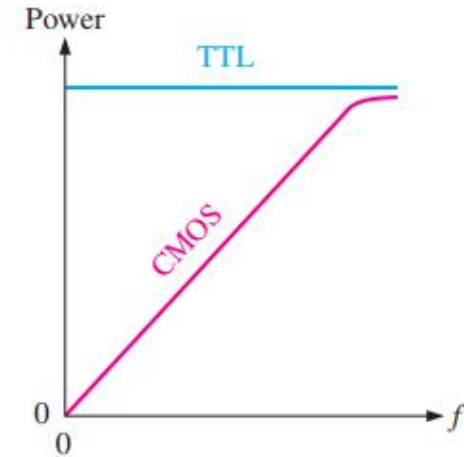
La principal característica que diferencia a las familias TTL y CMOS es la diferente dependencia de la disipación de potencia con la frecuencia.

$$P_D = I_{CC} \cdot V_{CC} = \frac{I_{CCH} + I_{CCL}}{2} \cdot V_{CC}$$

Para un ciclo de trabajo de 50% (alta/baja)



Dependencia con la frecuencia según tecnología



Familias Lógicas. Tiempos de propagación

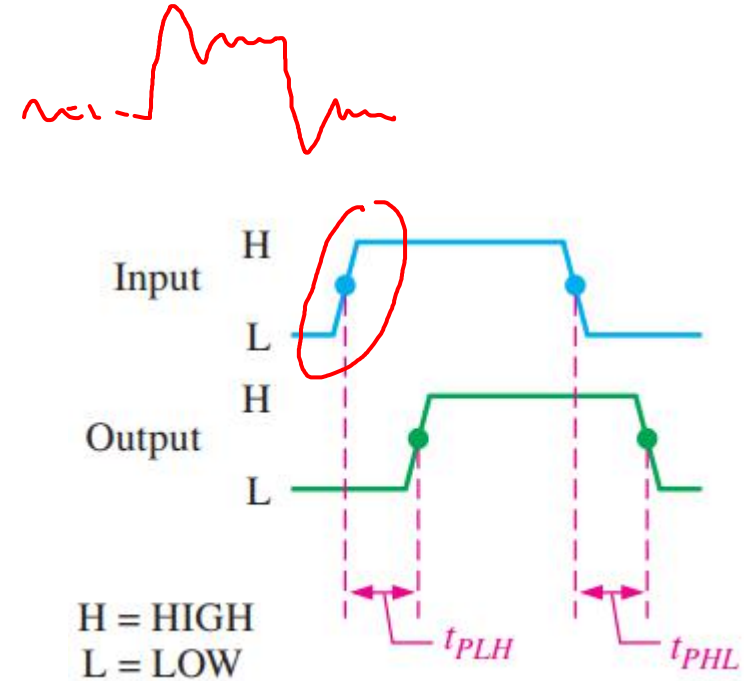
Es otra característica que definirá a una familia lógica.

Hablaremos de t_{pHL} y de t_{pLH} .

Normalmente se toma como punto de referencia el valor de tensión en la mitad del pulso.

Fundamentalmente, nos limitará en la **frecuencia máxima** a la que podemos operar un circuito.

A raíz de esta magnitud surge también el producto velocidad-potencia (medido en Joules)



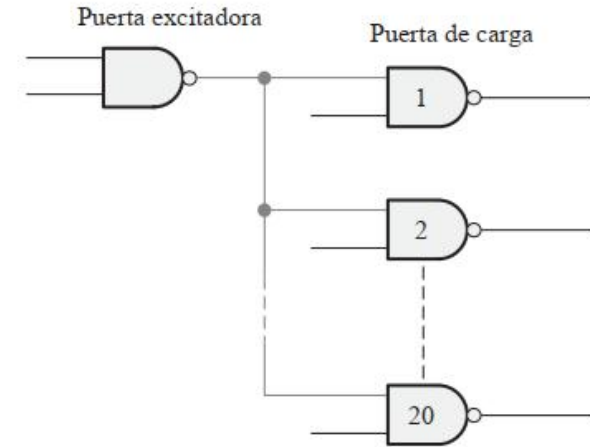
Familias Lógicas. *Fan-out*

El *Fan-Out* mide el límite de puertas que pueden conectarse aguas-abajo de una puerta dada. La cantidad de circuitos lógicos que puede excitar una puerta es la carga soportada (también denominada “carga” que soporta).

Cada tecnología presenta características específicas en este sentido, derivadas de las características propias de cada circuito.

Se suele medir en unidades de carga, que representan el número de puertas lógicas de la misma tecnología que soporta la salida de una puerta dada.

Respecto a este parámetro las diferencias son notables entre TTL y CMOS.



Familias Lógicas. *Fan-out en TTL*

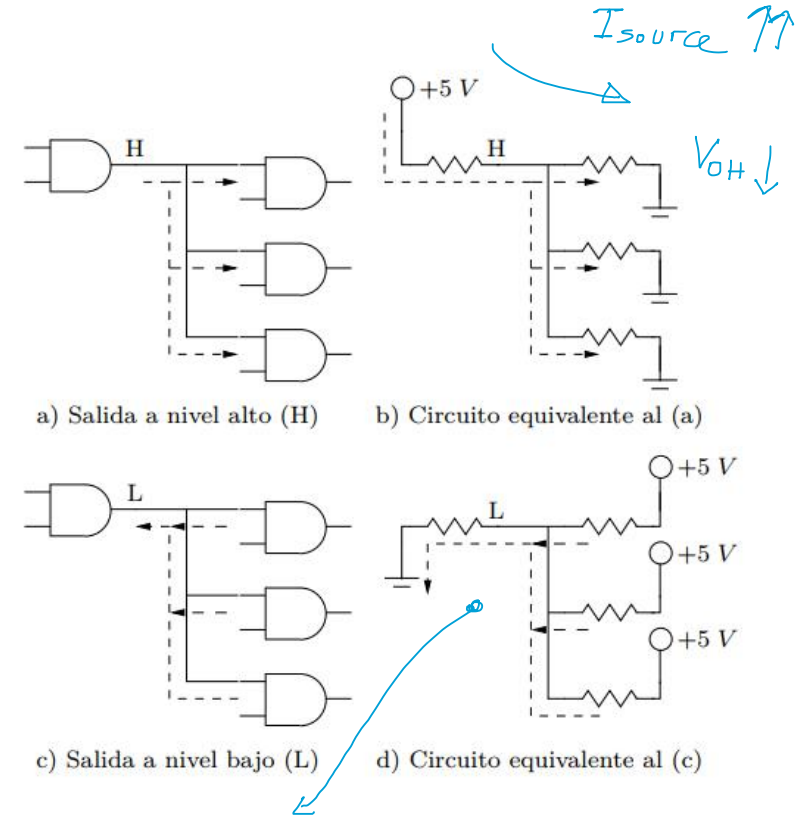
A nivel de circuito el componente principal que manifiestan las puertas es el resistivo.

Los problemas que pueden aparecer al conectar muchas puertas a la salida de una dada son los siguientes:

- Para el caso de nivel alto, V_{OH} puede bajar y comprometer el margen de ruido para nivel alto

$$V_x = \frac{R_2}{R_1 + R_2} \cdot V$$

- Para el caso de nivel bajo, V_{OL} puede aumentar y el nivel “bajo” es el que puede quedar comprometido



Aquí $I_{sink} \uparrow \Rightarrow V_{OL} \downarrow \Rightarrow V_{NH} \downarrow$

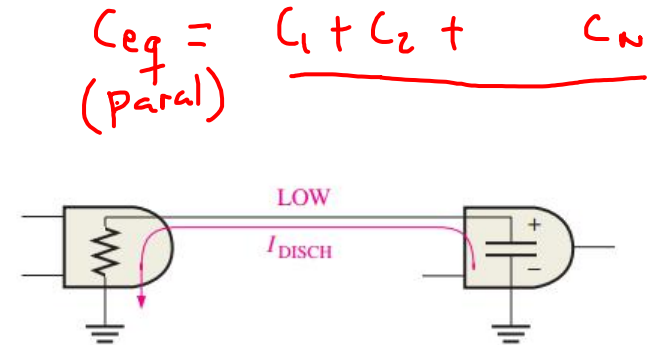
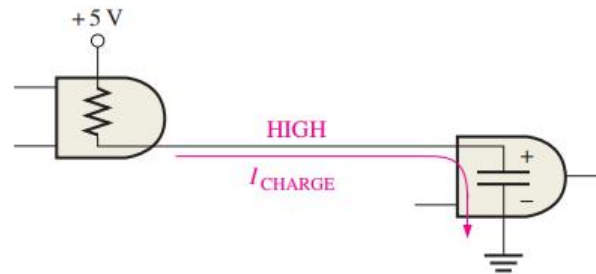
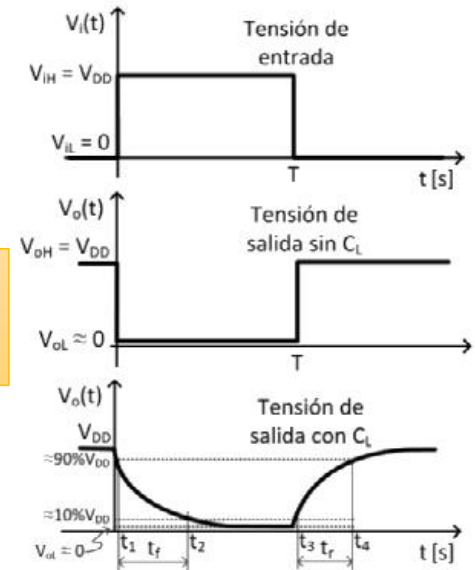
Familias Lógicas. *Fan-out* en CMOS

A nivel de circuito el componente principal que manifiestan las puertas es el capacitivo.

Por tanto, el *fan-out* dependerá de la frecuencia, ya que más puertas conectadas son más condensadores en paralelo.

Para solucionar problemas de *fan-out* derivados de este efecto se pueden recurrir a circuitos específicos como los “bus driver” o “line driver”, sacrificando un poco la velocidad.

$$V(t) = V_0 e^{-t/RC}$$



$$C_{eq} = C_1 + C_2 + C_w$$

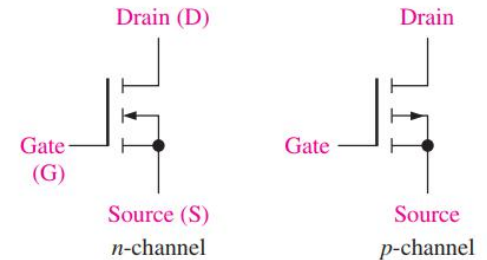
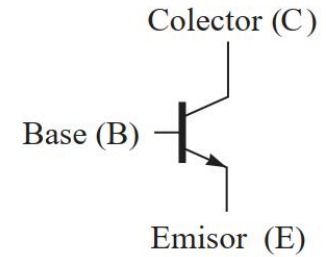
(paral)

Familias Lógicas. Tipos de transistores

TTL : transistores bipolares

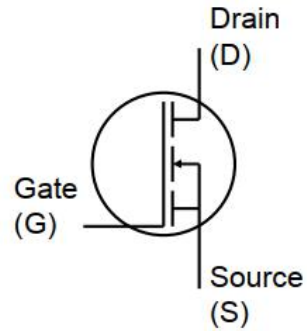
CMOS: transistores MOSFET

Sin embargo, el concepto de operación será el mismo, operar sobre estos circuitos para que se comporten como interruptores al paso de corriente (*switches*), dependiendo de una entrada de control.

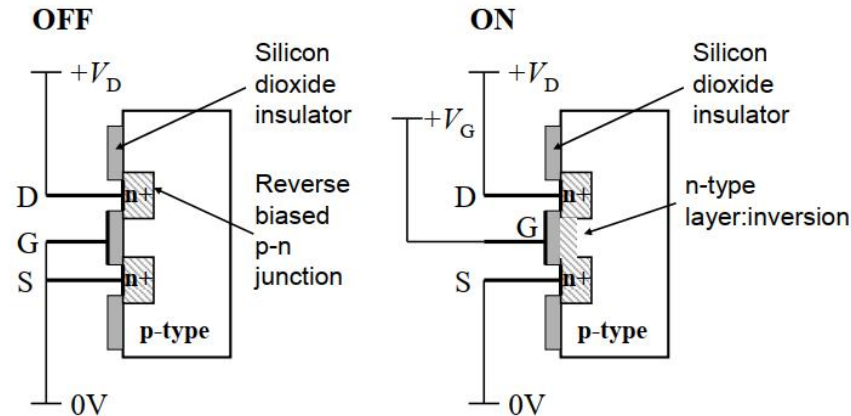


Tecnología CMOS. El transistor MOSFET. Operación

Analizaremos aquí, como ejemplo el modo de operación del transistor MOSFET (*metal oxide semiconductor Field Effect Transistor*) . En particular nos centraremos de momento en el canal-n.

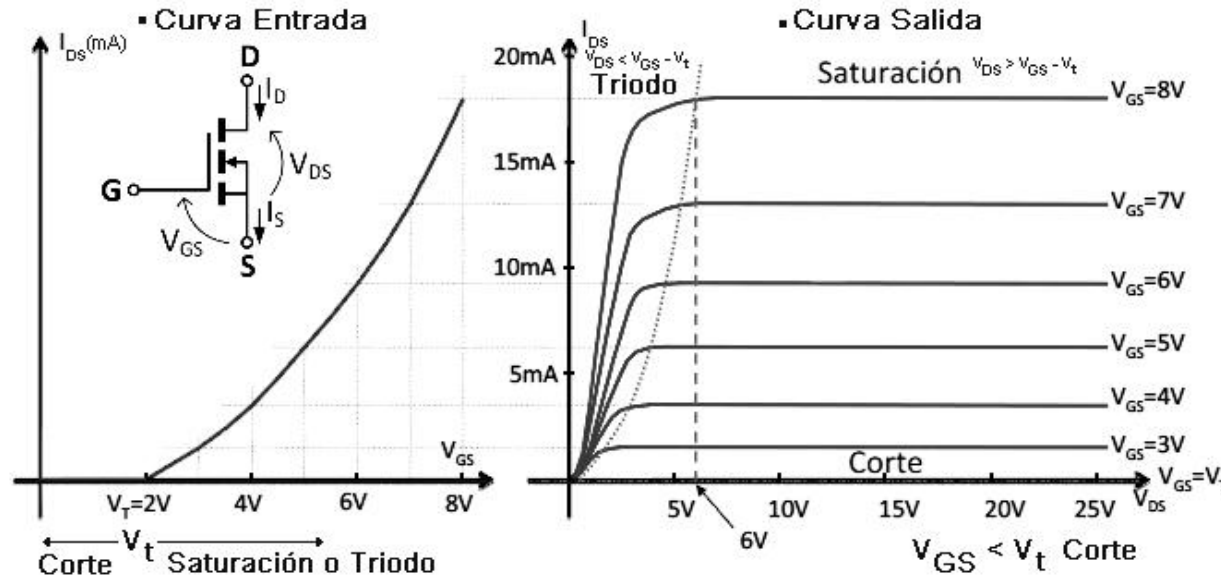


- La corriente I_{DS} se controla a través de V_{GS}
- En un dispositivo ideal, la corriente $I_{DS} = 0$ cuando $V_{GS} = 0V$



El transistor MOSFET. Operación

Analizaremos aquí, como ejemplo el modo de operación del transistor MOSFET (*metal oxide semiconductor Field Effect Transistor*)



Curva de salida y característica de transferencia de un MOSFET de canal n.

- La corriente I_{DS} se controla a través de V_{GS}
- En un dispositivo ideal, la corriente $I_{DS} = 0$ cuando $V_{GS} = 0V$ (estrictamente $V_{GS} < V_T$)
- Existe una zona llamada óhmica en la que el transistor se comporta como una resistencia variable.
- En aplicaciones de conmutación se ajustan los circuitos para que los transistores trabajen entre corte y óhmica/satur. (ajuste = "polarización")

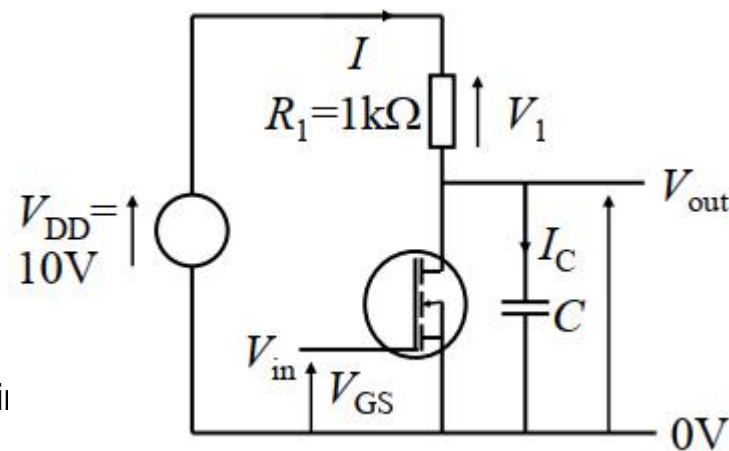
El transistor MOSFET. Uso práctico del canal-n

Parece entonces que se podría ya diseñar cualquier función lógica usando MOSFET canal-n.

Pero en la práctica NO es interesante debido principalmente a 2 factores: velocidad de operación y consumo de potencia.

El circuito equivalente se muestra aquí:

- El condensador “equivalente” limita la velocidad de conmutación
- El paso de corriente por la resistencia en el estado ON del transistor causa un elevado consumo de potencia.
- En conducción transmite bien la tensión baja pero falla en al transmitir la tensión alta (que disminuye aprox. en el valor de la V_T)

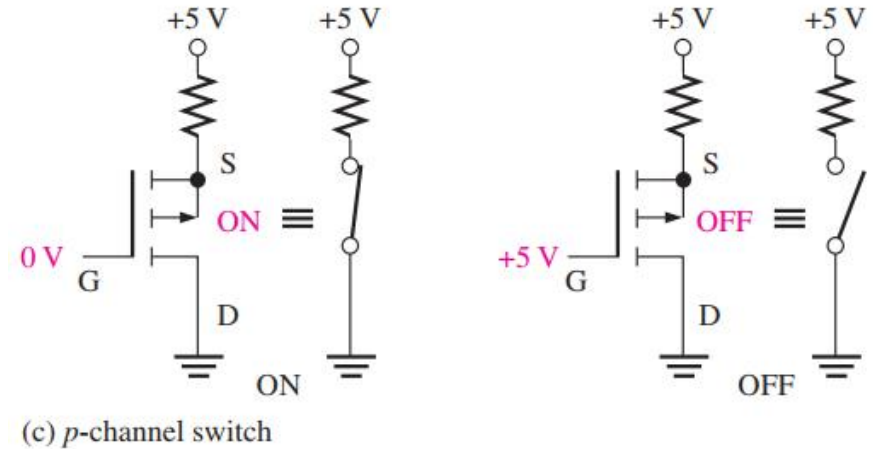
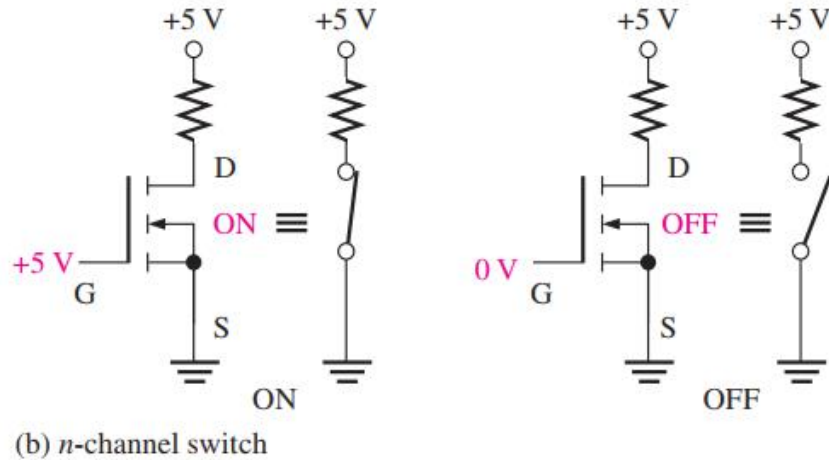


Por ello, lo que se usa es combinaciones de transistores canal-n y canal-p.

Básicamente un MOSFET canal-p es lo mismo que el canal-n pero con todas las polaridades invertidas.

El transistor MOSFET. Funcionamiento como switch

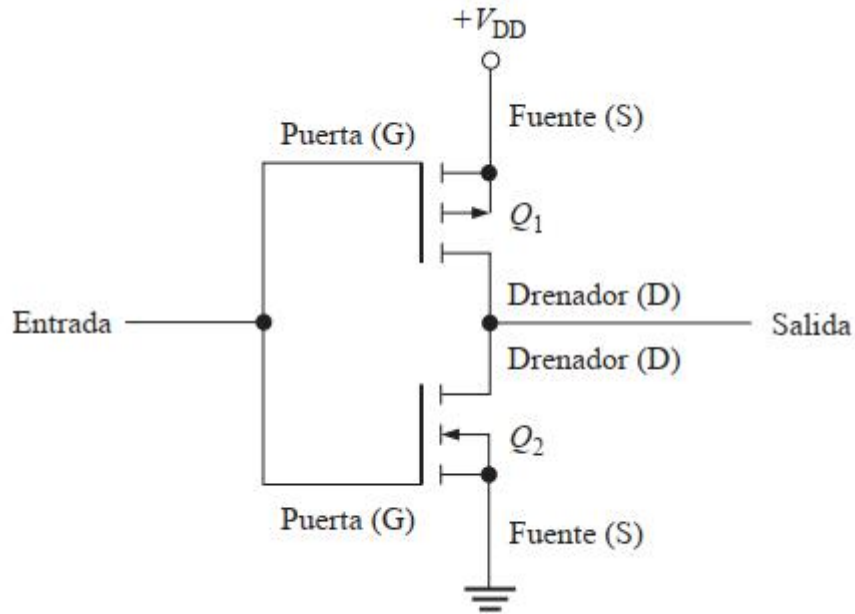
Desde un punto de vista de aplicación a la electrónica digital se pueden considerar los siguientes circuitos básicos (para el caso de canal-n y canal-p)



El transistor MOSFET. Inversor CMOS

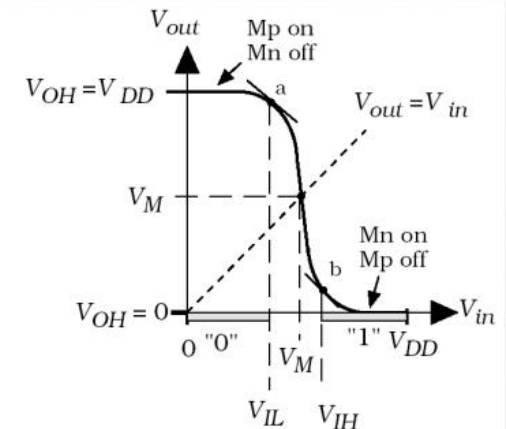
Con estas ideas previamente mostradas, podemos idear ya el **circuito inversor**

CMOS = *Complementary cmos*



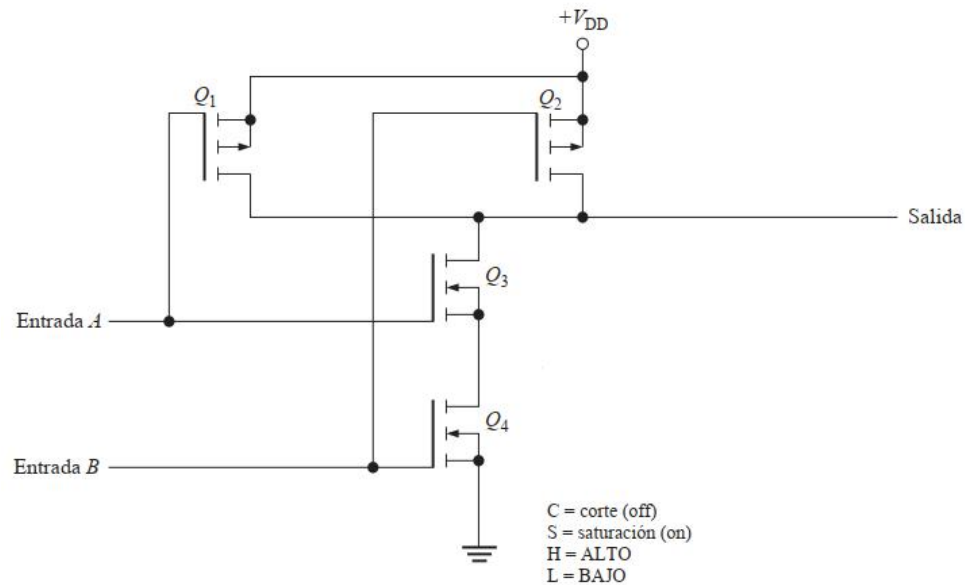
Nivel H en la entrada implica Q_2 saturado, Q_1 cortado, no conduce.

Nivel L en la entrada, caso opuesto.



El transistor MOSFET. Puerta NAND

De forma similar podemos ver el circuito para una puerta NAND



Suponiendo q. trabajamos entre Corte y Saturación.
podemos analizar así:

A	B	Q ₁	Q ₂	Q ₃	Q ₄	Salida
L	L	S	S	C	C	H
L	H	S	C	C	S	H
H	L	C	S	S	C	H
H	H	C	C	S	S	L

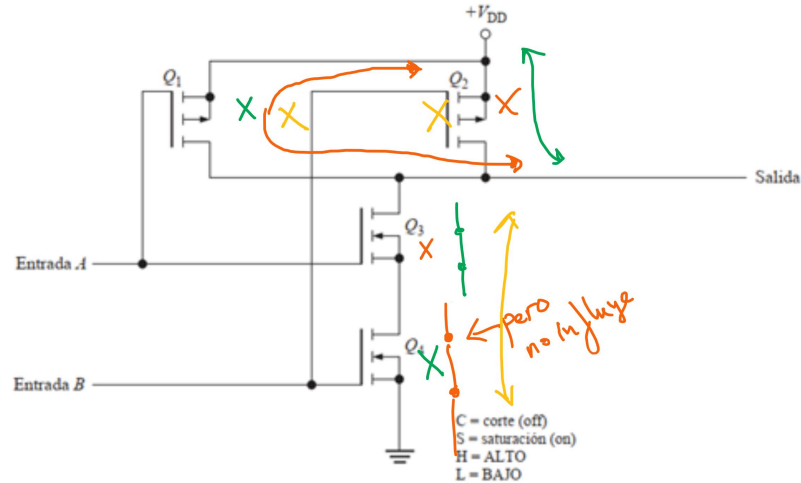
L \equiv low state = 0V
H \equiv high st. = +5V

H \leftarrow caso complementario del anterior

El transistor MOSFET. Puerta NAND CMOS

De forma similar podemos ver el circuito para una puerta NAND (2)

Ejemplo de análisis:



Suponiendo q. trabajamos entre Corte y Saturación.
podemos analizar así:

A	B	Q ₁	Q ₂	Q ₃	Q ₄
L	L	S	S	C	C
L	H	S	C	C	S
H	L	C	S	S	C
H	H	C	C	S	S

Salida

H

H

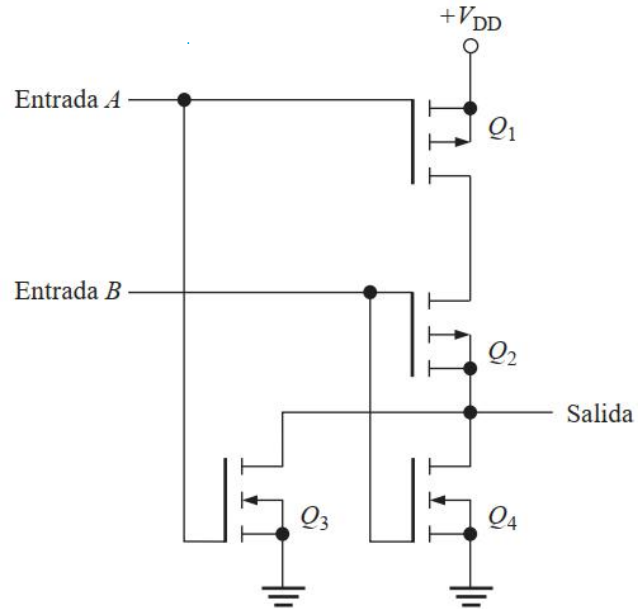
H ← caso complementario del anterior

L

$L \equiv \text{low state} = 0V$
 $H \equiv \text{high st.} = +5V$

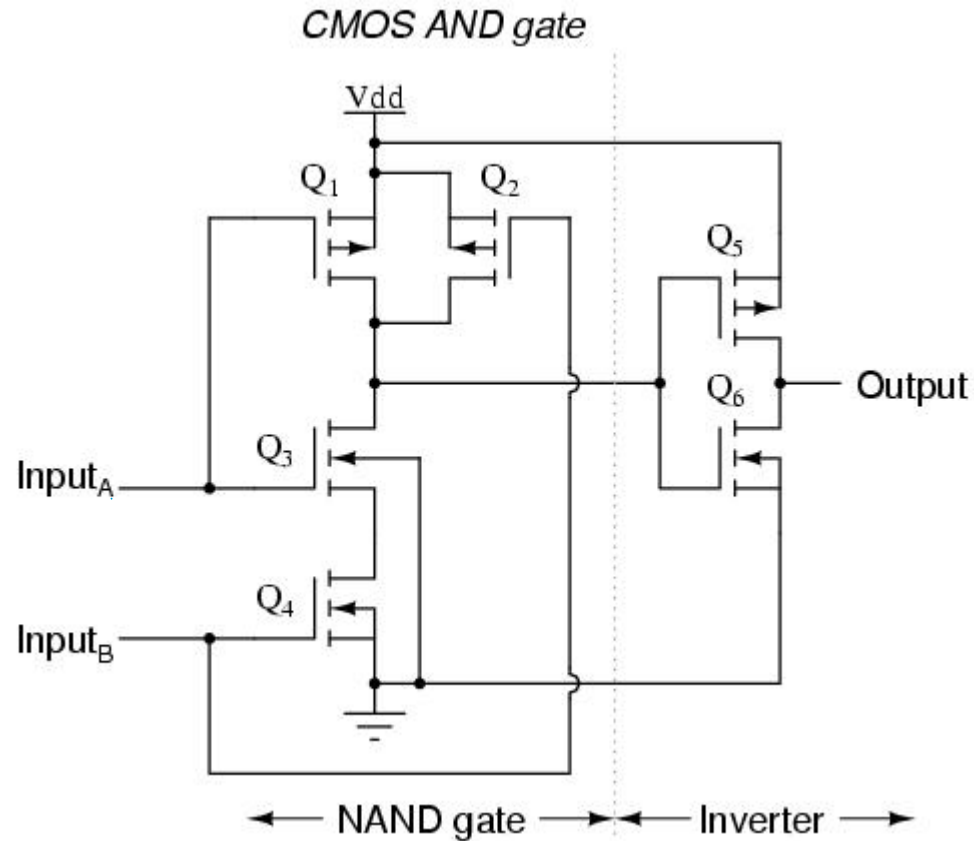
El transistor MOSFET. Puerta NOR

De forma similar podemos ver el circuito para una puerta NOR



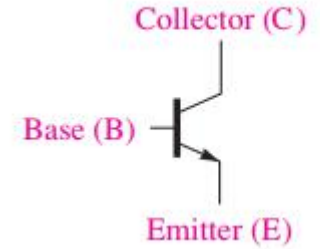
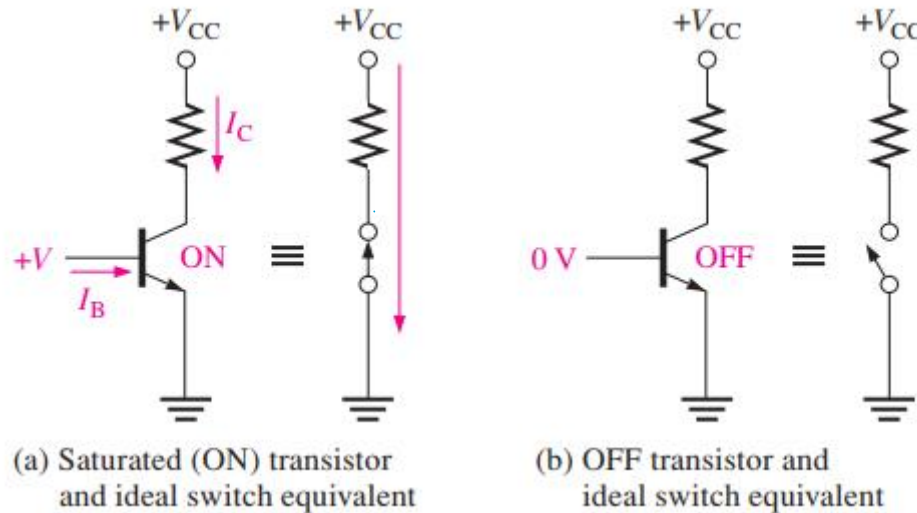
El transistor MOSFET. Puerta AND

La puerta AND es más compleja en esta tecnología:



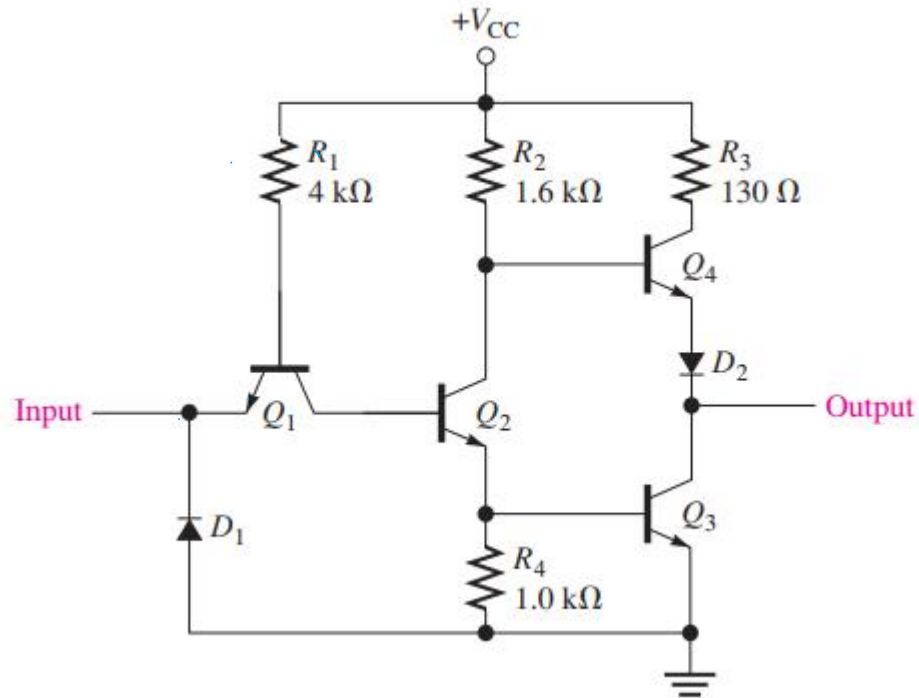
Familia TTL : El transistor BJT

Conceptualmente el fundamento de la aplicación es similar pero la manera de hacerlo difiere. Se utilizan los transistores BJT (*bipolar junction transistor*)



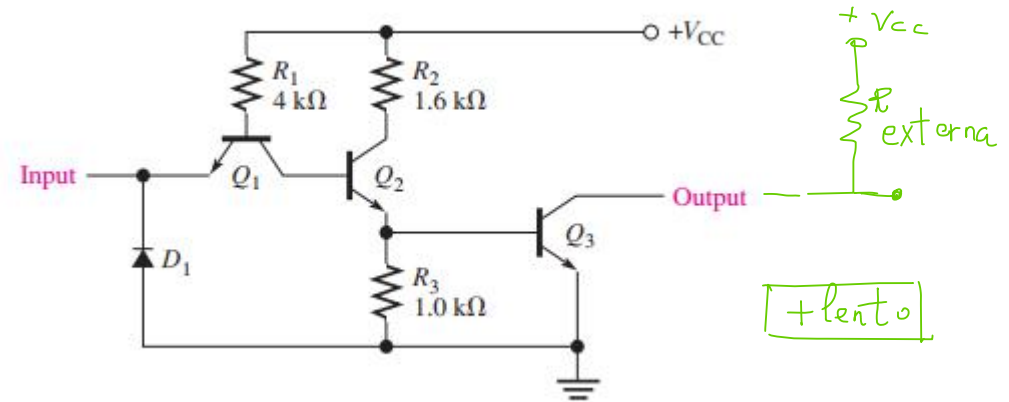
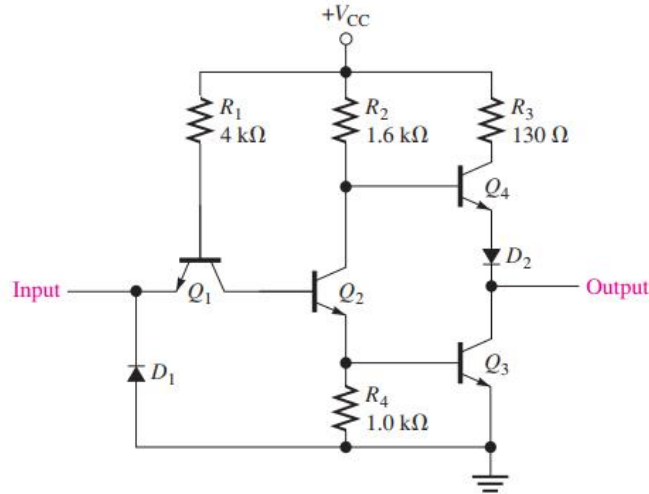
La tensión de saturación es aprox. : 0.7v

Familia TTL (*transistor transistor logic*). Inversor



Familia TTL. Configuraciones de salida

Son comunes 2 configuraciones: *totem-pole* y colector abierto (*open collector*)



Familia TTL.

Conclusiones:

CMOS es la tecnología predominante en la industria y en aplicaciones, aunque TTL está totalmente en uso todavía.

TTL y CMOS no son las únicas familias disponibles.

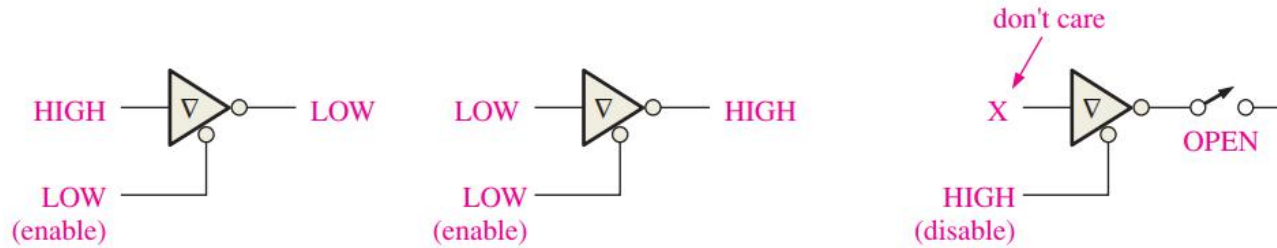
Existen otras menos usadas pero importantes para aplicaciones especiales.

Es el caso de ECL (*emitter-coupled Logic*). Con las siguientes características:

- Tecnología de muy alta velocidad
- Fan-out muy alto
- Handicap: alto consumo de potencia y menos margen de ruido.

Tri-state TTL (también existe 3-state CMOS)

Configuración TTL que combina las ventajas de alta velocidad de operación de la configuración *totem-pole* y la posibilidad de combinar salidas de forma cableada para hacer un *wire ANDing* que es característico de la configuración *open-collector*.



Los 3 estados posibles son: HIGH, LOW y alta impedancia (Hi-Z).

El circuito tiene una entrada extra que habilita la operación lógica con resultado H o L. En cualquier otro caso permanece en el estado Hi-Z. En esta configuración pueden unirse las salidas de múltiples circuitos para conseguir un configuración AND de otras puertas sin sacrificar la velocidad de conmutación.

Otro ejemplo de familias

Familia IIL (I^2L). *Integrated injection logic*.

Lógica donde todos los elementos de circuito son únicamente transistores bipolares. Se usa en circuitos LSI y VLSI.

Permite una gran integración, bajo consumo, factor speed-power muy bajo, son económicas. Además permite la integración en un único chip de circuitos analógicos y digitales

Comparativa familias

Tabla resumen de características típicas para cada familia lógica:

Logic family	Propagation delay time (ns)	Power dissipation per gate (mW)	Noise margin (V)	Fan-in	Fan-out	Cost
TTL	9	10	0.4	8	10	Low
ECL	1	50	0.25	5	10	High
MOS	50	0.1	1.5		10	Low
CMOS	< 50	0.01	5	10	50	Low
IIL	1	0.1	0.35	5	8	Very low

Ejemplo de diferentes características diferenciadoras que pueden aparecer entre subfamilias (en el ejemplo subfamilias TTL):

Performance rating	74	74L	74H	74S	74LS	74AS	74ALS
Propagation delay (ns)	9	33	6	3	9.5	1.7	4
Power dissipation (mW)	10	1	23	20	2	8	1.2
Speed-power product (pJ)	90	33	138	60	19	13.6	4.8
Max. clock rate (MHz)	35	3	50	125	45	200	70
Fan-out (same series)	10	20	10	20	20	40	20
Noise margin (V)	0.4	0.4	0.4	0.7	0.7	0.5	0.5

HEF4011B

Quad 2-input NAND gate

Rev. 5 — 21 November 2011

Product data sheet

1. General description

The HEF4011B is a quad 2-input NAND gate. The outputs are fully buffered for the highest noise immunity and pattern insensitivity to output impedance.

It operates over a recommended V_{DD} power supply range of 3 V to 15 V referenced to V_{SS} (usually ground). Unused inputs must be connected to V_{DD} , V_{SS} , or another input.

2. Features and benefits

- Fully static operation
- 5 V, 10 V, and 15 V parametric ratings
- Standardized symmetrical output characteristics
- Specified from $-40\text{ }^{\circ}\text{C}$ to $+125\text{ }^{\circ}\text{C}$
- Complies with JEDEC standard JESD 13-B
- Inputs and outputs are protected against electrostatic effects

3. Ordering information

Table 1. Ordering information

All types operate from $-40\text{ }^{\circ}\text{C}$ to $+125\text{ }^{\circ}\text{C}$

Type number	Package		Version
	Name	Description	
HEF4011BP	DIP14	plastic dual in-line package; 14 leads (300 mil)	SOT27-1
HEF4011BT	SO14	plastic small outline package; 14 leads; body width 3.9 mm	SOT108-1

4. Functional diagram

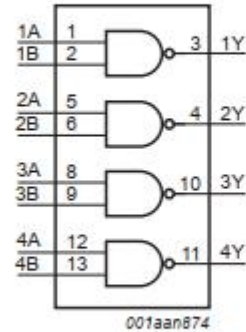


Fig 1. Functional diagram

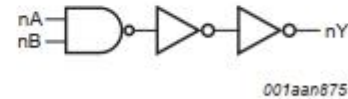


Fig 2. Logic diagram (one gate)

5. Pinning information

5.1 Pinning

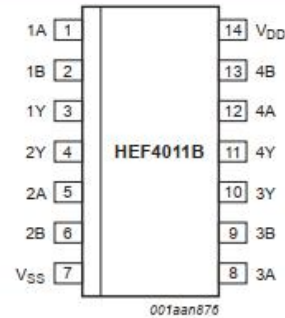


Fig 3. Pin configuration

5.2 Pin description

Table 2. Pin description

Symbol	Pin	Description
nA	1, 5, 8, 12	input
nB	2, 6, 9, 13	input
nY	3, 4, 10, 11	output
V _{SS}	7	ground (0 V)
V _{DD}	14	supply voltage

7. Limiting values

Table 4. Limiting values

In accordance with the Absolute Maximum Rating System (IEC 60134). Voltages are referenced to $V_{SS} = 0$ V (ground).

Symbol	Parameter	Conditions	Min	Max	Unit
V_{DD}	supply voltage		-0.5	+18	V
I_{IK}	input clamping current	$V_I < -0.5$ V or $V_I > V_{DD} + 0.5$ V	-	± 10	mA
V_I	input voltage		-0.5	$V_{DD} + 0.5$	V
I_{OK}	output clamping current	$V_O < -0.5$ V or $V_O > V_{DD} + 0.5$ V	-	± 10	mA
$I_{I/O}$	input/output current		-	± 10	mA
I_{DD}	supply current		-	50	mA
T_{stg}	storage temperature		-65	+150	°C
T_{amb}	ambient temperature		-40	+125	°C
P_{tot}	total power dissipation	$T_{amb} = -40$ °C to + 125 °C			
		DIP14	[1] -	750	mW
		SO14	[2] -	500	mW
P	power dissipation	per output	-	100	mW

[1] For DIP14 packages: above $T_{amb} = 70$ °C, P_{tot} derates linearly with 12 mW/K.

[2] For SO14 packages: above $T_{amb} = 70$ °C, P_{tot} derates linearly with 8 mW/K.

8. Recommended operating conditions

Table 5. Recommended operating conditions

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V_{DD}	supply voltage		3	-	15	V
V_I	input voltage		0	-	V_{DD}	V
T_{amb}	ambient temperature	in free air	-40	-	+125	°C
$\Delta t/\Delta V$	input transition rise and fall rate	$V_{DD} = 5$ V	-	-	3.75	$\mu\text{s/V}$
		$V_{DD} = 10$ V	-	-	0.5	$\mu\text{s/V}$
		$V_{DD} = 15$ V	-	-	0.08	$\mu\text{s/V}$

9. Static characteristics

Table 6. Static characteristics

$V_{SS} = 0\text{ V}$; $V_I = V_{SS}$ or V_{DD} ; unless otherwise specified.

Symbol	Parameter	Conditions	V_{DD}	$T_{amb} = -40\text{ }^{\circ}\text{C}$		$T_{amb} = +25\text{ }^{\circ}\text{C}$		$T_{amb} = +85\text{ }^{\circ}\text{C}$		$T_{amb} = +125\text{ }^{\circ}\text{C}$		Unit
				Min	Max	Min	Max	Min	Max	Min	Max	
V_{IH}	HIGH-level input voltage	$ I_O < 1\text{ }\mu\text{A}$	5 V	3.5	-	3.5	-	3.5	-	3.5	-	V
			10 V	7.0	-	7.0	-	7.0	-	7.0	-	V
			15 V	11.0	-	11.0	-	11.0	-	11.0	-	V
V_{IL}	LOW-level input voltage	$ I_O < 1\text{ }\mu\text{A}$	5 V	-	1.5	-	1.5	-	1.5	-	1.5	V
			10 V	-	3.0	-	3.0	-	3.0	-	3.0	V
			15 V	-	4.0	-	4.0	-	4.0	-	4.0	V
V_{OH}	HIGH-level output voltage	$ I_O < 1\text{ }\mu\text{A}$	5 V	4.95	-	4.95	-	4.95	-	4.95	-	V
			10 V	9.95	-	9.95	-	9.95	-	9.95	-	V
			15 V	14.95	-	14.95	-	14.95	-	14.95	-	V
V_{OL}	LOW-level output voltage	$ I_O < 1\text{ }\mu\text{A}$	5 V	-	0.05	-	0.05	-	0.05	-	0.05	V
			10 V	-	0.05	-	0.05	-	0.05	-	0.05	V
			15 V	-	0.05	-	0.05	-	0.05	-	0.05	V
I_{OH}	HIGH-level output current	$V_O = 2.5\text{ V}$	5 V	-	-1.7	-	-1.4	-	-1.1	-	-1.1	mA
		$V_O = 4.6\text{ V}$	5 V	-	-0.64	-	-0.5	-	-0.36	-	-0.36	mA
		$V_O = 9.5\text{ V}$	10 V	-	-1.6	-	-1.3	-	-0.9	-	-0.9	mA
		$V_O = 13.5\text{ V}$	15 V	-	-4.2	-	-3.4	-	-2.4	-	-2.4	mA
I_{OL}	LOW-level output current	$V_O = 0.4\text{ V}$	5 V	0.64	-	0.5	-	0.36	-	0.36	-	mA
		$V_O = 0.5\text{ V}$	10 V	1.6	-	1.3	-	0.9	-	0.9	-	mA
		$V_O = 1.5\text{ V}$	15 V	4.2	-	3.4	-	2.4	-	2.4	-	mA
I_I	input leakage current		15 V	-	± 0.1	-	± 0.1	-	± 1.0	-	± 1.0	μA
I_{DD}	supply current	all valid input combinations; $I_O = 0\text{ A}$	5 V	-	0.25	-	0.25	-	7.5	-	7.5	μA
			10 V	-	0.5	-	0.5	-	15.0	-	15.0	μA
			15 V	-	1.0	-	1.0	-	30.0	-	30.0	μA
C_I	input capacitance			-	-	-	7.5	-	-	-	-	pF

10. Dynamic characteristics

Table 7. Dynamic characteristics

$T_{amb} = 25\text{ }^{\circ}\text{C}$; for waveforms see [Figure 4](#); for test circuit see [Figure 5](#); unless otherwise specified.

Symbol	Parameter	Extrapolation formula ^[1]	V_{DD}	Min	Typ	Max	Unit
t_{pd}	propagation delay	$28 + 0.55 \times C_L$	5 V	^[2] -	55	110	ns
		$14 + 0.23 \times C_L$	10 V	-	25	45	ns
		$12 + 0.16 \times C_L$	15 V	-	20	35	ns
t_{THL}	HIGH to LOW output transition time	$10 + 1.00 \times C_L$	5 V	-	60	120	ns
		$9 + 0.42 \times C_L$	10 V	-	30	60	ns
		$6 + 0.28 \times C_L$	15 V	-	20	40	ns
t_{TLH}	LOW to HIGH output transition time	$10 + 1.00 \times C_L$	5 V	-	60	120	ns
		$9 + 0.42 \times C_L$	10 V	-	30	60	ns
		$6 + 0.28 \times C_L$	15 V	-	20	40	ns

[1] The typical value of the propagation delay and output transition time can be calculated with the extrapolation formula (C_L in pF).

[2] t_{pd} is the same as t_{PLH} and t_{PHL} .

Table 8. Dynamic power dissipation

$V_{SS} = 0\text{ V}$; $t_r = t_f \leq 20\text{ ns}$; $T_{amb} = 25\text{ }^{\circ}\text{C}$.

Symbol	Parameter	V_{DD}	Typical formula	Where
P_D	dynamic power dissipation	5 V	$P_D = 1300 \times f_i + \Sigma(f_o \times C_L) \times V_{DD}^2\text{ (}\mu\text{W)}$	f_i = input frequency in MHz;
		10 V	$P_D = 6000 \times f_i + \Sigma(f_o \times C_L) \times V_{DD}^2\text{ (}\mu\text{W)}$	f_o = output frequency in MHz;
		15 V	$P_D = 20100 \times f_i + \Sigma(f_o \times C_L) \times V_{DD}^2\text{ (}\mu\text{W)}$	C_L = output load capacitance in pF; $\Sigma(f_o \times C_L)$ = sum of the outputs; V_{DD} = supply voltage in V.

10. Dynamic characteristics

Table 7. Dynamic characteristics

$T_{amb} = 25\text{ }^{\circ}\text{C}$; for waveforms see [Figure 4](#); for test circuit see [Figure 5](#); unless otherwise specified.

Symbol	Parameter	Extrapolation formula ^[1]	V_{DD}	Min	Typ	Max	Unit
t_{pd}	propagation delay	$28 + 0.55 \times C_L$	5 V	^[2] -	55	110	ns
		$14 + 0.23 \times C_L$	10 V	-	25	45	ns
		$12 + 0.16 \times C_L$	15 V	-	20	35	ns
t_{THL}	HIGH to LOW output transition time	$10 + 1.00 \times C_L$	5 V	-	60	120	ns
		$9 + 0.42 \times C_L$	10 V	-	30	60	ns
		$6 + 0.28 \times C_L$	15 V	-	20	40	ns
t_{TLH}	LOW to HIGH output transition time	$10 + 1.00 \times C_L$	5 V	-	60	120	ns
		$9 + 0.42 \times C_L$	10 V	-	30	60	ns
		$6 + 0.28 \times C_L$	15 V	-	20	40	ns

[1] The typical value of the propagation delay and output transition time can be calculated with the extrapolation formula (C_L in pF).

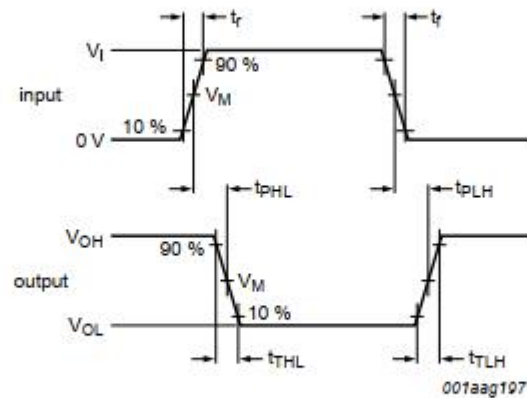
[2] t_{pd} is the same as t_{PLH} and t_{PHL} .

Table 8. Dynamic power dissipation

$V_{SS} = 0\text{ V}$; $t_r = t_f \leq 20\text{ ns}$; $T_{amb} = 25\text{ }^{\circ}\text{C}$.

Symbol	Parameter	V_{DD}	Typical formula	Where
P_D	dynamic power dissipation	5 V	$P_D = 1300 \times f_i + \Sigma(f_o \times C_L) \times V_{DD}^2\text{ (}\mu\text{W)}$	f_i = input frequency in MHz;
		10 V	$P_D = 6000 \times f_i + \Sigma(f_o \times C_L) \times V_{DD}^2\text{ (}\mu\text{W)}$	f_o = output frequency in MHz;
		15 V	$P_D = 20100 \times f_i + \Sigma(f_o \times C_L) \times V_{DD}^2\text{ (}\mu\text{W)}$	C_L = output load capacitance in pF; $\Sigma(f_o \times C_L)$ = sum of the outputs; V_{DD} = supply voltage in V.

11. Waveforms



Measurement points are given in [Table 9](#).

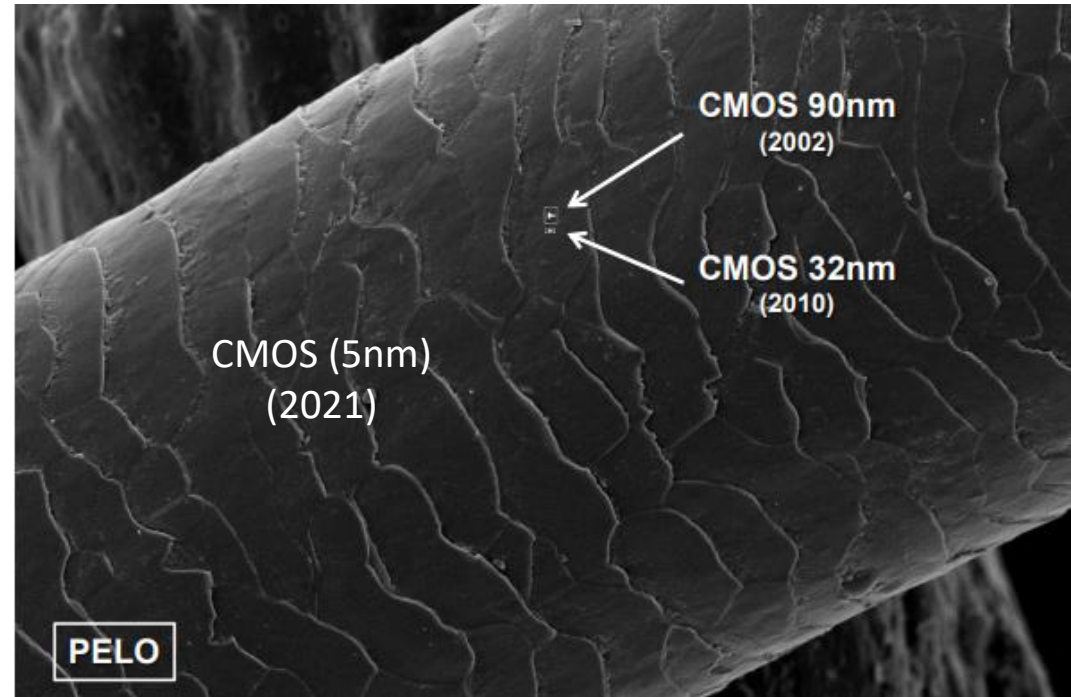
Logic levels: V_{OL} and V_{OH} are typical output voltage levels that occur with the output load.

Fig 4. Propagation delay, output transition time

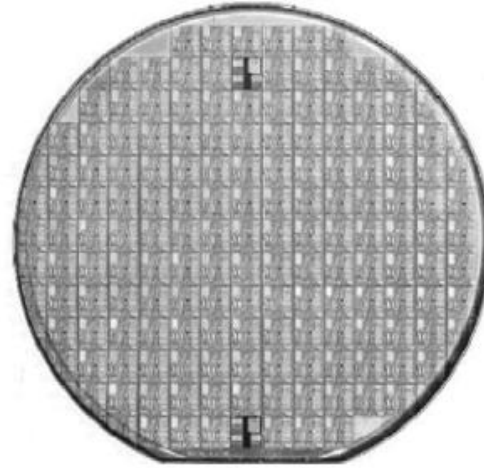
Familias Lógicas. Fabricación

Número de transistores en procesadores actuales:

Intel Core i7-8700k : aprox. 3.000.000.000



Familias Lógicas. Fabricación



Oblea fabricada
300 mm de diámetro

Vista al microscopio electrónico
de una porción de circuito integrado

