Boletín 1

Autor: Adrián Losada Álvarez

Fecha: 18/04/2022

Problema 1:

En primer lugar, rellenaremos la tabla de verdad del circuito:

Gray				Binario			
$G_{4_{MSB}}$	G_3	G_2	$G_{1_{LSB}}$	$B_{4_{MSB}}$	B_3	B_2	$B_{1_{LSB}}$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	1
0	1	0	1	0	1	1	0
0	1	0	0	0	1	1	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	1	1	0	1	0
1	1	1	0	1	0	1	1
1	0	1	0	1	1	0	0
1	0	1	1	1	1	0	1
1	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1

Una vez hecho esto, realizamos los mapas de Karnaugh correspondientes a cada columna de bits en binario (B4, B3, B2 y B1). Obteniendo así las funciones simplificadas para cada bit.

Mapas de Karnaugh:

B_4 (MSB) $\rightarrow (\boxed{x}\; x\; x\; x)_2$

$G_4G_3 \backslash G_2G_1$	00	01	11	10
00	0_{0}	0_{1}	0_{3}	0_{2}
01	0_{4}	0_{5}	0_{7}	0_{6}
11	1_{12}	1_{13}	1_{15}	1_{14}
10	1_{8}	1_{9}	1_{11}	1_{10}

$$\boxed{B_4 = G_4}$$

$B_3 \rightarrow (x\; \boxed{x}\; x\; x)_2$

$G_4G_3 \backslash G_2G_1$	00	01	11	10
00	0_{0}	0_{1}	0_{3}	0_{2}
01	1_{4}	1_{5}	1_{7}	1_{6}
11	0_{12}	0_{13}	0_{15}	0_{14}
10	1_{8}	1_{9}	1_{11}	1_{10}

$$B_3 = \overline{G_4} \cdot G_3 + G_4 \cdot \overline{G_3}$$

$$\boxed{B_3 = G_4 \oplus G_3}$$

$B_2 \rightarrow (x\; x\; \boxed{x}\; x)_2$

$G_4G_3 \backslash G_2G_1$	00	01	11	10
00	0_{0}	0_{1}	1_{3}	1_{2}
01	1_{4}	1_{5}	0_{7}	0_{6}
11	0_{12}	0_{13}	1_{15}	1_{14}
10	1_{8}	1_{9}	0_{11}	0_{10}

$$B_2 = \overline{G_4} \cdot \overline{G_3} \cdot G_2 + \overline{G_4} \cdot G_3 \cdot \overline{G_2} + G_4 \cdot G_3 \cdot G_2 + G_4 \cdot \overline{G_3} \cdot \overline{G_2}$$

$$\boxed{B_2 = G_4 \oplus G_3 \oplus G_2}$$

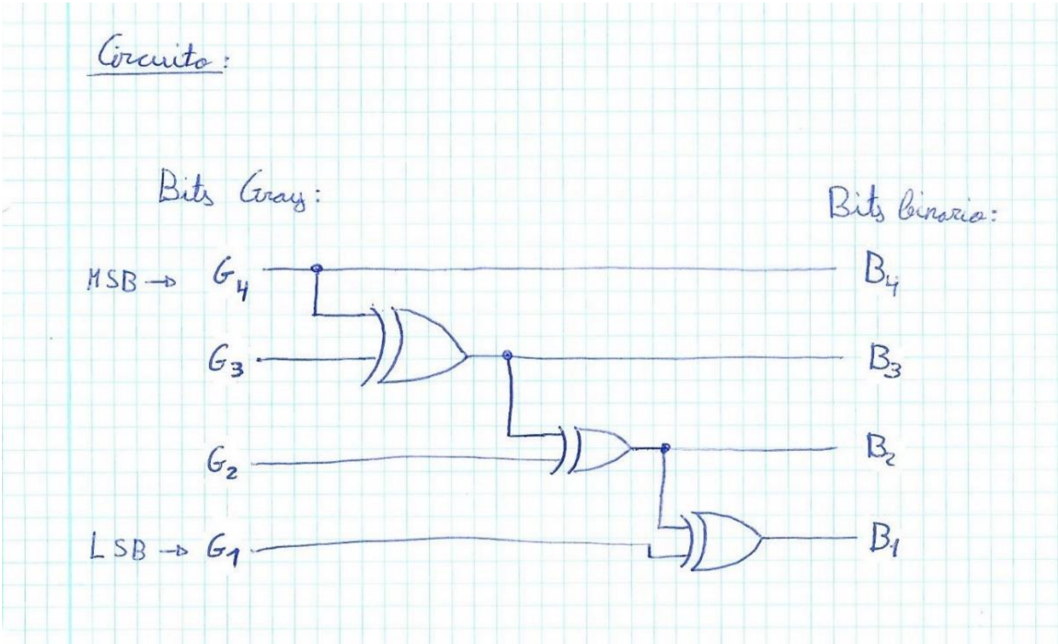
B_1 (LSB) $\rightarrow (x\; x\; x\; \boxed{x})_2$

$G_4G_3 \backslash G_2G_1$	00	01	11	10
00	0_{0}	1_{1}	0_{3}	1_{2}
01	1_{4}	0_{5}	1_{7}	0_{6}
11	0_{12}	1_{13}	0_{15}	1_{14}
10	1_{8}	0_{9}	1_{11}	0_{10}

$$B_1 = \overline{G_4} \cdot \overline{G_3} \cdot \overline{G_2} \cdot G_1 + \overline{G_4} \cdot \overline{G_3} \cdot G_2 \cdot \overline{G_1} + \overline{G_4} \cdot G_3 \cdot \overline{G_2} \cdot \overline{G_1} + \overline{G_4} \cdot G_3 \cdot G_2 \cdot G_1 +$$
$$G_4 \cdot G_3 \cdot \overline{G_2} \cdot G_1 + G_4 \cdot G_3 \cdot G_2 \cdot \overline{G_1} + G_4 \cdot \overline{G_3} \cdot \overline{G_2} \cdot \overline{G_1} + G_4 \cdot \overline{G_3} \cdot G_2 \cdot G_1$$

$$\boxed{B_1 = G_4 \oplus G_3 \oplus G_2 \oplus G_1}$$

Montamos el circuito:



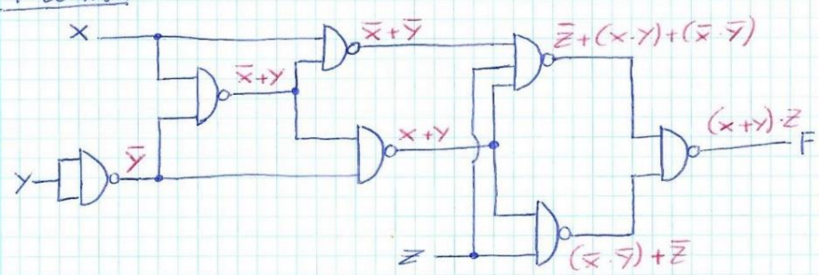
Problema 2:

El siguiente problema se puede realizar de 2 formas distintas:

1. Obteniendo la salida de cada puerta lógica mediante algébra booleana:

2

1º Forma:



$$\overline{(x)\cdot(\overline{y})} = \overline{x} + \overline{\overline{y}} = \boxed{\overline{x}+y}$$

$$\overline{(x)\cdot(\overline{x}+y)} = \overline{\underbrace{(x\cdot\overline{x})}_{0}+(x\cdot y)} = \overline{x\cdot y} = \boxed{\overline{x}+\overline{y}}$$

$$\overline{(\overline{x}+y)\cdot(\overline{y})} = \overline{(\overline{x}\cdot\overline{y})+\underbrace{(y\cdot\overline{y})}_{0}} = \overline{(\overline{x}\cdot\overline{y})} = \overline{\overline{x}}+\overline{\overline{y}} = \boxed{x+y}$$

$$\overline{(\overline{x}+\overline{y})\cdot(z)\cdot(x+y)} = \boxed{\overline{z}+(x\cdot y)+(\overline{x}\cdot\overline{y})}$$

$$\overline{(x+y)\cdot(z)} = \boxed{(\overline{x}\cdot\overline{y})+\overline{z}}$$

$$\overline{(\overline{z}+(x\cdot y)+(\overline{x}\cdot\overline{y})\cdot((\overline{x}\cdot\overline{y})+\overline{z})} = \overline{\underbrace{((\overline{x}\cdot\overline{y})+\overline{z})}_{a}\cdot(\underbrace{(\overline{x}\cdot\overline{y})+\overline{z}}_{a}+\underbrace{(x\cdot y)}_{b})} = \circledast$$

$$a\cdot(a+b)=a$$

$$\circledast = \overline{(\overline{x}\cdot\overline{y})+\overline{z}} = \overline{(\overline{x}\cdot\overline{y})}\cdot z = \boxed{(x+y)\cdot z}$$

Expresión booleana del circuito

2. Mediante el método de Karnaugh:

2ª Forma:

Tabla de verdad:

X	Y	Z	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

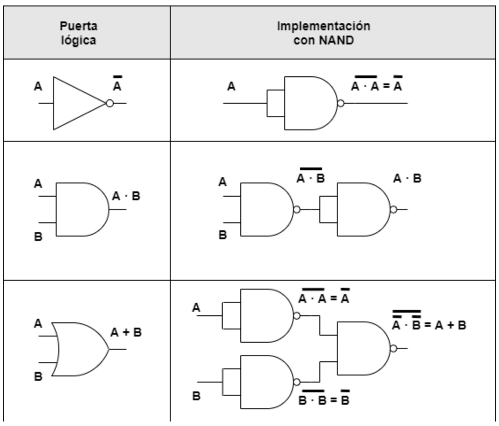
X \ YZ	00	01	11	10
0	0	0	1	0
1	0	1	1	0

$\rightarrow Y \cdot Z$

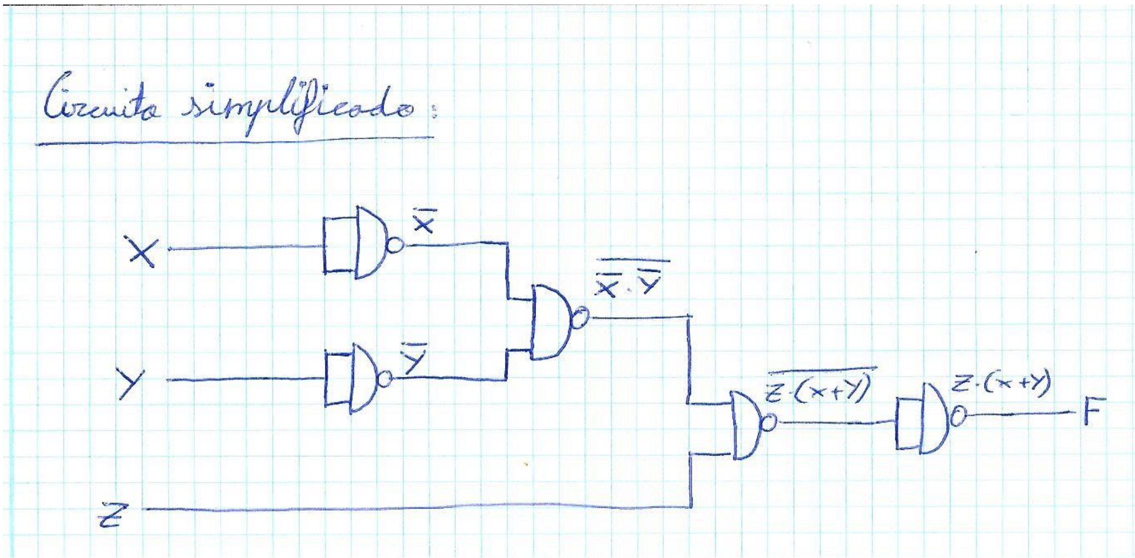
$\rightarrow X \cdot Z$

$F = (x \cdot z) + (y \cdot z) = \boxed{z \cdot (x + y)}$ → Expresión booleana del circuito

Una vez obtenida la expresión booleana del circuito, podemos simplificarlo fácilmente con puertas NAND siguiendo el siguiente esquema:



Dando como resultado el siguiente circuito simplificado:



Problema 3:

Para obtener las expresiones lógicas de la tabla de verdad aplicamos Karnaugh a cada una de las funciones:

③

a) F(A,B,C):

A \ BC	00	01	11	10
0	1	0	0	0
1	1	1	1	0

$\bar{B}\cdot\bar{C}$ $\quad$ $A\cdot C$

$$F(A,B,C) = \boxed{(\bar{B}\cdot\bar{C}) + (A\cdot C)} \Leftrightarrow \overline{\overline{(\bar{B}\cdot\bar{C}) + (A\cdot C)}} = \boxed{\overline{\overline{(\bar{B}\cdot\bar{C})}\cdot\overline{(A\cdot C)}}}$$

G(A,B,C):

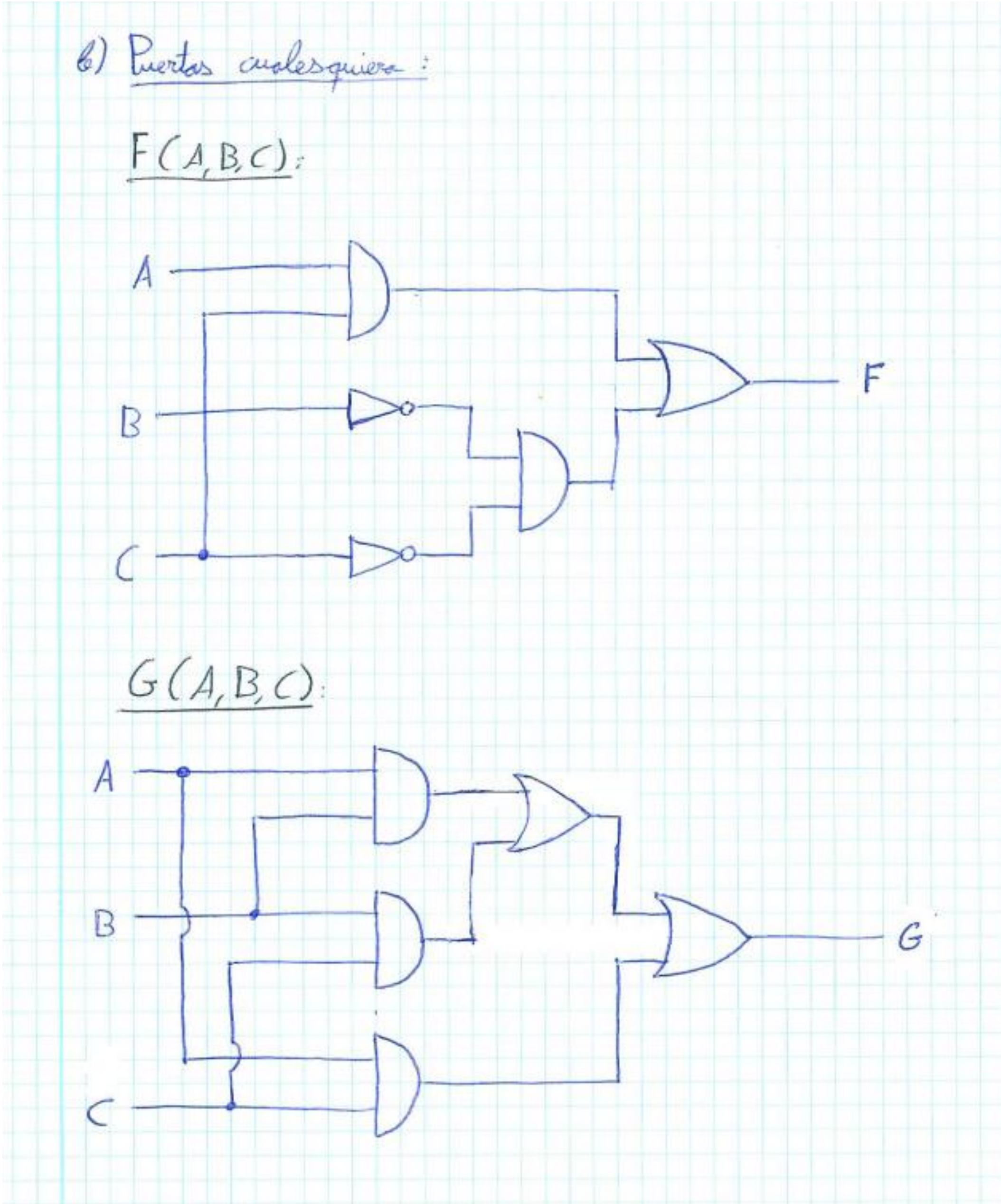
A \ BC	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$B\cdot C$ $\quad$ $A\cdot C$ $\quad$ $A\cdot B$

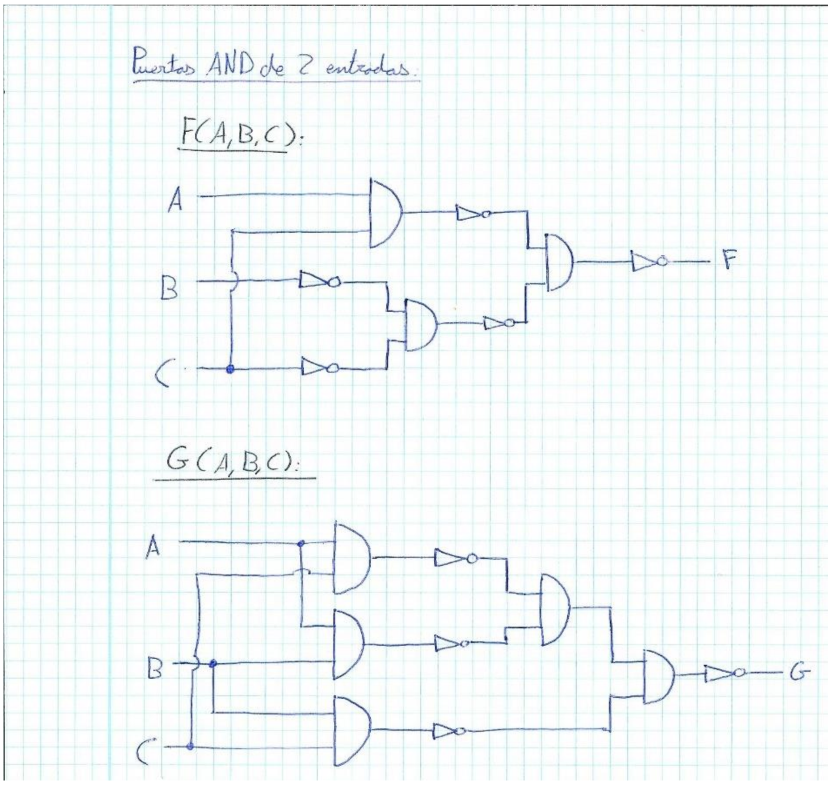
$$G(A,B,C) = \boxed{(A\cdot C) + (A\cdot B) + (B\cdot C)} \Leftrightarrow \boxed{\overline{\overline{(A\cdot C)}\cdot\overline{(A\cdot B)}\cdot\overline{(B\cdot C)}}}$$

Construimos los circuitos con cada una de las maneras solicitadas:

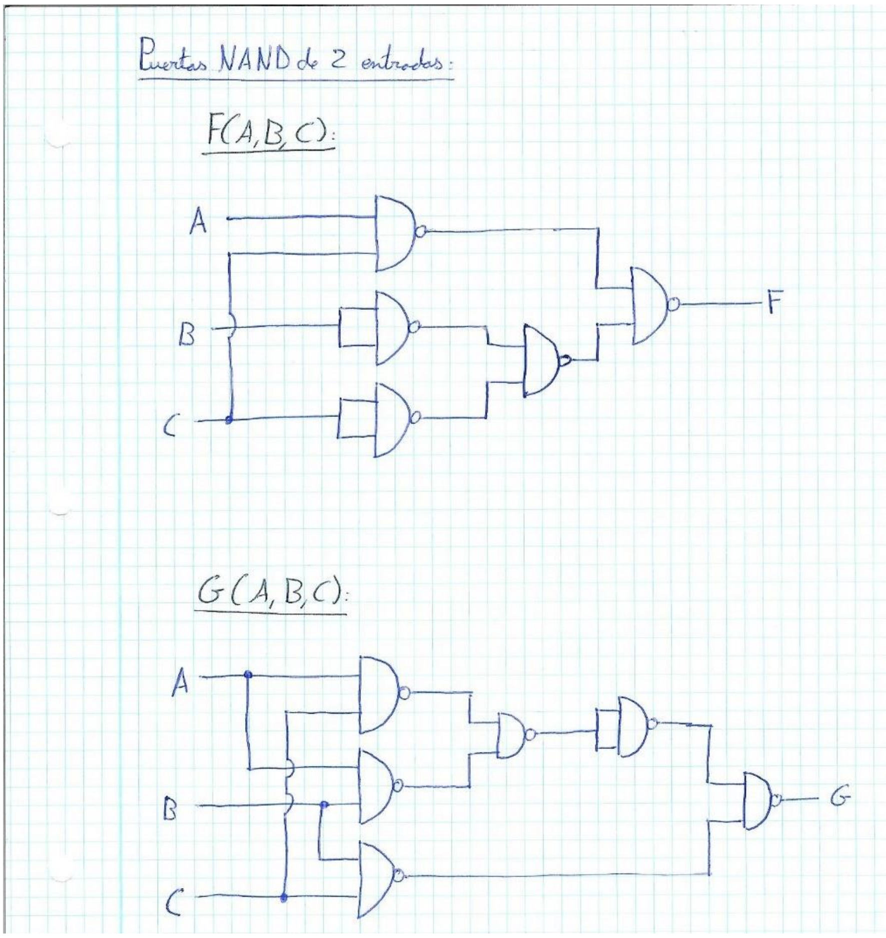
1.- Con puertas lógicas cualesquiera:



2.- Usando solamente puertas AND de 2 entradas:



3.- Usando solamente puertas NAND de 2 entradas:



Problema 4:

En el siguiente problema indicaremos que configuración de entrada (S1,S0) utilizará cada función:

Configuración: Función:

$S_1, S_0 (00)_2$ → Retener bits

$S_1, S_0 (01)_2$ → Desplazar 1 bit a la derecha

$S_1, S_0 (10)_2$ → Desplazar 2 bit a la derecha

$S_1, S_0 (11)_2$ → Desplazar 1 bit a la izquierda

A continuación, rellenaremos la tabla de verdad del circuito siguiendo el criterio anterior:

Tabla de verdad:

Pines de entrada

Puerto del MUX correspondiente: S_1	S_0	E_3	E_2	E_1	E_0
0	0	F_3	F_2	F_1	F_0
0	1	F_2	F_1	F_0	F_3
1	0	F_1	F_0	F_3	F_2
1	1	F_0	F_3	F_2	F_1

MUX correspondiente a los pines de entrada según la configuración de S_1, S_0.

Por último, realizamos las conexiones tal y como se indica en la tabla de verdad anterior:

Circuito:

(Conectamos los pines de entrada al puerto de entrada y al MUX correspondientes según la tabla de verdad anterior)